

行政院國家科學委員會專題研究計畫 成果報告

助聽器晶片及系統--總計畫(3/3) 研究成果報告(完整版)

計畫類別：整合型
計畫編號：NSC 98-2220-E-009-007-
執行期間：98年08月01日至99年10月31日
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：吳介琮
共同主持人：楊順聰、桑梓賢、周世傑、劉志尉、鄭裕庭

處理方式：本計畫涉及專利或其他智慧財產權，2年後可公開查詢

中 華 民 國 100 年 03 月 02 日

助聽器微機電晶片系統 (3/3)

Hearing Aid SoC and System (3/3)

計畫編號：NSC-98-2220-E-009-007

執行期限：自 98 年 8 月 1 日起至 99 年 10 月 31 日止

主持人：吳介琮 交通大學電子研究所
共同主持人：楊順聰 陽明大學醫學工程研究所
共同主持人：桑梓賢、周世傑、劉志尉、鄭裕庭 交通大學電子研究所

Email: jtwu@mail.nctu.edu.tw

<http://www.cc.nctu.edu.tw/~jtwu>

一、摘要

本計畫將設計並實現一個能放置於耳道內 (Completely-in-Canal or In-the-Canal, CIC/ITC) 的完整助聽器系統。整個系統的體積要夠小，病人能直接放置於耳內。因為是以電池提供電力，系統要有極低的功率消耗，攜帶者才能長時間使用，而不會感覺不方便。好的助聽器系統通常須要具有可程式性，能根據不同使用者人不同的聽覺反應來調整系統參數。同時它還須要具有適應性，能在環境的變化下還能發揮最佳助聽功能。

在系統部分，本計畫將發展高階助聽器所須具備的各項功能，例如聽力補償策略、噪音抑制、回饋音消除等。補償策略是針對華語而設計，包括濾波器信號處理 (Filtering Signal Processing)、頻譜整形 (Frequency Shaping)、動態範圍壓縮 (Dynamic Range Compression) 等重要運算。針對噪音及回饋音之抑制，除了發展所需的信號處理技術之外，本計畫將以自行開發之助聽器載具及聲學元件來控制耳道內之音場，並依據實際量測數據建立模擬用之模型，同時也會開發具有自適應能力之方向性麥克風。

在硬體部分，本計畫將開發微機電式麥克風及喇叭來做聲學訊號與電學訊號之轉換。本計畫也將開發助聽器專用的 SoC 晶片，此晶片上有「助聽器計算引擎」，配合訊號處理加速器，可執行助聽器之所有運算。這些數位電路必須在功能、可程式性、及消耗功率之間取得平衡。晶片上也會包含類比介面電路，用來將麥克風接收的訊號轉成數位訊號，或將數位訊號轉成類比訊號並驅動喇叭。最後，本計畫會開發可以異質整合的微小型助聽器載具，可以整合聲學元件、晶片，及其他零件成完整之助聽器系統。

本計畫的所有電路，除了微機電麥克風及喇叭外，最後將整合於 90 nm CMOS 的單晶片中。以 1 V 電池操作，整體消耗功率不得超過 1 mW。另外，所發展的晶片都會以「晶片效能指標」(Chip Performance Index, CPI) 來和功能類似的晶片相比較。而本計畫的目標就是追求最佳的 CPI。

關鍵詞：助聽器、數位訊號處理器、低功率晶片系統、混合訊號式積體電路、微機電。

Abstract

This project is to design and realize a completely-in-canal or in-the-canal (CIC/ITC) hearing aid. The form size of the entire system must be small so that it can be placed inside a human ear. Since it is powered by a battery, the system must consume diminutive power for long-time usage. A good hearing aid needs be programmable for easy adjustment of system parameters so as to customize treatment of users of different auditory response. It also needs to be adaptable against environment variation to attain optimal hearing aid function.

On the system level, we will develop all necessary functions of a high-end hearing aid, including advanced hearing loss compensation, noise reduction, and echo cancellation. The hearing loss compensation strategy will be specially developed for Chinese-speaking users. It involves signal processing operations such as filtering signal processing, frequency shaping, and dynamic range compression. In addition to signal processing techniques for noise reduction and echo cancellation, this project will control the in-the-canal acoustic field using the self-developed hearing aid carrier and acoustic components, and construct the corresponding model for simulation. And we will develop adaptive directional microphone system.

This project will realize the entire hearing aid hardware. MEMS microphones and speakers are developed for conversion between acoustic and electrical signals. We will design a hearing aid SoC chip. The chip includes a computing engine and hardware accelerators that together perform all signal processing operations. The digital circuitry requires careful trade-off among functionality, programmability, and power dissipation. The SoC chip also integrates analog interface circuits that convert signals from microphones into digital form and convert digital signals into analog form to drive speakers. Finally, this project will develop a hearing aid carrier for heterogeneous integration of acoustic components, SoC chip, and other components to form a complete system.

Except the MEMS microphones and speakers, all circuits will be integrated on a signal chip fabricated in a 90 nm CMOS technology. The total power consumption will be less than 1 mW. Circuits designed in this project will be compared with known designs of similar functions, using the Chip Performance Index (CPI). The goal of this project is to achieve the best CPI.

Key Words: Hearing Aids, Digital Signal Processor, Low-Power System on a Chip, Mixed-Signal Integrated Circuits, MEMS.

二、緣由與目的

各項研究顯示，2000 年時，人口中約有 10% 的人有聽力損失，這些人理論上應該可以透過助聽器補償其聽力。但研究顯示 2000 年歐美、日本、澳洲等先進國家聽障人口中助聽器之配帶僅約 9%~24%，助聽器配帶之穿透率低有許多理由，下列因素則是導致助聽器的配戴率始終不高的主要原因，其中包括：(1) 文化或社會對聽障不正常之偏見；(2) 助聽器的價格不斷上升，1985~2000 年間，助聽器因為新產品之推出，價格始終未降至一般大眾可接受的程度。單就 2000 年平均價 US\$1183/Set，就比 1997 年上升了 35%；(3) 助聽器的功能未能說服一般大眾接受其效果/成本比。有關此點，大眾不滿之處分別是：(1) 助聽器並沒有提供足夠的好處，甚至沒有幫助，尤其是指聽得到聲音但仍然聽不懂語音；(2) 是助聽器在較為吵雜的環境下並沒有提供幫助，甚至放大噪音；(3) 是配帶助聽器會造成耳朵不適。由這些原因來看目前的助聽器在設計上確實有許多需要改善的地方。

一個非植入式的助聽器系統通常置於耳內或耳朵附近，其主要功能是將聲音訊號經由麥克風轉換成電訊號，再依據使用者的聽覺反應及習慣做適當的訊號處理，最後則藉由喇叭用音波刺激內耳的耳蝸。助聽器是攜帶式系統，電池是主要能源，因此整體系統的功率消耗要極低，攜帶者才能長時間使用。雖然有研究者用類比的方式進行訊號處理以節省功率消耗，數位方式的訊號處理仍是目前的主流。因為數位式的設計比較具有可程式性(Programmable)及適應性(Adaptive)。而且數位式電路從積體電路製程發展得到的好處遠大於類比式電路。

本計劃將設計並實現一個能放置於耳道內(CIC/ITC)的完整助聽器系統。整個系統的體積要夠小，病人能直接放置於耳內。因為是以電池提供電力，系統要有極低的功率消耗，攜帶者才能長時間使用，而不會感覺不方便。好的助聽器系統通常須要具有可程式性，能根據不同使用者人不同的聽覺反應來調整系統參數。同時它還須要具有適應性，能在環境的變化下還能發揮最佳助聽功能。

三、研究方法及成果

本團隊於 2006/08 開啟助聽器計畫。2006/08 至 2007/07 間執行國科會之「助聽器微機電晶片系統」計畫。本計畫將延續先前計畫，並且擴大計畫規模，預期以三年時間實現一個完整的高階助聽器系統。

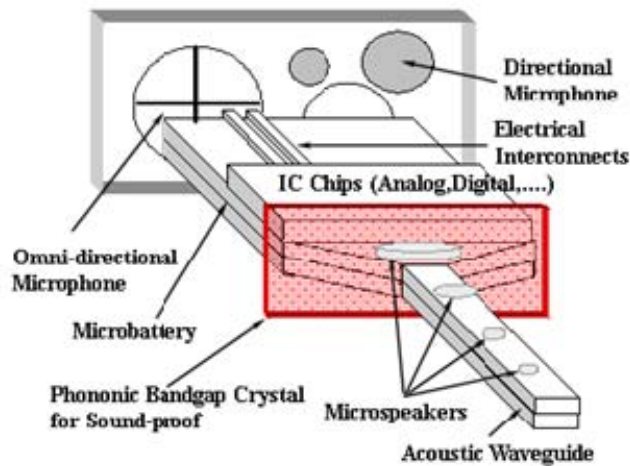


圖 3.0.1 助聽器構造。

本計畫將設計並實現一個能放置於耳道內（CIC/ITC）的助聽器系統。規劃的助聽器的構造如圖 3.0.1 所示。其主要功能是將聲音訊號經由微機電麥克風轉換成電訊號，再以數位電路依據使用者的聽覺反應及習慣做適當的訊號處理，最後則藉由微機電喇叭用音波刺激內耳的耳蝸。除了微機電麥克風及喇叭，本計畫所設計的電路皆會以 90 nm 的 CMOS 製作成晶片且加以量測，最後並整合於單一晶片上。以 1 V 電池操作，整體消耗功率不得超過 1 mW。另外，所發展的晶片都會以「晶片效能指標」（Chip Performance Index, CPI）來和功能類似的晶片相比較。而本計畫的電路設計要追求最佳的 CPI。此外，本計畫所規劃的助聽器是屬於高階的助聽器系統。除了發展助聽器的高性能華語補償策略之外，所規劃的助聽器將包括噪音抑制（Noise Reduction）以及回音消除（Echo Cancellation）等功能來提升助聽器的競爭性。

本計畫必須結合不同領域的專長。助聽器的系統方塊圖如圖 3.0.2 所示。本計畫必須結合不同領域的專長，規劃了以下子計畫：

1. 助聽器系統規劃及補償策略發展
2. 助聽器聲學系統設計
3. 助聽器低功率數位電路及 SoC 整合
4. 助聽器計算引擎
5. 助聽器類比介面電路
6. 微機電式聲學元件暨助聽器異質整合

針對助聽器的應用，本計畫需要「子計畫一」的助聽器系統規劃並發展所需的補償策略。本計畫的助聽器將以微機電技術將微機電式聲學元件及 IC 晶片整合於微型構裝中，所需要的微機電技術將由「子計畫六」發展。而「子計畫二」

將與「子計畫六」的構裝設計配合，共同來設計耳道內的發射音場以及耳道外的接收音場，並發展本助聽器專用的雜訊消除及回音消除等訊號處理技術。本計劃的 SoC 晶片的功率消耗必須非常小，「子計畫三」則是發展所需的低功率的數位電路與設計方法。而助聽器的數位訊號處理器以及相配合的硬體加速器將由「子計畫四」來設計，並會實現「子計畫一」與「子計畫二」所發展的 Algorithm。「子計畫五」的類比介面電路則是將麥克風訊號轉換成數位訊號處理器可接收的訊號，以及根據數位輸出訊號來推動喇叭產生聲音。而「子計畫六」所發展的微機電麥克風與喇叭可以降低系統的功率消耗，是本計劃的獨特之處。

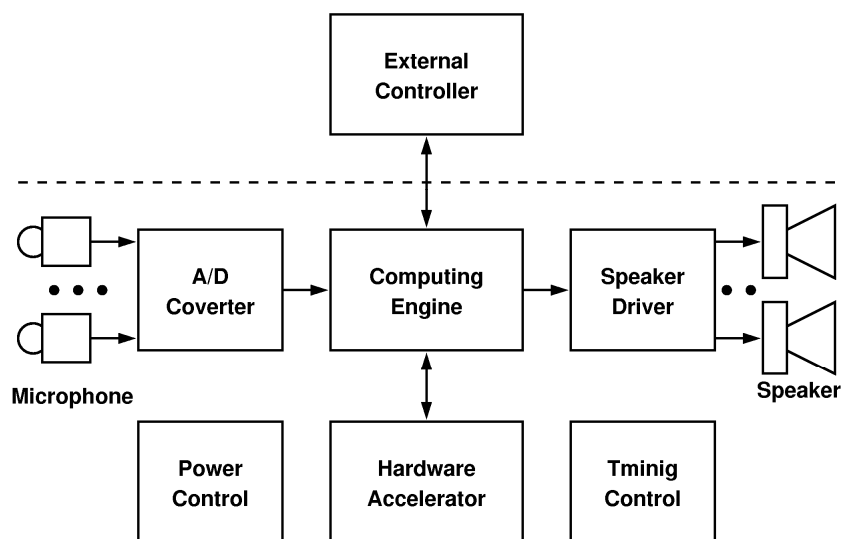


圖 3.0.2 助聽器系統方塊圖。

以下就各子計畫的研究方法以及成果逐一說明。

3.1 助聽器系統規劃及補償策略設計（楊順聰教授，陽明大學）

整合型計劃擬開發助聽器 SoC 系統，子計畫一主要工作為助聽器系統規劃與訊號處理，計劃預計將先採用現有之市售助聽器進行功能與規格，已訂定整體計畫助聽器各單元與系統之規格，以為整體計畫之發展目標；另一方面將把實驗室所發展之華語補償策略移植於雛型機內，並選擇適當的聽障者驗證各種策略的效益與優缺點。一旦驗證華語助聽器補償策略之適用性，我們將依據其所須要執行之各種運算與元件，設計建議理想之助聽器 IC 架構，以供後續 IC 設計之參考。此計劃將負責開發重要演算法，並與各子計畫配合，確保各演算可於計畫所開發之晶片進行即時性之運算。待硬體元件開發完成後，本計劃將把演算法移植至硬體元件上，組合成助聽器雛形，並對雛型之各項功能進行評估，以確認整體計畫所開發 SoC 助聽器之優缺點，以為未來助聽器軟硬體開發改進之依據。

計畫分配完成之工作主要是系統規劃與補償處方設計，預計分下略三部份完成。

- 助聽器系統規劃：針對目前國際助聽器之發展趨勢與團隊之技術現況，我們將規劃具體可行之助聽器系統規格，以作為團隊之技術努力目標。
- 助聽器補償策略選擇：過去多年來我們已經依據華語之特性設計完成一套 HSE 演算法則，並初步驗證其效益。在未來各年度研究中，持續探討補償處方中各因素對助聽器效益之影響。
- 系統單元與系統規格之驗證：主要是針對聲音各參數中關係到語音辨識的要素取出，評估自製之助聽器雛型訊號處理前後對各要素之影響程度，據以評估助聽器之功能良窳。

針對上述各項發展工作，本計畫三年共計達成下列各項工作：

- 收集至少 5 款市售中高階助聽器，拆解分析其技術規格與功能表現，並進行各項重要特性之實測，如各單元聲音增益、頻率響應、功率消耗等等進行分析，逆向分析其工程規範，以確定系統中各單元之合理規格。我們共收集市售助聽器 6 款中高階助聽器，包括 Phonix, Semens, GnResound 領導品牌，對其重要效能做了初步分析匯整，相關創新功能請參考此計畫之各別報告。
- 針對市售助聽器進行功能區塊區分與資源分析，並針對上述之分析，擬訂本計畫擬完成之助聽器系統各單元之功能與資源限制，並訂定各單元間功能與資源取捨之準則與極限，相關規範請參考此計畫之各別報告。此部分並成為我們自製助聽器之規格標的。
- 發展非線性動態範圍壓縮 (nonlinear dynamic range compression) 策略，並模擬評估其運算能力需求。經將近兩年之工作努力，我們不僅充分掌握了 WDRC 之相關技術，並依據本實驗是過去多年開發之 HSE 策略，演化推演出另一套 LM (loudness mode) 策略，此策略不僅較 HSE, NAL-NL2, DSL(i/o) 等更為非線性策略，實踐亦更加簡單，我們直接將之實踐於市售之 Gennum 晶片上，並已經完成數部耳掛式助聽器，並進行其特性之測試中。測試結果顯示 LM 處方比 NAL-NL2, DSL(i/o) 兩處方均能維持更佳之 speech map 動態範圍，此結果與最新之補償處方 ADRO 不分上下。此部分現在正在台大醫院進行臨床試驗，預計 99 年

底會完成所有之臨床測試。

- 我們分別設計了諸多實驗，驗證 LM 補償處方與 NAL-NL2, DSL(i/o), ADRO 之優缺點；初步驗證在相同的條件設定下，我們以 5 種不同聽損，3 種輸入音量處理，結果顯示 LM 處方其期預估之語音辨識率（SII speech intelligibility index）會與 DSL(i/o)與 ADRO 幾乎一般好；LM 補償處方不僅提供了較高的語音聽辨能力，也提供了更加之語音品質，這是其他補償處方無法同時兼顧者。此部分已經整理文稿，投稿審查中。
- 發展動態方向性麥克風（dynamic directional microphone）處理邏輯，以強化方向性麥克風之功能。方向性麥克風已經是現今中高級助聽器之基本配置，硬體結構主要是由兩個特性相匹配之麥克風所構成；本研究採用自行發展之簡易訊號遞延方法，不僅所需之計算資源極為少，所獲之方向性效果在各方位上亦有極佳之表現；目前所獲各個頻帶之效益互異，最佳者可有 10~15dB 之方向性增益，這已經是市售高級助聽器之極致表現了！
- 發展回授音處理技術，以提升助聽器最高增益值；良好回授音處理是 open fitting 助聽器之最基本技術，而 open fitting 則是未來助聽器之主流；本研究採用 NLMS 雖然會稍微增加計算資源之需求，卻可以獲得極為穩定之回授音處理效益，在最常發生回授音之 3kHz 附近，我們可獲得高達約 20dB 之回授音消除，效益極為良好。（第二年完成）
- 發展自動化 program 轉換邏輯，以應付不同環境之助聽器訊號處理。研究擬將未來助聽器 program 分為安靜，雜音環境下語音，以及純雜音環境等多種情境；為達此目標，本年度我們也開始研究 speech & noise 區分之各種可行技術，此類技術雖然非常多，但多半無法進行 real-time 運算，或是無法在助聽器處理器中處理；我們試行以訊號之 modulation depth 與 modulation rate 兩項參數進行 speech & noise 之辨識，並找尋最佳之參數組合，成果發現系統能在 speech only, speech+noise, noise, 與 music 四種情況下自由轉換。
- 完成研究成果之技術轉移，由一上市公司承接並成立新生公司；該公司快速推展產品，由德國合作廠商代工生產硬體，內植我們所發展之所有軟體；不僅產品已經獲准上市，並在 99 獲輔導會標案，年銷售已超越 4000 部。

3.2 助聽器聲學系統設計（桑梓賢教授，交通大學）

高階的助聽器系統應具有大量的訊號處理功能，除了借鏡既有的訊號處理方法，亦必須結合對人類聽覺處理過程、人體耳道音場的瞭解以及助聽器應用場合的聲響狀況，方能發展最佳化的訊號處理策略。本研究計劃以現實的人體聲學和環境聲學為基礎，對助聽器系統的訊號品質改進提出對策。本年度重點分為三個部分。

第一、處理迴音路徑。我們已製作出三套耳內助聽器耳模，其中內建麥克風(microphone)及喇叭(receiver)，用於測量迴音路徑及做為助聽器原型製作的平台。迴音路徑因使用者之佩戴方式及環境有各種變異。目前已完成回授路徑的基本量測，也完成寬頻通用性的回音消除器的設計工作[1]，後續的喇叭/麥克風的特性資料建立及最佳化設計等與系統整合有關議題將利用相同的量測系統繼續研究。我們經由探明耳內式助聽器的回授路徑，在正常使用情況下回音甚少發生且侷限在非常窄頻的範圍內，因此寬頻通用性的回音消除器並不經濟，硬體實現也將是特用回音消除器。

第二、發展先進的噪音抑制演算法。助聽器使用者常見的抱怨是“太吵了”，這是因為雜訊也被放大以至於語音清晰度並未因配帶助聽器而好轉。我們詳細比較了幾種常見的作法，結合倍頻程濾波器組提出一個硬體共用的噪音抑制演算法，已完成硬體實現設計，下方為利用頻譜消去法以及結合倍頻程濾波器組實現分頻部份之示意圖。此法最大優點為簡單同時具有一定的效能。

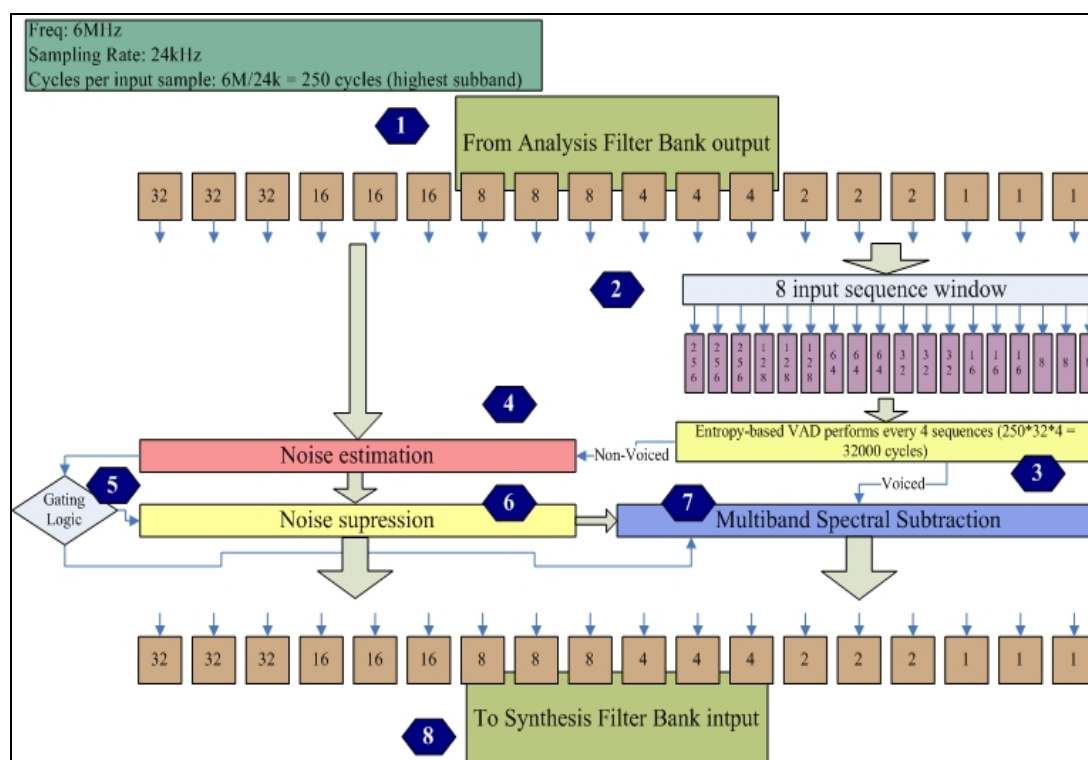


圖 3.2.1 噪音抑制模組之系統區塊圖

另外我們針對短時(short time)傅立葉轉換應用在音訊等時變(time varying)訊號上有解析度不足的缺點、開發了高解析度的技術，附帶提出音頻訊號合成演算法[2]，也對時域-頻域聯合濾波應用於語音訊號的問題做了探討[3]，這些方法因計算量問題無法立即應用於助聽器設計，但為我們瞭解音頻訊號處理以及瞻望未

來研究方向頗有助益。例如利用卡曼濾波器(Kalman filter)搭配倍頻程濾波器組，初步模擬結果顯示較 18 個子頻帶分頻的頻譜消去法要好得多的效能，請見圖 3.2.2。

method\SNR	0	5	10	15	20
18 band	2.09	2.25	2.39	2.52	2.60
54 band	2.60	2.92	3.22	3.55	3.72
DCT on	1.74	1.91	2.10	2.26	2.37
DCT off	1.65	1.89	2.11	2.25	2.37
AR	2.36	2.70	3.04	3.40	3.82

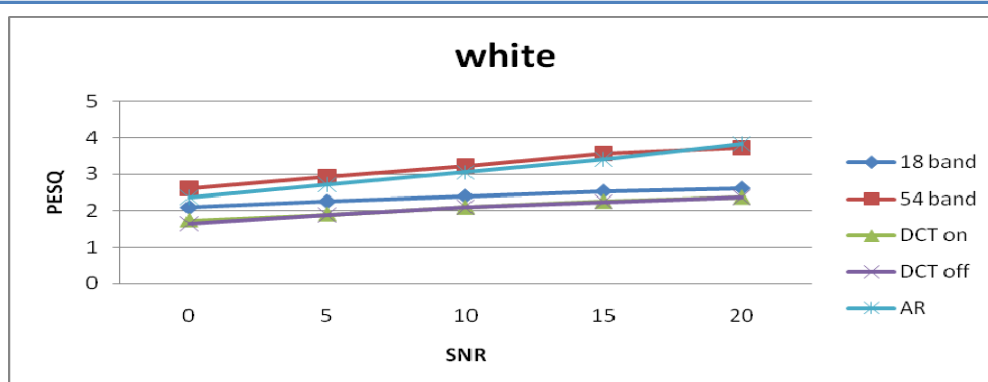


圖 3.2.2 用 PESQ 當評比，滿分是 4.5，分數越高表示越好，通常 2.0~3 都可以辨識語音，3 以上具有令人滿意的語音品質，噪音為 AWGN。

冀泰石教授探討了一個先進的語音強化演算法[3]。以冀教授所提出的人類聽覺模型，嘗試發展與人耳接收、處理語音訊號有類似功能之語音強化演算法。有別於以往在時間與頻率軸分開處理語音的方式，我們發現在時、頻域不可分離之維度上分析語音不僅更符合人類的感知模式，且在語音強健上有突破之表現(請見圖 3.2.3)。這樣高維度的運算在實作上也不可行，但頗具啟發性。

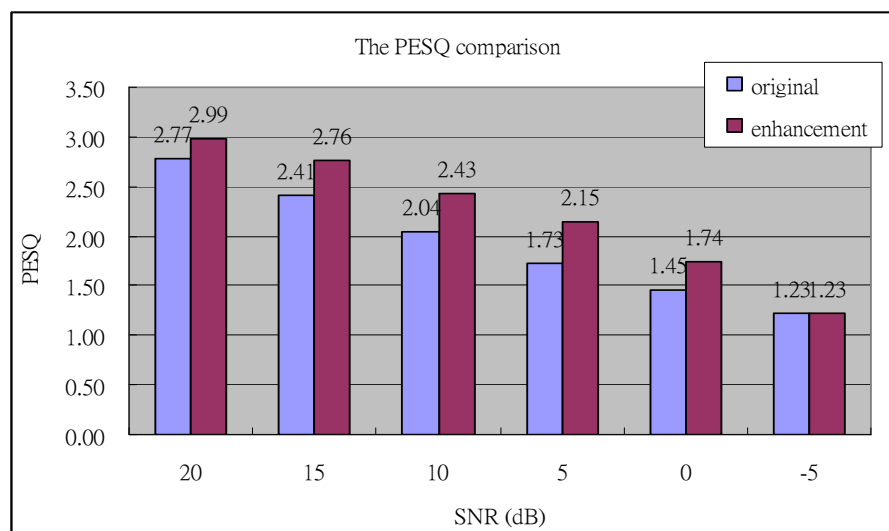


圖 3.2.3 用 PESQ 當評比語音強化效能

第三是總計畫的整合工程，我們參與整合離型製作及晶片實作。同時對可能發生的問題，例如倍頻程濾波器組的設計與和噪音抑制模組搭配的問題，提供分析與對策。我們以濾波器設計凸集最佳化 (convex optimization) 的角度重新檢討以有限長度脈衝響應濾波器(FIR filters)設計倍頻程濾波器組此一工作的優缺點，提出若干改進意見。我們的結論是，第一、目前以有限脈衝響應濾波器以疊代設計濾波器組，造成最高頻帶濾波器必須採用極小的時間延遲。第二、在這樣的限制下再要求濾波器組符合 ANSI S1.11-2004 的分頻規範(這是用於娛樂視聽器材的規範)已屬不易。第三、若更要求所用之有限脈衝響應濾波器的長度不得增加，則這些要求總合起來過於嚴苛，不可能設計出這種濾波器組。因此我們的建議是放寬分頻規範。

綜合兩年來的研究成果，我們達成了主要研究目標。部分成果已進入助聽器晶片實作，有些結論甚至推翻我們對助聽器訊號處理問題原先的認知，也對未來的研究指引出方向。

發表文獻

- [1] B. W. Shi, C. C. Tsai, and T. S. Chang, "Low Power Acoustic Feedback Cancellation for Hearing Aids," in *VLSI/CAD*, 2008.
- [2] Tzu-Hsien Sang, "The self-duality of discrete short-time Fourier transform and its applications," *IEEE Trans. Signal Proc.*, Vol. 58, pp. 604-612, Feb., 2010.
- [3] T.-H. Lin, C.-C. Hsu and T.-S. Chi, "Spectro-temporal smoothed auditory spectra for robust speaker identification," *ISCSLP (International Symposium on Chinese Spoken Language Processing)*, 2010.

3.3 助聽器低功率數位電路及 SoC 整合（周世傑教授，交通大學）

過去三年來，本計畫為助聽器，使用 FPGA 初步驗證助聽器演算法，針對設計雜訊消除以及迴授消除演算法，並使用聯電 90nm 標準元件庫，實現助聽器數位電路，並將之運作於低壓(0.6V)，針對助聽器中大量需要的記憶體需求，我們也使用聯電 90nm 製程設計低耗電記憶體。

為達成本目標，在過去三年中，我們完成了以下工作：

第一年：

- 使用 FPGA 搭配 DAC 模組，設計出初步的聲音驗證平台，並在上面驗證助聽器演算法
- 為分析助聽器在 90nm 下的耗電，針對助聽器分頻濾波器組(analysis filter bank)，我們利用本實驗室其他計畫開發之低耗電標準元件庫實現，並分析相關數據
- 針對助聽器分頻濾波器組在 IIR 濾波器下會遇到的 phase 問題，我們提出了 IIR 的解決方案，並使用電腦模擬驗證

第二年：

- 針對助聽器需要之雜訊消除，開發演算法以及數位電路，並使用聯電 90nm 低漏電製程實現
- 針對助聽器之大量資料儲存需求，設計可以運作於 0.6V 之下的低耗電記憶體，並於聯電 90nm High V_T 製程實現

第三年：

- 針對助聽器之雜訊消除，開發基於分頻濾波器組之雜訊消除演算法及其數位電路，並於聯電 90nm High V_T 製程實現
- 針對助聽器之迴授消除，開發適合之演算法
- 整合前三年其它子計畫之成果，開發出助聽器之數位晶片，並於聯電 90nm High V_T 製程實現
- 針對新一代雙耳助聽器的雜訊消除，開發音源分離的演算法

以下我們將針對以上之工作作一概略的說明。

(1) FPGA 之驗證平台及助聽器演算法之初步驗證

本子計畫所預備實現的助聽器補償配方如圖 1 所示，由濾波信號處理 (Filtering Signal Processing)、頻譜整形 (Spectrum Shaping)、寬動態範圍壓縮 (Wide Dynamic Range Compression)，以及升降頻濾波器等組成，其中，濾波信號處理、頻譜整形，以及寬動態範圍壓縮均是由子計畫一所提出之方法。

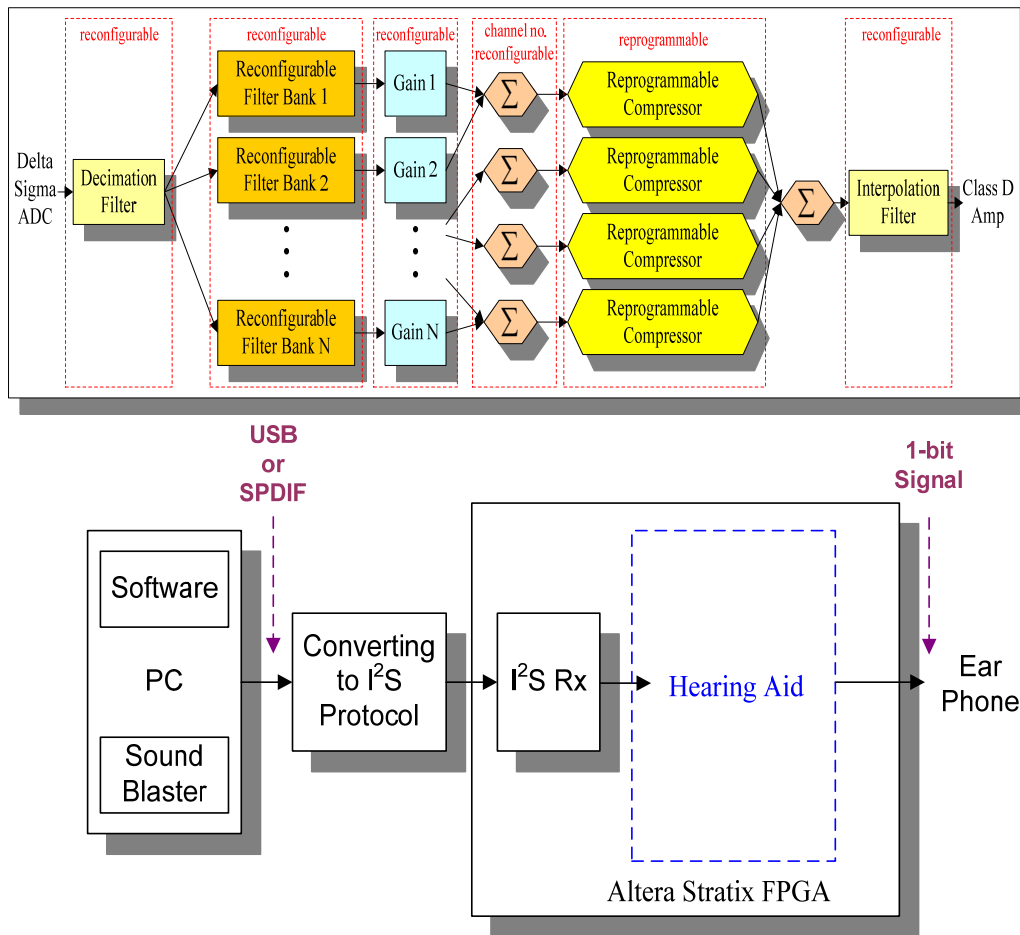


圖 1 助聽器補償配方及實驗平台架構圖

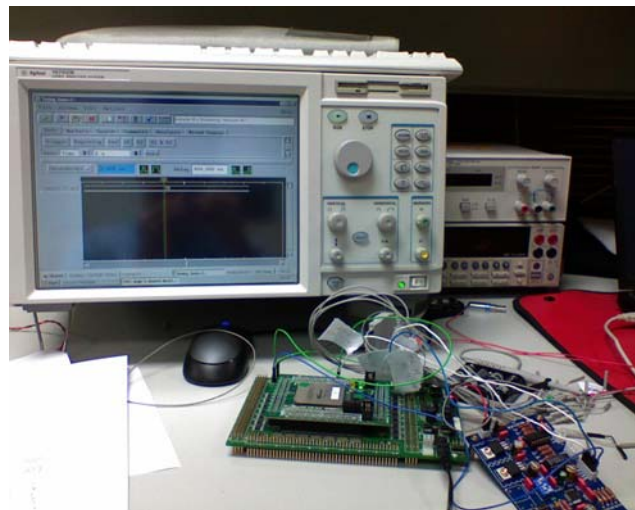


圖 2 助聽器 FPGA 初步驗證平台

我們將其補償處方以 FPGA 的方式實現出來，其中，濾波器組是 18 個平行的 IIR 濾波器，最耗電的乘法器部分，我們以 CSD(canonical signed digit)的方式化簡，並以移位與加法(shift and add)的方式來實現；頻譜整形的部分，我們也以簡化的移位與加法方式設計，最後，寬動態範圍壓縮則以牛頓拉佛森法化簡複雜

的開根號運算，並以移位窗(sliding window)的方式降低資料儲存的需求，已將耗電降到最低。

在聲音撥放方面，我們也設計了以 Delta-Sigma 調變器為基礎之 D 類放大器撥放，此電路的好處是可以將數位訊號轉換成 1-bit 的訊號，故不需要額外的類比 DAC，可以簡化實作上的需求。聲音來源方面，我們則選用了市面上的 USB to I2C 轉板，透過自己設計的 I2C 電路，可以將電腦的數位聲音檔丟到我們的助聽器 FPGA 板來處理，實驗設定如下圖所示，實驗結果可以成功撥放助聽器處方處理後之聲音，可以提供未來作進一步的實驗使用。

Reference

- [1] ANSI, “Specification for Octave-Band and Fractional-Octave-Band Analog and Digital Filters”, *ANSI standard S1.11*, 2004
- [4] 林柏言，楊順聰，”以 DSP 晶片建構助聽器補償策略”，國立陽明大學碩士論文，2003

(2) 使用 STAR90 標準元件庫實現分頻濾波器組

我們使用本實驗室其他計畫開發之 STAR90 標準元件庫，將分頻濾波器組電路以 cell based 設計流程實現出來，本工作的目的是評估助聽器在 90nm 製程上實線之實際情況，同時也針對我們自己的元件庫進行流程驗證，其實線結果如表 1 所示。

表 1 濾波器組耗電數據(STAR90 標準元件庫)

total power	dynamic power	static power
845.3 μ W	773.0 μ W (91.45%)	72.3 μ W (8.55%)

(3) IIR 濾波器組非線性相位之解決

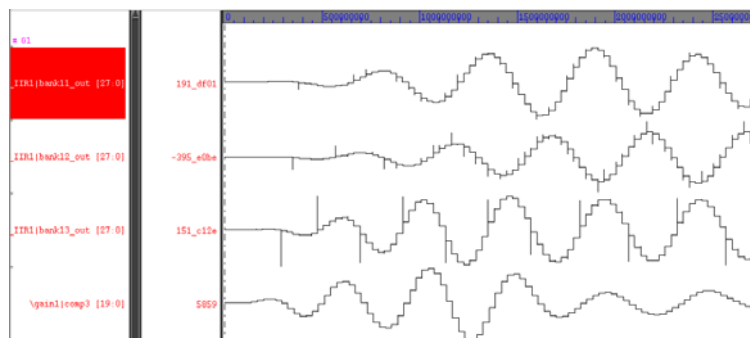


圖 3 濾波器組輸出波形及相消的現象

由於原始的助聽器補償處方採用的 IIR 濾波器相位移位較嚴重，以至於輸出之 18 bands 的訊號會有互相相消的現象(如圖 3 所示)，以至於造成輸出波形太小，此也會造成電路虛耗。針對此問題，我們提出使用 Chebyshev 濾波器的新方

法，此方法可讓所有 band 相位相差不會太多(如圖 4 所示)。

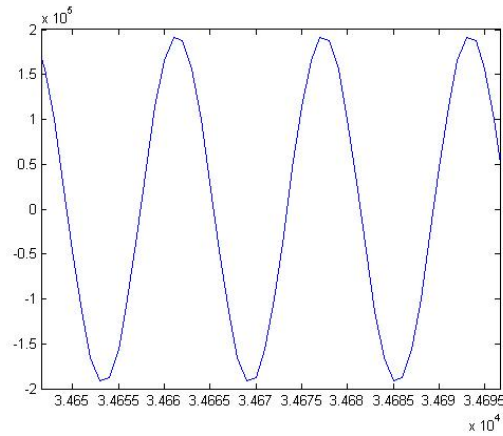


圖 4 使用新的濾波器組進行分頻，不會有相消的問題出現

(4)助聽器之低功耗雜訊消除演算法及數位電路實現

由於聽障者在雜訊中的語音理解力會變差，因此在助聽器中，必須加入雜訊消除的功能，以確保使用者在聆聽語音時不會被周遭吵雜之雜訊干擾。不過，雖然雜訊消除的演算法相當多，但是頻譜消除法外，多半運算量相當大，不適用於低功耗需求的助聽器上；因此，本研究基於頻譜消除法，提出一個運算量低且效果不錯的演算法，並將其基於聯電 90nm 標準元件庫加以實現。

圖 5 為本演算法之架構圖，輸入訊號透過 DWT(Discrete Wavelet Transform)，及 DHT(Discrete Hartley Transform)作頻譜分解，再由雜訊消除方塊進行閾值(threshold)評估，以及頻譜消除(spectral subtraction)後，再送至反轉換加以重組後輸出。本演算法使用低運算量之 DWT，同時，為了進一步降低運算量，我們使用八點之 DHT 來取代後面三級之 DWT，同時，DHT 亦可降低過多級 DWT 而造成之分頻模糊，本混合頻譜分解法與傳統 DWT 方法之效能及運算量比較如表 2 所示。

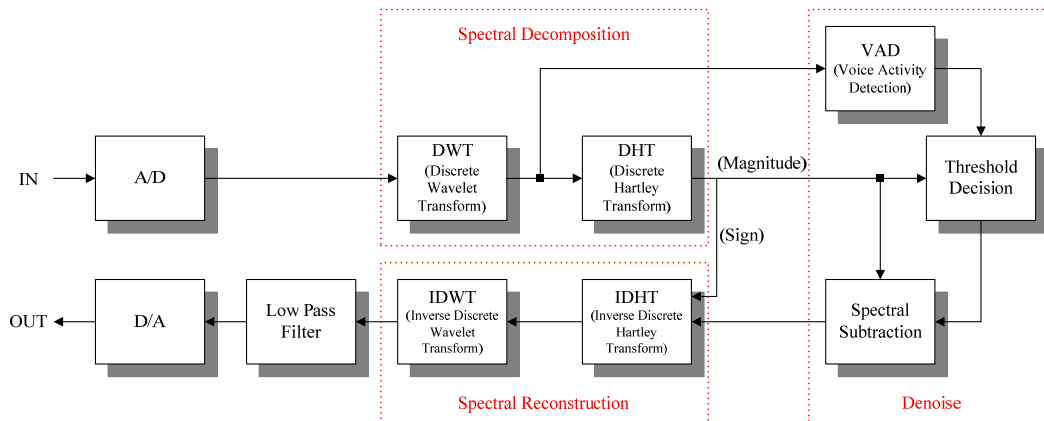


圖 5 雜訊消除演算法架構圖

在雜訊消除方面，為了能對抗非穩態雜訊，我們基於 noise-based 方法，提出我們的演算法，此演算法搭配有簡單的 VAD(Voice Activity Detection)，以及子音保護區間，以提升語音處理的品質，相較其他 wavelet-based 演算法，本演算

法可以在較低運算量的前提下，提供不輸於複雜演算法的效能，同時，相較於需事先推導閾值的演算法，本演算法在低 SNR 時更有不錯的表現。

表 2 本演算法與其他 wavelet-based 演算法之效能比較，A: Hard thresholding, B: Soft thresholding, C: MMSE short time spectral amplitude estimator, D: Wavelet speech enhancement based on the TEO (Teager Energy Operator). E: Speech enhancement using PWPD (Perceptual Wavelet Packet Decomposition) and TEO

	-5dB	0 dB	5 dB	10 dB	15 dB
A [1]	-3.10	1.79	7.22	10.96	13.01
B [1]	-2.48	1.93	8.76	11.21	14.02
C [2]	4.10	6.60	9.23	12.65	16.24
D [3]	4.02	6.34	9.54	11.89	13.32
E [4]	4.03	6.53	9.62	12.85	15.96
Proposed	2.55	5.90	9.06	12.62	16.33

最後，基於 UMC 90nm SPHVT 標準元件庫，我們針對本演算法的實現，做一詳盡的研究。首先，我們使用標準的非折疊架構(unfolded)來實現本演算法，以對此演算法的耗電量做一個詳細的評估，實作結果發現，由於其低運算量及低時脈，其耗電量中，幾乎有 98.5%均為漏電流，這也是因為 90nm 次微米製程造成；因此，為求降低整體耗電，我們另外使用折疊(folded)的架構，在允許動態耗電增加的強況下，降低漏電流，其實現結果顯示，在本架構下，漏電流的確大幅降低；進一步的耗電降低可以透過更改標準元件庫(從 SPHVT 至 LLRVT)，使用此元件庫，漏電流大幅降低，因此耗電可降低至 12.2uW；最後，HSPICE 模擬顯示，透過降低電壓，我們可以再進一步降低整體耗電至 3.78uW(於 0.7V 下)；表 3 為耗電之比較表。

表 3 三種實現結果之耗電比較表

CHIP PARAMETERS	UNFOLDED	CORE	CORE_LL
Process	UMC 90nm CMOS SPHVT	UMC 90nm CMOS SPHVT	UMC 90nm CMOS LLRVT
Architecture	Unfolded	Folded	Folded
Gate Count	33563	13308	13377

Area	538um * 502um	378um * 365um	457um * 431um
Clock Rate	8 kHz	4.096MHz	4.096MHz
Data Rate	8 kHz	8kHz	8kHz
Total Power	32.5uW @ 1.0V	19.2uW @ 1.0V	12.2uW @ 1.2V 3.78uW @ 0.7V
Dynamic	0.5 uW	7.4uW	8.8uW
Leakage	32uW	11.7uW	3.4uW

Reference

- [1] P. C. Loizou, Speech Enhancement, Theory and Practice, Boca Raton, Florida: CRC Press, 2007.
- [5] D. L. Donoho, "De-noise by soft-thresholding," IEEE Trans. Inform. Theory, vol. 41, no. 3, pp. 613-627, May 1995.
- [6] D. L. Donoho, I. M. Johnstone, "Ideal spatial adaptation via wavelet shrinkage," Biometrika, vol. 81, pp. 425-455, 1994.
- [7] M. Bahoura and J. Rount, "Wavelet speech enhancement based on the teager energy operator," IEEE Signal processing letters, vol. 8, no. 1, pp. 10-12, Jan. 2001.
- [8] Q. Fu, E. Wan, "Perceptual wavelet adaptive denoising of speech," 8th European Conference on Speech Communication and Technology, Geneva, Switzerland, Sep. 2003, pp. 577-580.
- [9] S. Ayat, M. T. Manzuri-Shalmani, R. Dianat, "An improved wavelet-based speech enhancement by using speech signal features", Computers and Electrical Engineering, vol. 32, no. 6, pp. 411-425, Aug. 2006.
- [10] S. H. Chen, J. F. Wang, "Speech enhancement using perceptual wavelet packet decomposition and teager energy operator," Journal of VLSI Signal Processing Systems, vol. 36, no. 2-3, pp.125-139, Feb.-Mar. 2004.
- [11] Y. Ephraim and D. Malah, "Speech enhancement using a minimum mean square error short time spectral amplitude estimator," IEEE trans Acoustics, Speech signal processing, vol. 32, no. 6, pp.1109-1121, Dec. 1984.
- [12] S. H. Chen, J. F. Wang, "Speech enhancement using perceptual wavelet packet decomposition and teager energy operator," Journal of VLSI Signal Processing Systems, vol. 36, no. 2-3, pp.125-139, Feb.-Mar. 2004.

(4) 低耗電之靜態隨機存取記憶體

低壓操作的內嵌式 SRAM 系統，具有壓低先進製成 leakage power 的優點，與低耗功的特性，但是傳統 6T 架構在低壓操作有良率不穩定的缺點，透過新式 8+1T 的 SRAM Cell，來改良 Read mode 的 SNM (static noise margin)，且 Data Controlled Write Operation 可以提昇 Single Bit Line 的 Write Margin，如此可以同時兼顧 Write & Read Operation 在低壓操作的良率；此外新 SRAM Cell 架構可以避免 half selected 的狀態，使得無論在良率或者功率方面都得到優於傳統架構

的特性；而其特殊操作模式，使得可用最小尺寸電晶體實現，而不折損正常操作功能。我們以此 8+1T SRAM Cell 實現此內嵌式 4K SRAM System (System diagram 如圖 6)，此系統由兩個 2K 容量的 banks 構成，藉由此 banks 的分割可以減少動態功率的多餘消耗，每個 2K SRAM Block 皆由 32(columns)×4(muxs)×16(bits)組合而成，透過縮小 bit line 長度與 single bit line，動態功率可以更有效的被抑制。

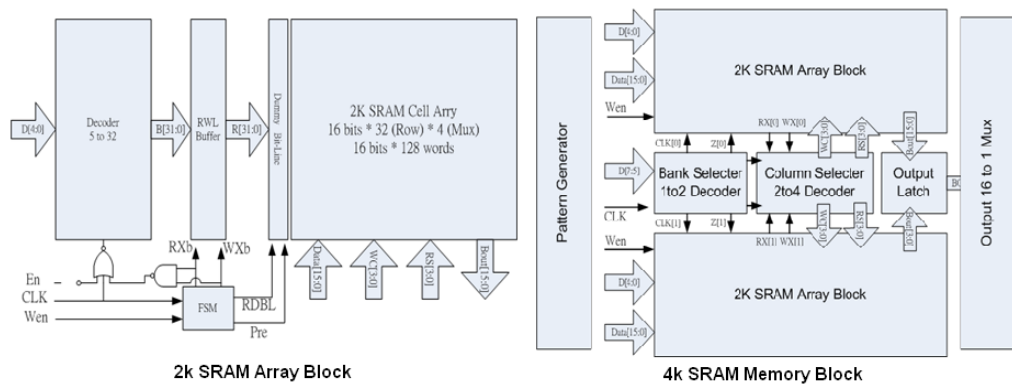


圖 6 低耗電記憶體之架構

此系統可以正常操作在 0.6V，且平均功率 1.211(uW/MHz)（此為 16bits），並最高速度可以到 60MHz，在低功率的生醫應用具有彈性且穩定的特性，其特性如表 4 所示。

表 4 低耗電記憶體之效能與耗電

4K SRAM System (16bits Data Bus) @ Supply=0.6V Load=0.15pF			
Write Power	1.323 uW/MHz	Write Time	5.449ns
Read Power	1.099 uW/MHz	Read Time	9.244ns
Avg	1.211 uW/MHz		

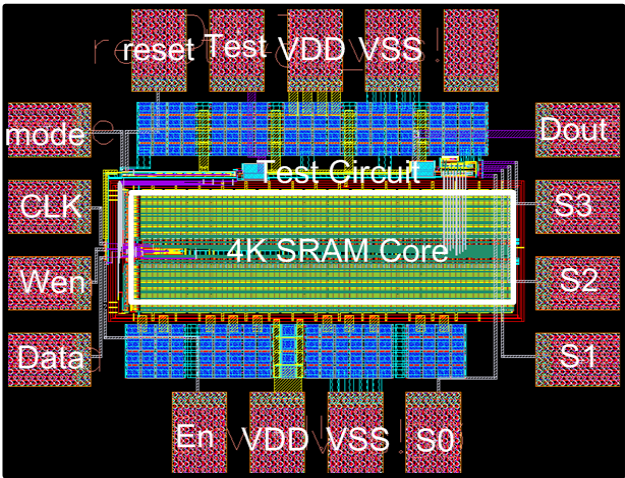


圖 7 低耗電嵌入式靜態隨機存取記憶體晶片佈局圖

Reference

- [1] D. L. Donoho, I. M. Johnstone, "Ideal spatial adaptation via wavelet shrinkage," *Biometrika*, vol. 81, pp. 425-455, 1994.
- [13] S. H. Chen, J. F. Wang, "Speech enhancement using perceptual wavelet packet decomposition and teager energy operator," *Journal of VLSI Signal Processing Systems*, vol. 36, no. 2-3, pp.125-139, Feb.-Mar. 2004.
- [14] M. Bahoura and J.Rount, "Wavelet speech enhancement based on the teager energy operator," *IEEE Signal processing letters*, vol. 8, no. 1, pp. 10-12, Jan. 2001.
- [15] S. H. Chen, J. F. Wang, "Speech enhancement using perceptual wavelet packet decomposition and teager energy operator," *Journal of VLSI Signal Processing Systems*, vol. 36, no. 2-3, pp.125-139, Feb.-Mar. 2004.

(5) 基於助聽器分頻濾波器組開發之雜訊消除演算法及數位電路實現

由於聽障者在雜訊中的語音理解力會變差，因此在助聽器中，必須加入雜訊消除的功能，以確保使用者在聆聽語音時不會被周遭吵雜之雜訊干擾。不過，雖然雜訊消除的演算法相當多，但是頻譜消除法外，多半運算量相當大，不適用於低耗電需求的助聽器上；因此，本研究基於頻譜消除法，以及 ANSI S1.11 之 1/3 octave filter bank，提出一個運算量低且效果不錯的演算法，並將其基於聯電 90nm 標準元件庫加以實現。

圖 8 為本演算法的方塊圖，基於人耳的感知特性，本演算法利用助聽器的非均勻分布(ANSI S1.11)之分頻濾波器當作分頻工具，使用多頻帶頻譜消除法，以及時域的焒語音偵測來輔助雜訊估測。考量到實際的環境會隨時變化，我們也設計了可適性的閾值調整及 off-mechanism，來適應不同環境的需求。

在實現方面，我們針對我們的演算法複雜運算作適當的化簡，也針對會帶來大量資料搬移的問題，提出有效率的解決方式，最後，我們針對助聽器晶片最需要的可程式性，針對 spectral subtraction 演算法，設計了類似處理器的硬體架構。本架構同時達成了對 spectral subtraction 低耗電實現，以及對助聽器演算法需要可程式性的需求。依照晶片量測以及電腦模擬結果推知，使用 90nm HVT 之標準元件庫，本雜訊消除晶片在 0.6V 時，耗電量約為 83.7uW，其中 dynamic 及 leakage 耗電分別為 39.1uW 及 44.6uW。表 5 為本晶片數據之總結。

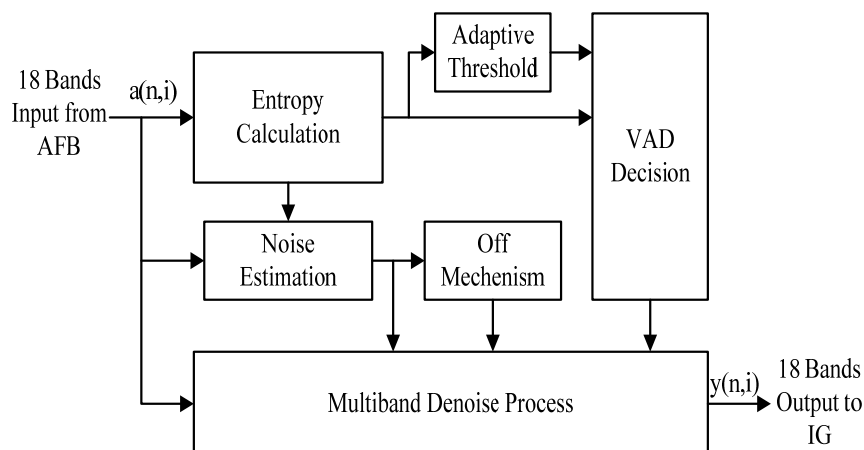


圖 8 雜訊消除演算法

表 5 晶片數據總結

Process	90nm 1.0 V CMOS HVT
Gate Count	101697 (include SRAM) 80682 (exclude SRAM)
Area	1720um * 892um (exclude IO)
Clock Rate	6MHz
Data Rate	24 kHz
Total Power Consumption	83.7μW @ 0.6V
Dynamic Power Consumption	39.1μW @ 0.6V
Leakage Power Consumption	44.6μW @ 0.6V

Reference

- [1] S. Kamath, P. Loizou, "A multi-band spectral subtraction method for enhancing speech corrupted by colored noise," in 2002 *IEEE Int. Conf. Acoust. Speech Signal Process*, vol. 4, pp. 4164-4167.
- [2] C. Jia and B. Xu, "An improved entropy-based endpoint detection algorithm," in 2002 *Int. Symp. on Chinese Spoken Language Processing*, Taipei, Taiwan, pp. 96-99.
- [3] J. N. Mitchell, "Computer multiplication and division using binary logarithms," *IRE Trans. Electron. Comput.*, vol. EC-11, pp. 512-517, 1962.
- [4] C. W. Wei, C. C. Tsai, T. S. Chang, S. J. Jou, "Perceptual Multiband Spectral Subtraction for Noise Reduce in Hearing Aids," accepted by IEEE Asia Pacific Conference on Circuits and Systems, 2010.

(6) 基於助聽器分頻濾波器組開發之迴授消除演算法

由於助聽器放置在耳道中，為了降低患者的閉塞感，耳模不能完全匹配耳道，需要留下些微空隙好讓空氣流通，但也因此造成助聽器放大的聲音輸出會沿著此空隙迴授至耳外的麥克風處，形成迴授路徑。當助聽器的補償增益比此迴授路徑的迴路增益(close loop gain)大時，會產生吵雜的迴授音。若為了避免迴授音的產生而降低助聽器的增益補償，又使助聽器無法達到足夠的輔助效果。因此助聽器中必需加入迴授音消除的功能，以抑制迴授音造成聽者困擾。

圖 9 為迴授音消除演算法在助聽器系統中的架構圖。本演算法採用子頻帶架構設計，使用助聽器系統內進入合成濾波器前的子頻帶信號作為用於適應性濾波器的參考信號(reference signal)，使用解析濾波器輸出信號與迴授音消除器輸出信號二者相減後，作為調整適應性濾波器係數的誤差信號(error signal)。

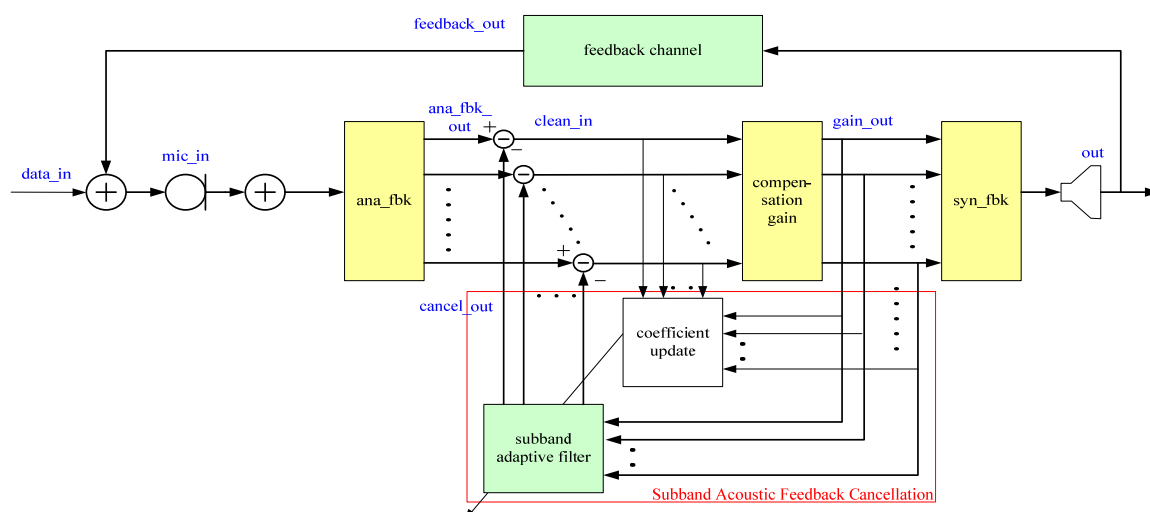


圖 9 助聽器系統架構圖

為滿足助聽器使用低功耗的需求。因此我們採用正規化最小平均平方 (Normalized-Least-Mean-Square) 法，進一步將此演算法的係數更新運算簡化，模擬結果(表 6)顯示預算誤差法(PEM)比起 NLMS 用於迴授音消除的表現更佳。此外在本計畫中我們進一步將演算法設計在子頻帶上實現。基於計畫中已經發展的 ANSI S1.11 1/3 octave 濾波器組，將迴授音消除的運算搭載到每一個子頻帶上，以期得到更好的效能、收斂速度，並節省更多的運算量以達到低功耗的目標。

表 6 迴授音消除效能比較表

	<u>Pink noise</u>		<u>Speech</u>	
	NLMS	PEM	NLMS	PEM
Misalignment (dB)	-44.77	-45.87	-48.11	-49.22
ASG (dB)	15	19	20	23

Reference

- [1] M.G. Siqueira, A. Alwan, Steady-state analysis of continuous adaptation in acoustic feedback reduction systems for hearing-aids, *IEEE Trans. Speech Audio Process.* 8 (4) (2000) 443–453
- [2] A. Spriet, I. Proudler, M. Moonen, J. Wouters, Adaptive feedback cancellation in hearing aids with linear prediction of the desired signal, *IEEE Trans. Signal Process.* 53 (10) (2005) 3749–3763

(7) 助聽器之數位整合晶片

我們針對前三年之各團隊的研究成果作一整合，並將其透過聯電 90nm HVT 製程下線實作。本晶片中，如圖 10 所示，包含了助聽器補償處方的濾波器訊號處理，頻譜整形，寬動態範圍壓縮，以及雜訊消除(基於濾波器組設計之版本)，整合成一個單一個 ASIC；同時，考量到助聽器本身的程式化問題，故我們也設計了基於 UART 的資料傳輸機制，可以透過電腦的介面控制補償處方的參數，

以適應不同聽障者的需求。考量到助聽器的低耗電需求，故我們透過了演算法及架構設計，以及電路手段的方式達到降低耗電的目的，本晶片可以運作在 0.6V 之下，量測結果如表 7 所示，在 0.6V 下為 314uW。

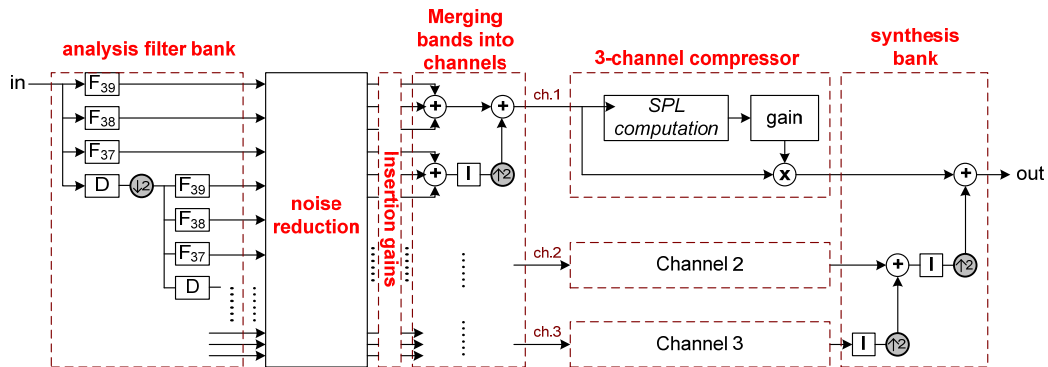


圖 10 助聽器補償處方方塊圖

表 7 助聽器整合晶片的數據總結

Process	90nm 1.0V CMOS SPHVT
Gate Count	207993 (include SRAM) 87092 (exclude SRAM)
Area	1720um * 1820um (exclude IO)
Clock Rate	8MHz (AFB) 6MHz (NR) 3MHz (IG, WDRC, SFB)
Data Rate	24KHz
Total Power Consumption	1095μW (362μW leakage) @ 1.0V 314μW (69μW leakage) @ 0.6V

Reference

- [1] Dillon, *Hearing Aids*, New York: Thieme Medical Publisher, 2001.
- [2] J. H. Chang, K. S. Tsai, P. C. Li, and S. T. Young, "Computer-aided simulation of multi-channel WDRC hearing aids," in *17th Annual Convention & Expo of the American Academy of Audiology*, 2005.
- [3] Y. T. Kuo, T. J. Lin, Y. T. Li, and C. W. Liu, "Design and implementation of low-power ANSI S1.11 filter bank for digital hearing Aids," *IEEE Trans. Circuits Syst. I*, to be published.
- [4] Y. T. Kuo, T. J. Lin, W. H. Chang, Y. T. Liu, and C. W. Liu,

- "Complexity-effective auditory compensation for digital hearing aids," in 2008 *Proc. Int. Symp. Circuits and Systems*, pp. 1472-1475
- [5] S. Kamath, P. Loizou, "A multi-band spectral subtraction method for enhancing speech corrupted by colored noise," in 2002 *IEEE Int. Conf. Acoust. Speech Signal Process*, vol. 4, pp. 4164-4167.
- [6] C. Jia and B. Xu, "An improved entropy-based endpoint detection algorithm," in 2002 *Int. Symp. on Chinese Spoken Language Processing*, Taipei, Taiwan, pp. 96-99.
- [7] K. C. Chang, Y. T. Kuo, T. J. Lin, and C. W. Liu, "Complexity-effective dynamic range compression for digital hearing aids," in 2010 *Proc. IEEE Int. Symp. Circuits and Systems*, Paris, France, pp. 2378-2381.
- [8] J. N. Mitchell, "Computer multiplication and division using binary logarithms," *IRE Trans. Electron. Comput.*, vol. EC-11, pp. 512-517, 1962.
- [9] M. H. Tu, J. Y. Lin, M. C. Tsai, S. J. Jou, C. T. Chuang, "Single-ended subthreshold SRAM with asymmetrical write/read-assist," *IEEE Trans. Circuits Syst. I*, to be published.
- [10] S. Y. Kim, S. J. Lee, N. J. Cho, S. J. Song, H. J. Yoo, "A fully integrated digital hearing aid chip with human factors considerations," *IEEE J. Solid-State Circuits*, vol. 43, no. 1, pp. 266-274, Jan. 2008.

(8) 雙耳助聽器之聲源分離雜訊消除

因為目前的商用通訊技術尚無法在助聽器的低耗電規格下，提供夠快速的通訊傳輸，故目前市面上之助聽器皆為單耳運作，對於雜訊消除，僅能以訊號的一些統計特性作預估，這樣難免容易估計錯誤造成訊號失真。由於人類的聽覺是雙耳運作，且雙耳的資訊可以提供各自助聽器的雜訊消除更多的資訊，故未來新一代的助聽器，妥善運用雙耳助聽器的資訊來做雜訊消除，將會是一個趨勢。

本研究算是下一期計畫的先導研究，我們透過 ICA(Independent Component Analysis)作聲源分離，分析目前 ICA 快速演算法中兩種常見的方法: InfomaxICA 及 FastICA，了解他們運作的原理及設計概念，同時，針對他們會遇到的延遲估計問題，提出我們的改進方法。電腦模擬顯示，我們提出的方法，搭配 InfomaxICA，可以確實地提升在雞尾酒環境之下的語音，表 8 及 9 分別為在四個聲源之下之 SNR 提升效果，以及在不同 SNR 下的提升效果。

表 8. Result of four noise sources

	Four Noise Sources			
	<i>Cocktail</i>	<i>Fan</i>	<i>AC</i>	<i>Vacuum</i>
SNR Enhancement (dB)	19.8	20.2	20.3	19.8

表 9. Result for different SNRs

	Different SNRs (dB)					
	-15	-10	-5	0	5	10

	Different SNRs (dB)					
	-15	-10	-5	0	5	10
SNR Enhancement (dB)	21.8	21.4	20.6	18.9	15.9	8.8

References

- [1] Y. T. Kuo, T. J. Lin, Y. T. Li, and C. W. Liu, "Design and implementation of low-power ANSI S1.11 filter bank for digital hearing Aids," *IEEE Trans. Circuits Syst. I*, vol. 7, pp. 1684-1696, 2010.
- [2] Y. T. Kuo, T. J. Lin, W. H. Chang, Y. T. Liu, and C. W. Liu, "Complexity-effective auditory compensation for digital hearing aids," in 2008 *Proc. Int. Symp. Circuits and Systems*, pp. 1472-1475.
- [3] C.W. Wei, Y.T. Kuo, K.C Chang, C.C. Tsai, J.Y. Lin, Yi. FanJiang, et al., "A low-power madarin-specific hearing-aid chip," accepted by IEEE Asian Solid-State Circuits Conference, No.1, 2010.
- [4] D. B. Hawkins and W. S. Yacullo, "Signal-to-noise ration advantage of binaural hearing-aids and derectional microphones under different levels of reverberation," *Journal of Speech and Hearing Disorders*, vol 49, pp. 278-286, 1984.

3.4 助聽器計算引擎（劉志尉教授，交通大學）

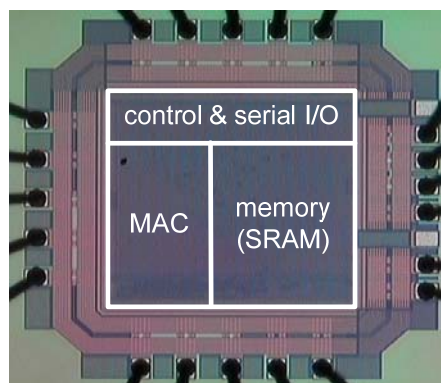
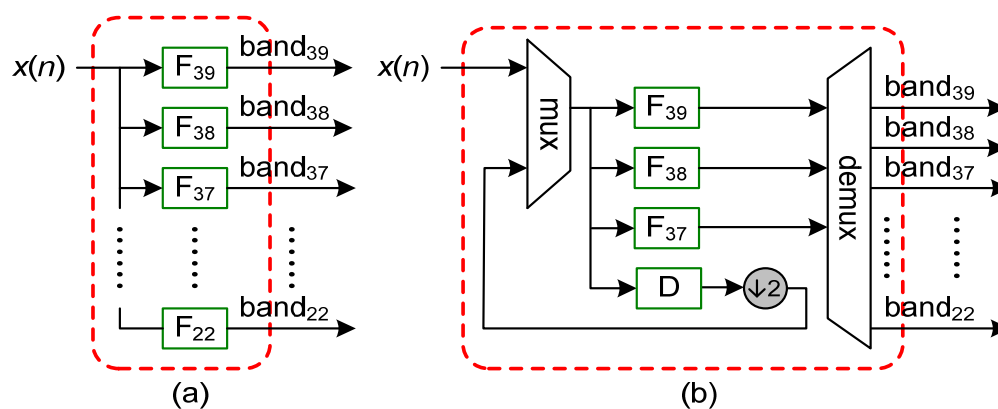
本子計畫的工作目標如下：(1)移植陽明大學聽語實驗室所開發之華語聽力補償策略，並對其進行演算法的改良，以達到降低運算量的目的。(2)針對聽力補償演算法的關鍵性功能模組(例如濾波器組以及音量壓縮模組)，開發低功耗硬體架構，以完成適用於助聽器的計算引擎。(3)完成包含噪音消除模組的助聽器演算法整合以及晶片實作。(4)建立助聽器雛型系統以及 demo 平台。

以下就各年度的成果進行說明。

(第一年) 華語聽力補償演算法最佳化以及低功耗電路設計

我們針對子計畫一所開發之華語助聽器補償策略(HSE)進行演算法的最佳化。HSE 演算法中採用一個具有 18 頻帶的 1/3-octave 濾波器組，並需要符合 ANSI S1.11 的規格，以符合人類聽覺系統的分頻解析。我們亦提出一個 multi-rate 濾波器組架構來實現這個 ANSI S1.11 1/3-octave 濾波器組，此架構可以大量降低運算量。我們同時也為此濾波器組架構設計一套系統化的係數設計流程，使得每個濾波器可以最少的階數來達到 ANSI S1.11 規格的需求。我們的架構可節省約 94% 的運算量(乘法個數)。此外，透過 multirate 的架構，多通道音量壓縮模組亦可降低 84% 的運算量。

除此之外，我們也設計了此濾波器組的低功率硬體架構，採用了以下的低功耗技術：(a) clock-gating (b) data/coefficient encoding (c) multi-Vdd design。並完成了一極低功耗的濾波器晶片實作。在 0.13um 製程下的模擬數據顯示，操作電壓 0.6V 時只有 79uW。



Sub-modules	Gate count
MAC	2,847
memory	5,594
system controller	1,010
memory controller	301
serial I/O	1,103

(c)

圖 4-1 濾波器組架構(a) parallel (b) multirate 以及(c)晶片實作

(第二年) 助聽器系統演算法整合以及晶片設計

在第二年中，我們主要工作為(1)針對聽力補償演算法中的音量壓縮模組進行低功率的架構設計(2)並完成助聽器系統的整合：包含聽力補償(auditory compensation)以及噪音消除(noise reduction)，並撰寫此整合演算法的 C model。(3)完成整合後助聽器系統的硬體架構設計並開發驗證平台。

首先，我們針對聽力補償中的音量壓縮模組，對所需要的大量非線性運算(例如 Log)進行演算法層級的最佳化，以查表法以及多項式逼近的技巧大幅減少運算量，並做最佳字元長度(wordlength)的分析，以達到低功耗的需求。在完成聽力補償演算法的最佳化後，我們整合子計畫三所開發的助聽器專用噪音消除演算法，並完成整個助聽器數位系統的設計。圖 4-2 為助聽器系統整合的架構圖。

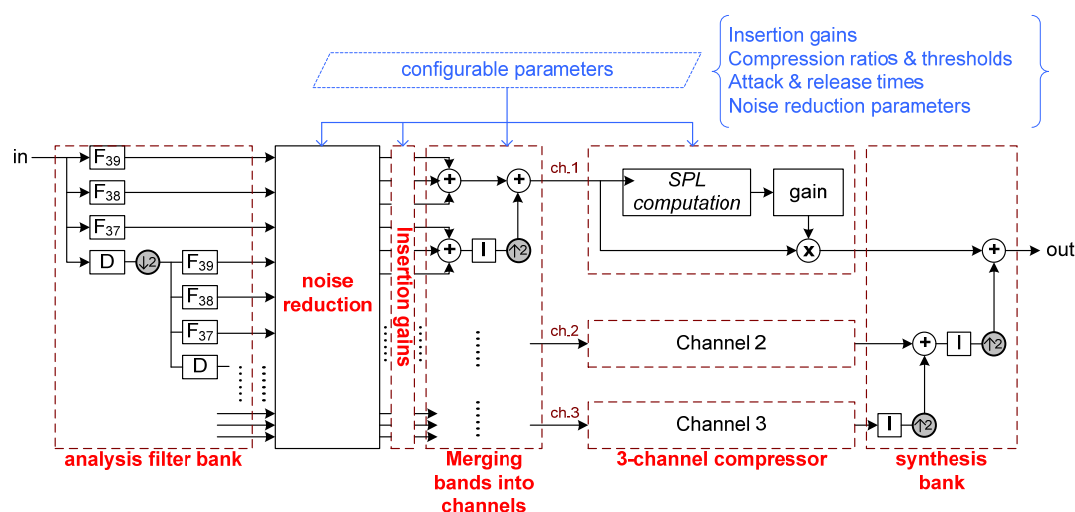


圖 4-2 助聽器系統整合(聽力補償+噪音消除)

(第三年) 助聽器雛型系統以及 demo 平台

在第三年中，我們主要工作為(1)改善助聽器系統中濾波器組延遲過長(78ms)的問題，以及(2)建立助聽器系統的 demo 平台。

雖然 ANSI S1.11 1/3-octave 濾波器組其解析度符合人耳聽覺系統的需求，但因延遲過高，可能會造成語音理解度的下降。然而若過度放大頻寬，則可能使得助聽器的頻譜響應跟處方的要求不一致。因此我們對規格作最小程度的放寬來降低濾波器組的延遲(達到 10ms)，並且提出了可以降低助聽器響應和處方之間匹配誤差的方法，使得助聽器響應和處方之間最大的誤差從維持在 1.5dB，仍在人耳可接受的範圍之內。下圖為低延遲濾波器組架構以及此濾波器組在特定處方下的頻率響應。

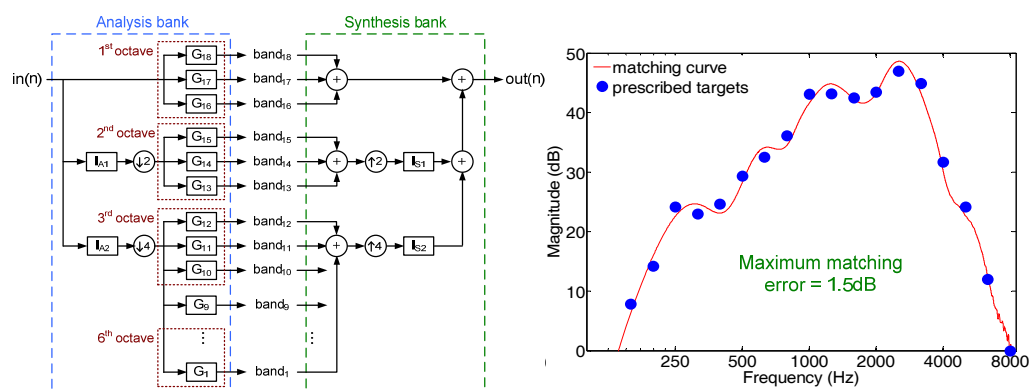


圖 4-3 低延遲(10ms)濾波器組

最後我們也建立了助聽器系統的 demo 平台。此平台包括三個部分。首先是聽力處方的產生程式，此程式由陽明大學聽語實驗室所開發。第二部分是助聽器演算的電腦平台 prototyping，可用來驗證演算的正確性以及效能，並可用來試聽聲音品質如何。第三個部分則是助聽器電路的 FPGA 雛型系統。

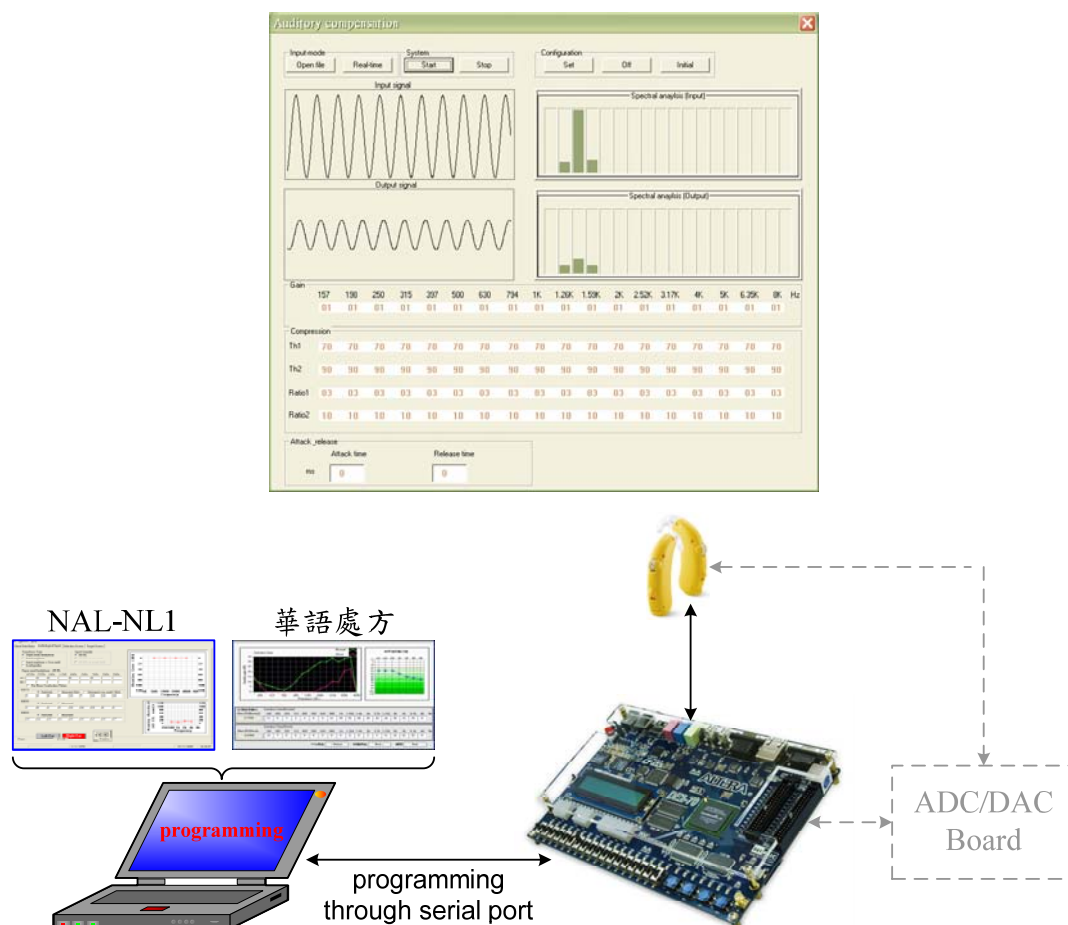


圖 4-4 助聽器運算平台 demo 系統

3.5 助聽器類比介面電路（吳介琮教授，交通大學）

本計畫的目的是設計及實現此系統所需要的低功率混合訊號式介面電路，並且將與其他數位電路整合於同一晶片上。本計畫將開發（1）微機電麥克風前置放大器與類比數位轉換器；（2）微機電喇叭驅動電路；（3）電源控制電路。在 1 V 的電源電壓之下，規劃的功率消耗分配如下；麥克風前置放大器與類比數位轉換器佔 150 μW ，微機電喇叭驅動電路佔 300 μW ，電源控制電路佔 50 μW 。

（1）低功率 Delta-Sigma ADC

結合系統考量、電路設計、數位背景校正技術，我們以 65nm 實現一個低功率二階差積調變器，其完整電路如圖 3.5-1 所示。圖 3.5-2 是晶片照片。其中，電容佔總面積的 30%，電晶體佔 12%。總功率消耗約 186 μW 。為了降低功率消耗，我們提出了數位背景校正 Noise Transfer Function (NTF) 的技術。此技術可以在不影響正常訊號處理的前提下，單獨、快速地校正每一個 NTF 的零點。實體層增加約 10% 的電容面積完成校正機制，但卻大幅簡化類比電路需求。圖 3.5-3 是以 6k 單頻訊號輸入的量測結果，明顯可見諧波失真因為校正器的啟動而下降，這是因為雜訊形變能力因校正而加強，使得從比較器引入的雜訊皆被壓抑，晶片的規格摘要請見表格 3.5-1。

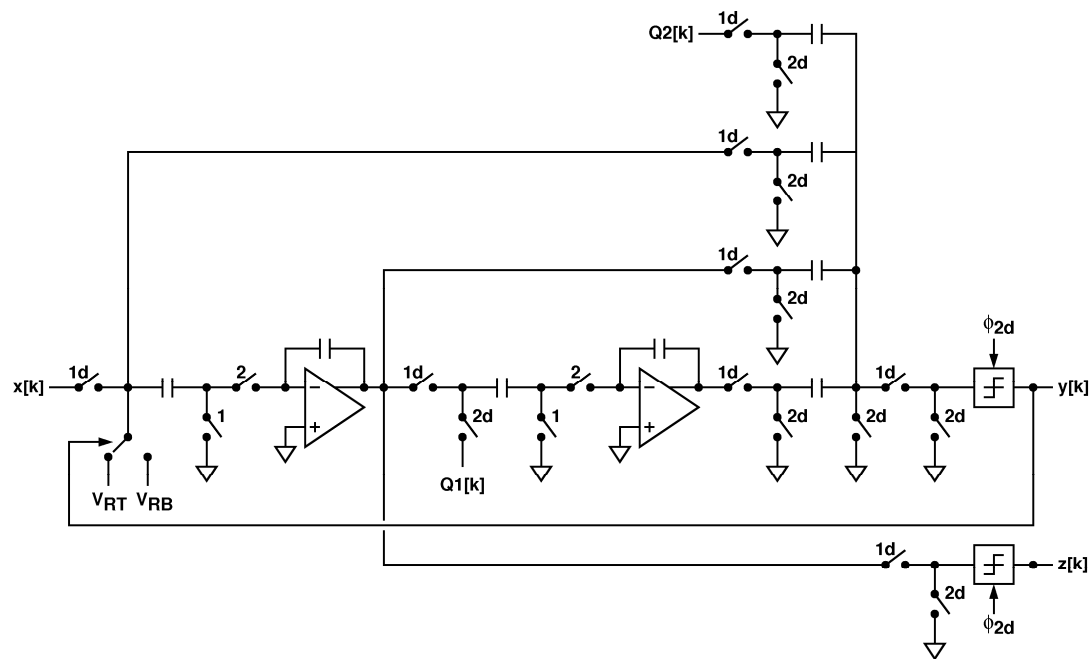


圖 3.5-1 含校正機制的二階差積調變器。

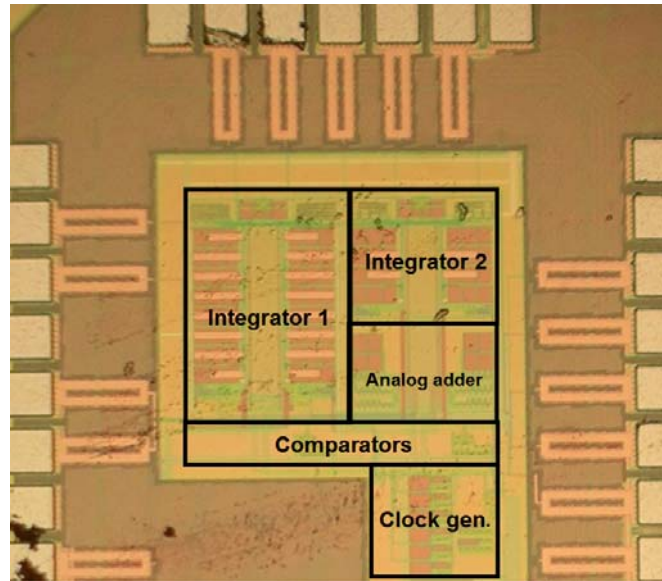


圖 3.5-2 以 65nm 實現的差積調變頻之晶片照片

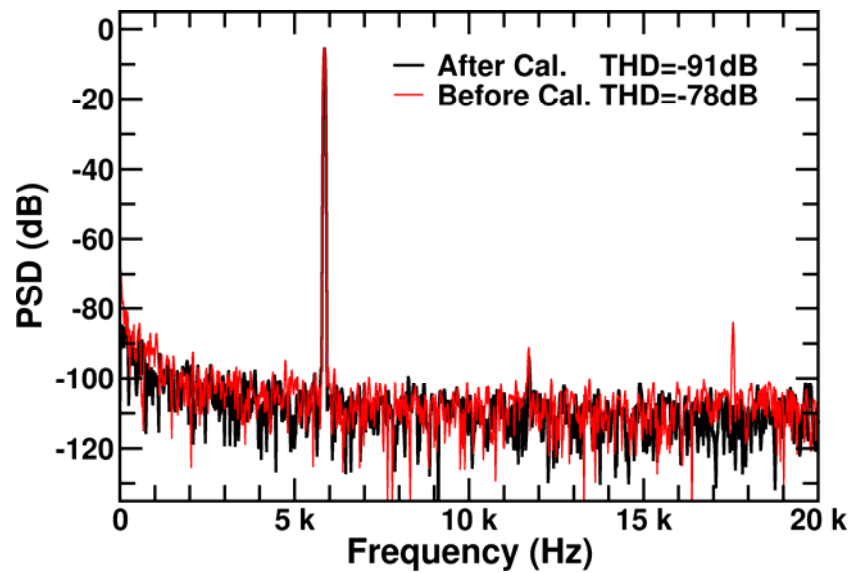


圖 3.5-3 音頻的量測頻譜圖

表 3.5-1 規格整理

Technology	TSMC 65 nm
Supply Voltage	1.2 V
Input Range	1.3 Vpp
Sampling Rate	5 MS/s
Over-sampling Ratio	128
Signal Bandwidth	20kHz
Dynamic Range	79dB

Peak SFDR	83dB
Peak SNR	77dB
Peak SNDR	74 dB
Power	186 uW
Die Size	0.2 mm ²

(2) 數位式 Class-D 喇叭驅動電路

我們設計了一個數位式 Class-D 喇叭驅動電路。為了降低功率消耗，我們採用 Pulse-Width Modulation (PWM) 的調變方式，如圖 5.3-4 所示。數位音頻訊號會先經過一個內插器 (Interpolator) 進行超取樣。接著內插過後的訊號經過 Digital PWM 轉換成代表脈衝寬度的訊號。在轉成實際脈衝訊號之前，數位脈衝寬度訊號會透過一個 Noise Shaper 轉為較少位元訊號，如此便能在不損失訊號精確度的前提下大幅降低 Pulse Generator 的時脈頻率，降低電路的功率消耗。圖 5.3-5 是 Class-D 放大器的輸出級電路。在設計此電路時，我們探討了實際電路的種種非理想效應與線性度的關係，如開關電晶體的導通電阻、Dead Time、Delay、Rise/Fall Time 等。表 5.3-2 為設計一總諧波失真表現高於 90 dB 的 Class-D 輸出級電路之各項參數。

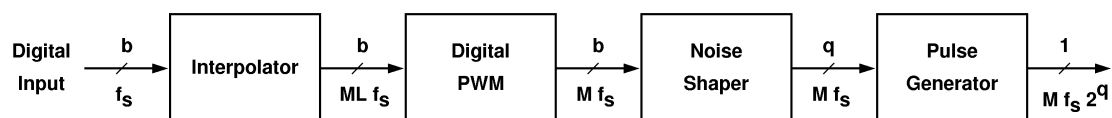


圖 5.3-4 數位 PWM 調變器。

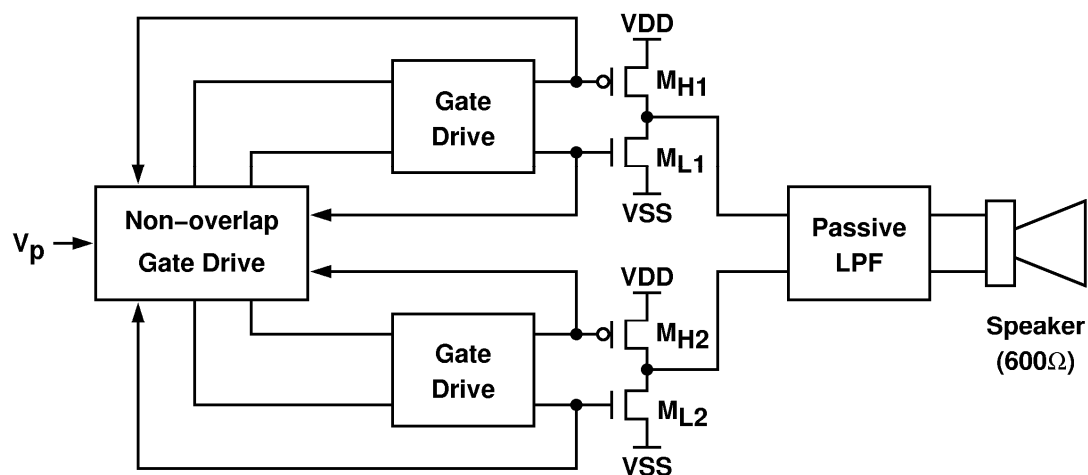


圖 5.3-5 Class-D 放大器輸出級電路。

表 5.3-2 Class-D 輸出級電路設計參數。

Transistor size (um)	> 160
Dead time (td)	< 0.5 ns

Delay (t_{dr} , t_{df})	< 1 ns
Rise/Fall time (t_{rf})	< 1 ns

(3) 數位式電源控制電路

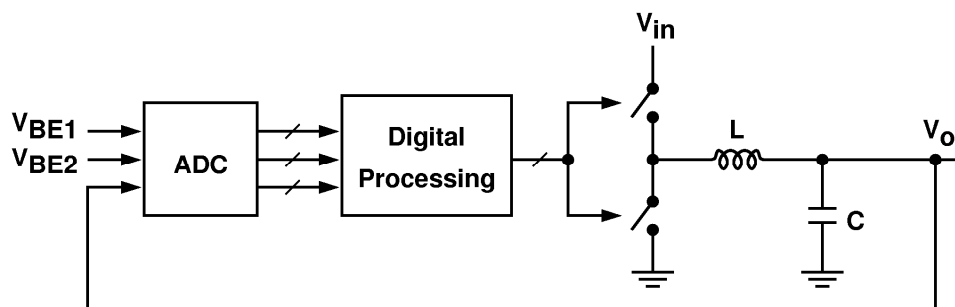


圖 5.3-6 新式數位控制降壓式轉換器。

在電源控制電路部分，我們提出一個新型的數位式電源控制電路架構，如圖 5.3-6 所示。我們希望將電源電壓以及 BJT 電晶體的 V_{BE} 電壓直接數位化，然後用數位訊號處理的方式產生「切換模式電源轉換器」所需的控制訊號，如此可以省略掉 Band-Gap Reference。此架構的優點除了省去高效能運算放大器，還可藉由數位參數來設定各種不同的輸出電壓準位，另外此架構也提供了針對參考電壓源進行數位溫度補償的可行性。

我們提出的數位式電源控制需要一個極低功率消耗的類比對數位轉換器 (ADC)。因此，我們也開發了一個連續近似類比數位轉換器 (SAR ADC)。為了減小晶片面積以及降低輸入電容，我們採用了分段式電容陣列。然而分段式電容陣列容易受寄生電容的影響造成類比對數位轉換的非線性。為了要解決此問題，我們也開發了數位校正的技術。

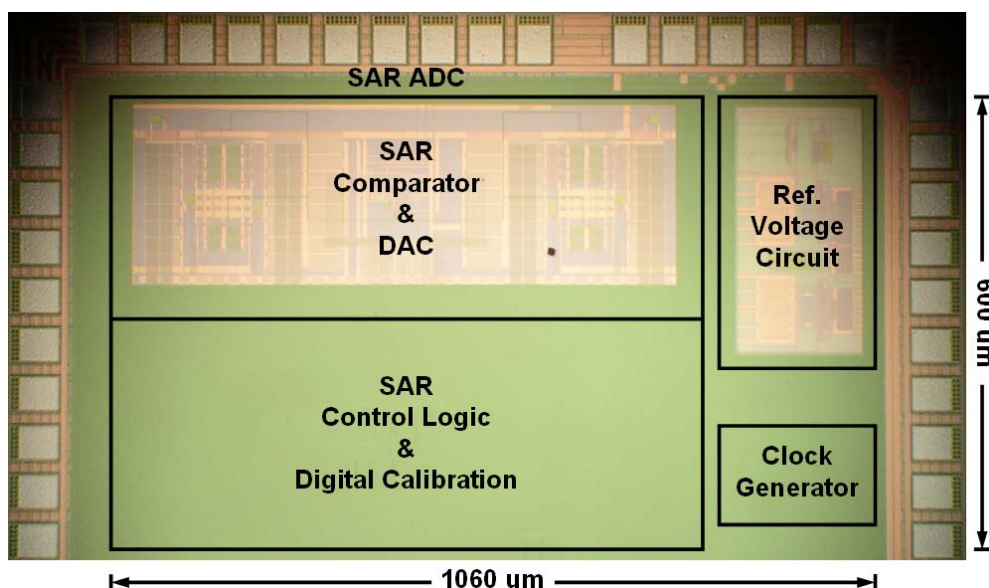


圖 5.3-7 數位電源轉換器晶片圖。

我們設計並實現了一正比絕對溫度 (Proportional To Absolute Temperature,

PTAT) 電路用以產生 V_{BE1} 、 V_{BE2} 電壓以及一 10 位元低功率 SAR ADC 來實現此數位式電源轉換器，圖 5.3-7 為其晶片照相圖。此晶片面積為 $600 \times 1060 \text{ um}^2$ ，消耗功率為 250 uW，其中 PTAT 電路佔 50 uW，ADC 佔 200 uW。

VI. 微機電式聲學元件暨助聽器異質整合（鄭裕庭教授，交通大學）

麥克風與喇叭在助聽器中分別負責聲音訊息輸入與輸出的部分，本計畫兩大研究重點是(1)開發應用在低功率的電磁式喇叭之最佳化奈米複合線圈，以及(2)建立仿生式麥克風的音源定位機制的物理模型來分析預測靈敏度及剛性與高效能仿生式麥克風的設計與開發。

(1)喇叭是在助聽器中是功率消耗最多的部分，本計畫的其目的是設計低功率的電磁式微型喇叭，使其功率消耗控制在微瓦級。現階段已完成利用奈米複合材料製程技術來加強喇叭驅動之銅金屬線圈的磁性使其增加電聲轉換效率。在製程上以先前實驗得到的 10%節省功率為基礎，透過增大磁性粉末顆粒大小來改善電阻率的上升情形，再分析不同線寬及濃度下的摻雜後之電阻率與導磁率差異，得到之最佳化條件製程條件，製作相同結構的喇叭並量測純銅與銅鎳複合線圈之差異後可得更進一步的~40%節省功率，如圖 3.6.1 所示，接著將以此低功率條件應用在最後的喇叭製作上。

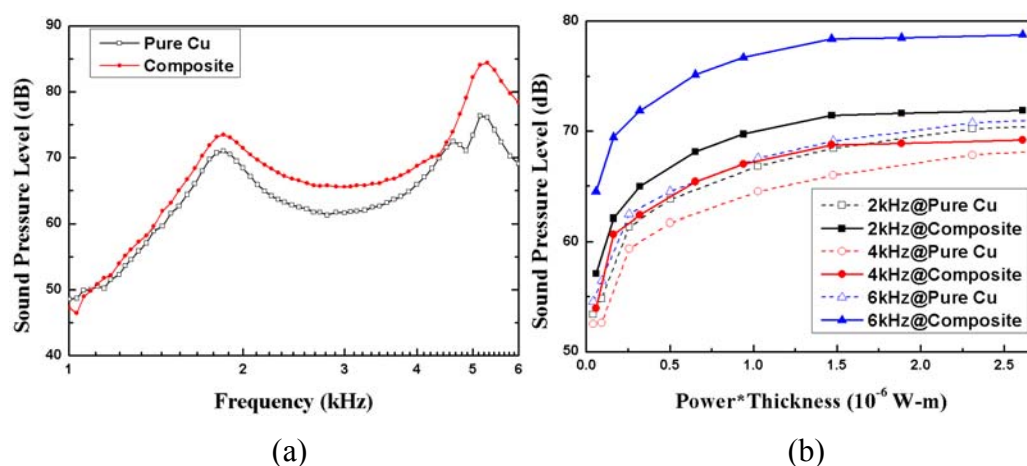


圖 3.6.1 (a)在同樣功率下的純銅與銅鎳複合線圈的輸出聲壓級頻率響應，
(b)在 2、4、6kHz 下調變功率的輸出聲壓級比較

本計畫之延續研究工作重點將設計喇叭陣列來達到聲音分頻的目的，(i)透過設計不同的振膜大小及彈性常數來調變其共振頻率大小來定義有效輸出聲音頻率範圍，並將聲頻輸出拆成數個不同特性的喇叭以達到功率最佳化，同時亦可改善單一喇叭的音質與失真度，並嘗試(ii)以結構補償方式將工作頻寬大幅增加來改善微機電式喇叭頻寬窄的缺點，將可減少陣列數目以降低耗電量。

(2)根據材料基本物理性質、ONO(2003，結構如 3.6.2(a))對於蒼蠅耳膜音源定位機制，以及酢漿草葉片與主莖分離增進整體彈性的特性，我們發展出新式的仿生音源定位麥克風以及描述其感應聲波波動行為的物理模型。此創新設計最大特點在於本麥克風採用一種稱為“浮動中央支撐平衡膜”的結構，如圖 3.6.2(b)所示。此結構比傳統上麥克風點優越之處在於：(i)對稱形狀與浮動的中央支撐平衡膜，提供全域的音源定位與高靈敏度，(ii)增加與改變支撐中央膜與外膜的連接樑，可進一步增加麥克風對於音源定位的多方向性，以及(iii)高對稱結構可增加由於施加重力與殘留應力而導致膜變形的抵抗能力，以避免不預期的變形發生。藉由考慮麥克風薄膜的運動方程，同側(+)和對側(-)的穩態位移量可表示為平移和轉動模式的線性組合如下式：

$$Z_{\pm} = \frac{P(t) \cdot \pi(a^2 - c^2)}{m} \times \left\{ \frac{\cos(\omega\tau/2)\sin(\omega t + \frac{\varphi_t}{2})}{\sqrt{(\omega_t^2 - \omega^2)^2 + (2\omega_t\eta_t\omega)^2}} \pm \frac{\sin(\omega\tau/2)\cos(\omega t + \frac{\varphi_r}{2})}{\sqrt{(\omega_r^2 - \omega^2)^2 + (2\omega_r\eta_r\omega)^2}} \right\}$$

其中 $P(t)$, a , c , m , τ , φ_t 和 φ_r , ω , ω_t 和 ω_r , 與 η_t 和 η_r 分別為聲壓, 薄膜半徑, 中央支撐半徑, 薄膜質量, 時間延遲因子, 平移和轉動模式的相位, 工作頻率, 平移和轉動模式的共振頻率, 以及平移和轉動模式的阻尼係數。此外, 仿生式麥克風的性能可以用兩個嚴謹的機械指標來做比較, 單位面積之機械兩側聲音強度差 (mIIDpA) 和機械兩側聲音相位差 (mIPD), 如下所示:

$$\text{mIIDpA} = \left[20 \log_{10} \frac{|Z_{\text{ipsi}}|}{|Z_{\text{contra}}|} \right] / \pi(a^2 - c^2), \quad \text{mIPD} = \angle \frac{Z_{\text{contra}}}{Z_{\text{ipsi}}}$$

例如, 往相反方向以同樣幅度震動的同側和對側薄膜必須有接近 0 dB/mm^2 的 mIIDpA 和 180° 的 mIPD。而所提出的設計具有 2.7 dB/mm^2 的 mIIDpA 與 155° 的 mIPD 等最先進的性能, 在全空間感測方向性麥克風的應用上呈現出極龐大的潛力。

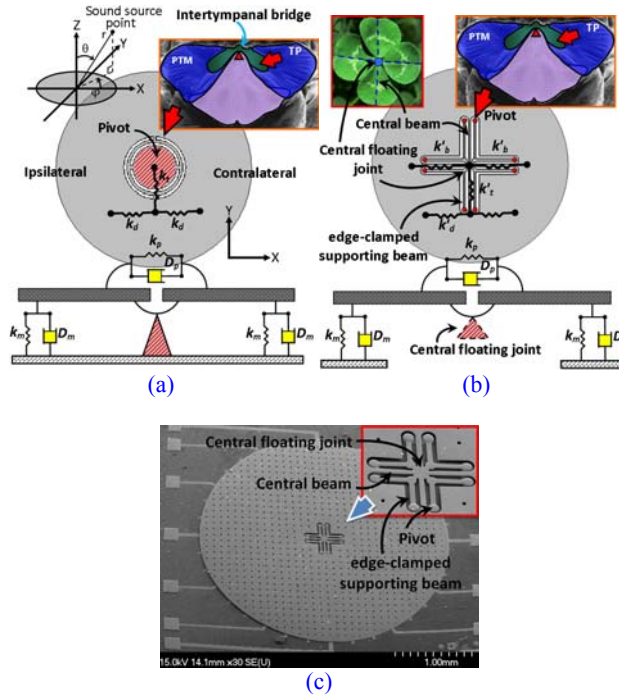


圖 3.6.2. (a) Schemes of the conventional CP-S design with coordinate parameters (r , θ , φ). (b) Scheme of the hybrid biomimetic microphone with central floating gimbal design. (c) The SEM photograph of the hybrid microphone.

為了驗證此提出的元件性能, 分別製作了具有相同的直徑和厚度的混合結構與 CP-S 結構麥克風如圖 3.6.2(c)所示。混合設計和 CP-S 設計的共振頻率分別是 10 和 12KHz 左右與 CoventorWare 模擬十分接近, 如圖 3.6.3(a)所示。並且, 混合設計之麥克風展現了更好的指向性和較大的淨位移量如圖 3.6.3(b)所示。顯示混合設計具有優越的聲源定位能力, 相較於 CP-S 設計更具有約 36% 的敏感性和 34% 方向性的性能改善。圖 3.6.4 顯示當 80dB 聲波施加在混合設計麥克風上所

測量的聲學反應，此結果證明了該混合設計具有良好的表現在 200Hz 有顯著的相位差。圖 3.6.5 顯示兩種設計之麥克風薄膜受到位於 $(r, \theta, \varphi) = (24\text{mm}, 37^\circ, 0^\circ)$ 的 80dB, 200Hz 正弦聲波趨動時之位移量。該闡述了動態響應的理論模型也同樣驗證了實驗測量。理論計算和實驗測量結果顯示了此模型的準確性並達到約 30% 的薄膜淨位移量改善。

本計劃發展出一個中央浮動支撐設計之混合仿生式麥克風。不論在理論上與實驗上其都具有更好的聲音靈敏度和指向性。此混合設計結構，不僅繼承傳統 CP-S 設計的優勢，並且提升微機電麥克風的聲源定位靈敏度使其成為助聽器設備的一個潛在應用。

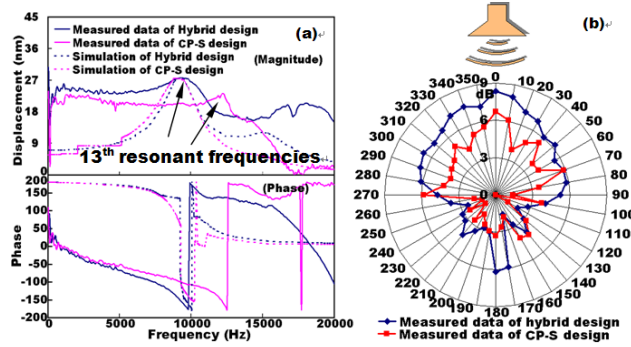


圖 3.6.3. Comparison of (a) the frequency spectrum and (b) the logarithmic polar patterns of net diaphragm displacement between hybrid and CP-S design.

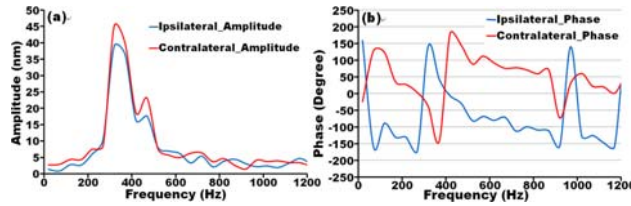


圖 3.6.4. Acoustic responses of hybrid design in frequency domain in terms of (a) amplitude, and (b) phase of ipsilateral and contralateral of diaphragm, respectively.

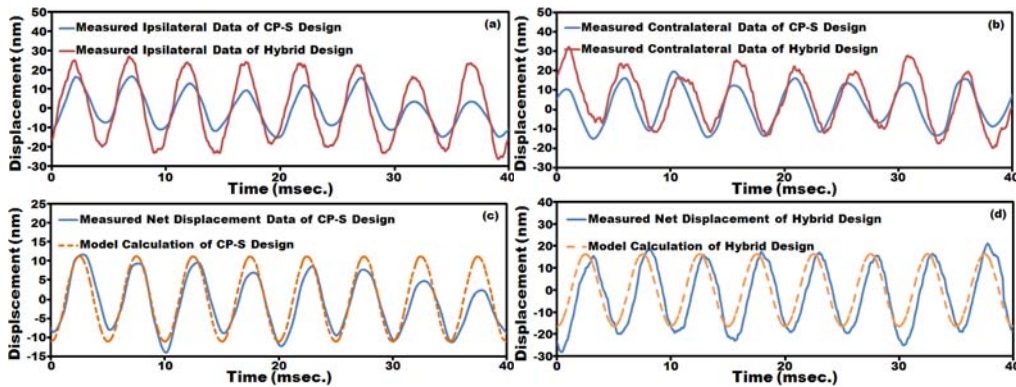


圖 3.6.5. Measured (a) ipsilateral and (b) contralateral results of hybrid and CP-S design, respectively. Comparison of model and net displacement are of (c) CP-S and (d) hybrid design, respectively.

四、結論

助聽器的歷史可追溯至西元 16 世紀時期，它也是當初發明電晶體的主要動機。然而至今我們仍無法完全掌握人類的聽覺反應與語音辨識能力，助聽器的設計沒有統一的標準，各家廠商使用的技術及規格都不會公開。從偏低的穿透率可知目前的助聽器在性能上仍然很大的改善空間。本研究團隊認為現今的奈米積體電路技術可以大幅提升助聽器的功能，希望能藉此研究計畫研發出新一代的助聽器系統。

本團隊於 2006/08 開啟助聽器計畫。2006/08 至 2007/07 間執行「助聽器微機電晶片系統」國科會計畫。主要在研究助聽器的系統規格以及評估關鍵技術。從 2007/08 起至 2010/07，我們執行「助聽器微機電晶片系統」國科會計畫。經過三年的研發，我們已經掌握了現代數位助聽器的主要關鍵性技術，我們可以用 FPGA 展現一個助聽器原型系統。我們有設計一些晶片來驗證我們所開發的技術，但還未能整合出一個完整的助聽器晶片。

創新技術的建立需要長時間執著的研發，本計畫的所有主持人都會長期的投入本計畫。我們已經規劃未來三年的研究方向。我們將參與「智慧電子國家型科技計畫」，持續高階助聽器技術的研發。我們也會參與「醫療器材跨部會發展方案」計畫，用經濟部學界科專的方式與產業界合作，共同開發具商業價值的助聽器晶片及系統。

本助聽器計畫涵蓋多項不同領域之專長，預期研發的技術成果包括人類聽覺模型、針對華語之助聽補償策略、近耳聲學系統設計、音學及語音訊號處理技術、助聽器系統發展平台、超低功率微處理器與數位訊號處理器、超低功率系統晶片設計技術、超低功率類比電路設計技術、微機電式聲學元件、微機電異質整合封裝技術等。以上這些技術除了發展醫療用的助聽器之外，還可以應用於特殊聽覺感應系統、多媒體之高性能耳機、以及各種超低功率之晶片系統等。

國科會補助計畫衍生研發成果推廣資料表

日期:2011/03/02

國科會補助計畫	計畫名稱：總計畫(3/3)	
	計畫主持人：吳介琮	
	計畫編號：98-2220-E-009-007-	學門領域：晶片科技計畫--整合型學術研究計畫
無研發成果推廣資料		

98 年度專題研究計畫研究成果彙整表

計畫主持人：吳介琮			計畫編號：98-2220-E-009-007-				
計畫名稱：助聽器晶片及系統--總計畫(3/3)							
成果項目			量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）
			實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比		
國內	論文著作	期刊論文	1	0	100%	篇	
		研究報告/技術報告	6	4	100%		碩士論文
		研討會論文	6	6	100%		
		專書	0	0	100%		
	專利	申請中件數	2	1	100%	件	
		已獲得件數	0	1	100%		
	技術移轉	件數	1	0	100%	件	技轉並成立新創公司,該公司已有產品上市,並獲國內市場約10%佔有率
		權利金	900	0	100%	千元	以等值股票回饋學校,未來並有權利金
	參與計畫人力（本國籍）	碩士生	19	19	100%	人次	
		博士生	16	16	100%		
		博士後研究員	1	0	100%		
		專任助理	1	0	100%		
國外	論文著作	期刊論文	6	6	100%	篇	IEEE Trans. Signal Process. 為訊號處理領域的一級期刊
		研究報告/技術報告	0	0	100%		
		研討會論文	18	18	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	2	1	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（外國籍）	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p>其他成果</p> <p>(無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	<p>此計畫技術已經技轉成立新創公司，該公司策略性與德國助聽器公司合作，硬體由德國公司代工，現正合作預計 2 年內展開大陸市場之開發</p>
---	--

	成果項目	量化	名稱或內容性質簡述
科教處計畫加填項目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與（閱聽）人數	0	

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

☐達成目標

☒未達成目標（請說明，以 100 字為限）

☐實驗失敗

☐因故實驗中斷

☒其他原因

說明：

本計畫經過三年的研發，我們已經掌握了現代數位助聽器的主要關鍵性技術，我們可以用 FPGA 展現一個助聽器原型系統。我們有設計一些晶片來驗證我們所開發的技術，但還未能整合出一個完整的助聽器晶片。

2. 研究成果在學術期刊發表或申請專利等情形：

論文：☒已發表 ☐未發表之文稿 ☐撰寫中 ☐無

專利：☒已獲得 ☐申請中 ☐無

技轉：☒已技轉 ☐洽談中 ☐無

其他：（以 100 字為限）

本計畫與子計畫共發表論文 22 篇，申請中專利 3 項，技轉 1 案。

本計畫開發的聽力補償策略技轉至一上市公司並成立新公司快速推展產品，由德國合作廠商代工生產硬體，產品已經獲准上市，並在 99 獲輔導會標案，年銷售已超越 4000 部。

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本計畫提出獨有之華語特性之助聽器補償策略，並大幅降低助聽器補償處方參數，降低助聽器補償複雜性。本計畫開發的助聽器補償策略演算法只須極低的運算量，實作的 IC 只需 200uW 的功耗。本計畫成果將有助於國內助聽器產業的發展。