

行政院國家科學委員會專題研究計畫 成果報告

高速封包交換機之研究--子計畫五:高速交換機晶片之光導 線驅動電路(第3年) 研究成果報告(完整版)

計畫類別：整合型
計畫編號：NSC 97-2221-E-007-107-MY3
執行期間：99年08月01日至100年07月31日
執行單位：國立清華大學電子工程研究所

計畫主持人：徐碩鴻
共同主持人：余沛慈
計畫參與人員：碩士班研究生-兼任助理人員：陳聖文
博士班研究生-兼任助理人員：汪炳義

報告附件：出席國際會議研究心得報告及發表論文

公開資訊：本計畫涉及專利或其他智慧財產權，2年後可公開查詢

中 華 民 國 100 年 11 月 08 日

中文摘要：當 CMOS 製程技術進入奈米等級，元件內部的連接線將對於整個 IC 特性有著極為重大的影響。也因此應用光學傳輸技術於 IC 晶片中傳送訊號，開始引起工業界以及學術界的高度重視。相較於傳統導線電性傳輸，光學導線傳輸 (optical interconnect, OI) 具有高頻寬、低功率耗損、低訊號延遲和較高的抵抗電磁干擾能力。因此在下一個世代中，運用光學傳輸於晶片對晶片及晶片內部之超短距訊號傳輸將會是一個嶄新的平台。其中在電訊號以及光學訊號介面的轉換區塊必然隱藏著龐大的商機。

在這次的計畫中將焦點擺在高性能的 OI 光電轉換訊號驅動電路，當中包含轉阻放大器 (TIA) 以及雷射驅動電路 (LD) 等等。當中最關鍵的設計考量就是在極少的晶片面積以及極低的功率耗損下，又能達成高速資料傳輸速率。就本實驗室提出的低功率以及低雜訊之高頻元件及電路技術為基礎，運用標準 CMOS 製程技術，實現低功率消耗以及低晶片面積的 10 Gb/s 之 OI 介面電路設計。而所提出的將此驅動電路與混模及數位交換機電路完全整合也是一項極大的挑戰。相較於目前已經發表的結果，此驅動電路在高頻應用仍然尚未被整合於單晶片中。基於我們過去在矽基底雜訊模型和雜訊耦合影響的研究經驗，此單晶片信號整合問題也將被詳細分析討論，藉以達成高速通訊單晶片之目的。

本子計畫中所研發出的 OI 驅動電路將與 Birkhoff-von Neumann 開關(4 埠 4)和 SERDES 電路 (16/20:1, dual mode)合成完整的高速交換機晶片。接著，它們將與交換機的核心電路整合，來達成每個高速傳輸核心之間的連結。由於 Birkhoff-von Neumann 架構允許 NxN 個負載平衡開關的不斷重複建構，所以系統得以無限制疊加 (scale-up) 來增加開關速度。經由適當的 OI 連結每個交換機核心，整體的速度將可達到每秒數百 Giga bits 甚至高達 Tera bits。相較於目前現有的研究，本計畫為第一個提出將 OI 應用於負載平衡之 Birkhoff-von Neumann switch 架構。使用 OI 可徹底解決此架構疊加時以傳統導線電性傳輸所遭遇之連結(interconnect)問題，順利達成超高速交換機晶片之實現。

英文摘要：The focus of this proposal is to design fully-integrated high performance OI driver circuits including the transimpedance (TIA), limiting amplifier, and the laser driver (LD). The most critical design consideration is minimizing both the circuit area and the power consumption while still maintaining a high data transmission rate. With the proposed low-power and low-noise design techniques in

both device and circuit levels, the goal is to realize the OI interface circuits targeting at tens of gigabits under a strict power and area limitation by CMOS technology. The integration with the mixed-mode and even the digital switching core circuits is also a great challenge. In contrast to most published results and commercial applications, these driver circuits are still implemented in an off-chip format. Based on our experiences of Si substrate network modeling and noise coupling effect, detailed analysis will be performed for the signal integrity problem in our design to achieve a fully integrated system for high-speed inter-chip data communication.

As a subproject, the proposed OI driver circuits will be integrated with our Birkhoff-von Neumann switch (4^毕 4) and SERDES circuits (16/20:1, dual mode) for a fully-integrated high-speed switching IC for optical communications. Second, they will be incorporated with the switch core circuit (four-port, each-port targeting at 10 Gb/s with mixed-mode design, the overall speed can reach 40 Gb/s of one single chip) for high-speed data communication between each core. Since the Birkhoff-von Neumann architecture allows the N^毕 N load balanced switch to be constructed recursively, the system can be unlimitedly scaled up to increase the switching speed. With appropriate links (perfect shuffle methodology) by the OIs between each switch core, an overall switching speed can reach hundreds of gigabits and even up to tera bits per second (targeting 160 Gb/s in this project). Compared with current research status for OI study, the proposed application for the load balanced Birkhoff-von Neumann high-speed switch is rather unique, and has not been done by any other research groups in the world.

行政院國家科學委員會補助專題研究計畫 ☒ 成果報告
☐ 期中進度報告

高速封包交換機之研究-子計畫五:高速交換機晶片之光 導線驅動電路

計畫類別：☐ 個別型計畫 ☒ 整合型計畫

計畫編號：NSC 97-2221-E-007-107-MY3

執行期間：2008 年 8 月 01 日至 2011 年 7 月 31 日

執行機構及系所：國立清華大學電子工程研究所

計畫主持人：徐碩鴻

共同主持人：N/A

計畫參與人員：卓偉漢、徐崇皓、蘇裕祥、金俊德

成果報告類型(依經費核定清單規定繳交)：☐ 精簡報告 ☒ 完整報告

本計畫除繳交成果報告外，另須繳交以下出國心得報告：

☐ 赴國外出差或研習心得報告

☐ 赴大陸地區出差或研習心得報告

☐ 出席國際學術會議心得報告

☐ 國際合作研究計畫國外研究報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

☐ 涉及專利或其他智慧財產權，☐ 一年 ☒ 二年後可公開查詢

中 華 民 國 100 年 10 月 31 日

一、中英文摘要：

關鍵詞：光學導線傳輸、轉阻放大器、雷射驅動電路

當 CMOS 製程技術進入奈米等級，元件內部的連接線將對於整個 IC 特性有著極為重大的影響。也因此應用光學傳輸技術於 IC 晶片中傳送訊號，開始引起工業界以及學術界的高度重視。相較於傳統導線電性傳輸，光學導線傳輸 (optical interconnect, OI) 具有高頻寬、低功率耗損、低訊號延遲和較高的抵抗電磁干擾能力。因此在下一個世代中，運用光學傳輸於晶片對晶片及晶片內部之超短距訊號傳輸將會是一個嶄新的平台。其中在電訊號以及光學訊號介面的轉換區塊必然隱藏著龐大的商機。

在這次的計畫中將焦點擺在高性能的 OI 光電轉換訊號驅動電路，當中包含轉阻放大器 (TIA) 以及雷射驅動電路 (LD) 等等。當中最關鍵的設計考量就是在極少的晶片面積以及極低的功率耗損下，又能達成高速資料傳輸速率。就本實驗室提出的低功率以及低雜訊之高頻元件及電路技術為基礎，運用標準 CMOS 製程技術，實現低功率消耗以及低晶片面積的 10 Gb/s 之 OI 介面電路設計。而所提出的將此驅動電路與混模及數位交換機電路完全整合也是一項極大的挑戰。相較於目前已經發表的結果，此驅動電路在高頻應用仍然尚未被整合於單晶片中。基於我們過去在矽基底雜訊模型和雜訊耦合影響的研究經驗，此單晶片信號整合問題也將被詳細分析討論，藉以達成高速通訊單晶片之目的。

本子計畫中所研發出的 OI 驅動電路將與 Birkhoff-von Neumann 開關(4×4)和 SERDES 電路 (16/20:1, dual mode)合成完整的高速交換機晶片。接著，它們將與交換機的核心電路整合，來達成每個高速傳輸核心之間的連結。由於 Birkhoff-von Neumann 架構允許 NxN 個負載平衡開關的不斷重複建構，所以系統得以無限制疊加 (scale-up)來增加開關速度。經由適當的 OI 連結每個交換機核心，整體的速度將可達到每秒數百 Giga bits 甚至高達 Tera bits。相較於目前現有的研究，本計畫為第一個提出將 OI 應用於負載平衡之 Birkhoff-von Neumann switch 架構。使用 OI 可徹底解決此架構疊加時以傳統導線電性傳輸所遭遇之連結(interconnect)問題，順利達成超高速交換機晶片之實現。

Keywords: Optical interconnect (OI), Transimpedance amplifier (TIA), Laser driver (LD)

The possibilities of using optical interconnect (OI) for both inter-chip and even on-chip signal transmission attract much attention recently from both industry and academia. As the CMOS technology keeps advancing, interconnect performance has become the dominant limit to IC performance. Compared with the conventional electrical interconnect, OI promises a wider bandwidth, less power consumption, smaller delay, and the immunity from electromagnetic interference (EMI). The electronic-photonic convergence for OI applications is an emerging market opportunity with commercial excitement, which can be a new platform for the next generation information age.

The focus of this proposal is to design fully-integrated high performance OI driver circuits including the transimpedance (TIA), limiting amplifier, and the laser driver (LD). The most critical design consideration is minimizing both the circuit area and the power consumption while still maintaining a high data transmission rate. With the proposed low-power and low-noise design techniques in both device and circuit levels, the goal is to realize the OI interface circuits targeting at tens of gigabits under a strict power and area limitation by CMOS technology. The integration

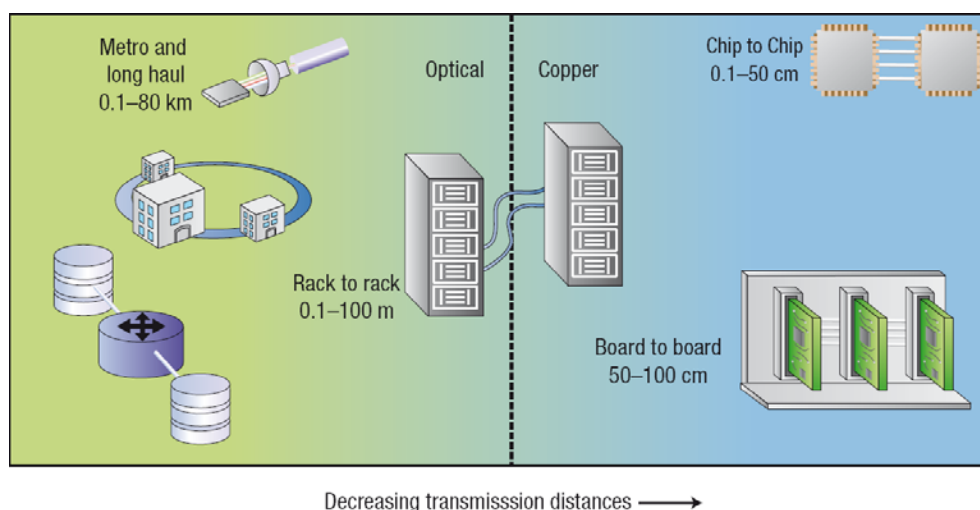
with the mixed-mode and even the digital switching core circuits is also a great challenge. In contrast to most published results and commercial applications, these driver circuits are still implemented in an off-chip format. Based on our experiences of Si substrate network modeling and noise coupling effect, detailed analysis will be performed for the signal integrity problem in our design to achieve a fully integrated system for high-speed inter-chip data communication.

As a subproject, the proposed OI driver circuits will be integrated with our Birkhoff-von Neumann switch (4×4) and SERDES circuits (16/20:1, dual mode) for a fully-integrated high-speed switching IC for optical communications. Second, they will be incorporated with the switch core circuit (four-port, each-port targeting at 10 Gb/s with mixed-mode design, the overall speed can reach 40 Gb/s of one single chip) for high-speed data communication between each core. Since the Birkhoff-von Neumann architecture allows the $N \times N$ load balanced switch to be constructed recursively, the system can be unlimitedly scaled up to increase the switching speed. With appropriate links (perfect shuffle methodology) by the OIs between each switch core, an overall switching speed can reach hundreds of gigabits and even up to tera bits per second (targeting 160 Gb/s in this project). Compared with current research status for OI study, the proposed application for the load balanced Birkhoff-von Neumann high-speed switch is rather unique, and has not been done by any other research groups in the world.

二、報告內容：

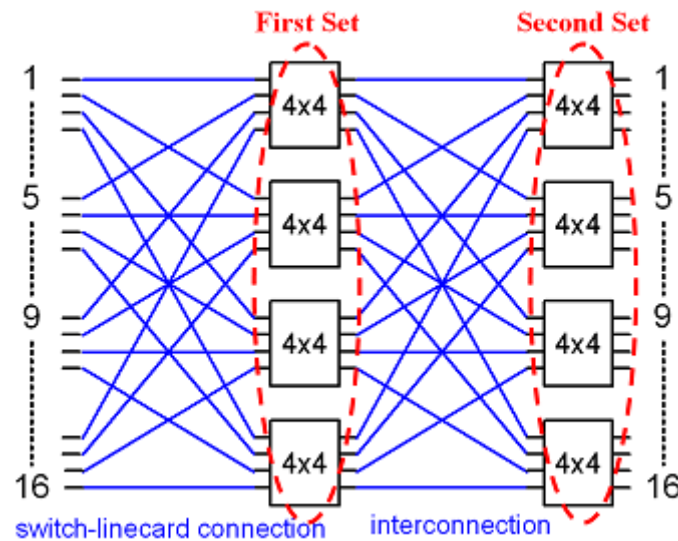
2.1 前言：

隨著網路應用與資訊產業的蓬勃發展，人類對於數據傳輸速度及傳輸量的需求呈現爆炸性成長。然而由於傳導介質為銅製同軸電纜線之傳統電子訊號傳輸其物理限制，傳輸速度越高，其訊號衰減率與訊號失真情形越是嚴重。提供較低高頻訊號衰減及可接受之訊號失真的高速銅導線需要極精密的設計與製造，因此高速電子傳輸系統挾帶之高成本大幅降低其普及之可能性。取而代之，擁有與銅導線相較之下極低的訊號衰減率($< 0.5\text{dB/km}$)以及幾乎不受外來訊號干擾的理想傳輸介質——光纖提供較低製造成本、較佳傳輸品質以及幾近無限的物理限制($> 350\text{THz}$)，因此目前以光纖構成之光纖通訊系統已大量應用在各層級之網路中。

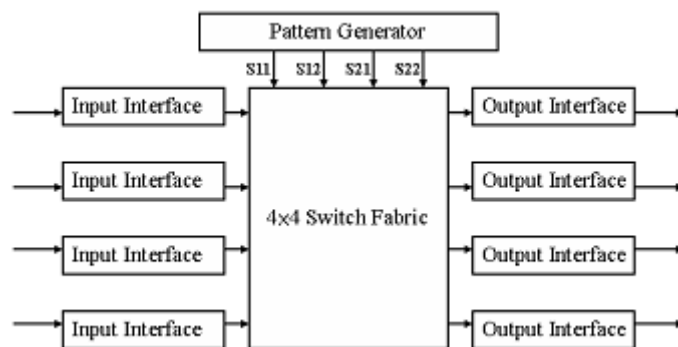


圖一：市場在不同傳輸距離下採用之通訊技術(光學式或電子式) [1]

光纖通訊系統發展至今，目前以OC-48(~2.5Gb/s)為市面上的主流規格，而OC-192(~10Gb/s)為次世代發展目標，至於OC-768(~40Gb/s)則為較遠程發展目標。因此，本計畫之高速光交換機將針對次世代發展目標OC-192進行電路設計。圖二所示為一由8個4×4交換機構成之16×16交換機，利用類似的結構可以進一步將交換機擴展為256×256或更高規模。



圖二：由8個4×4交換機構成之16×16交換機

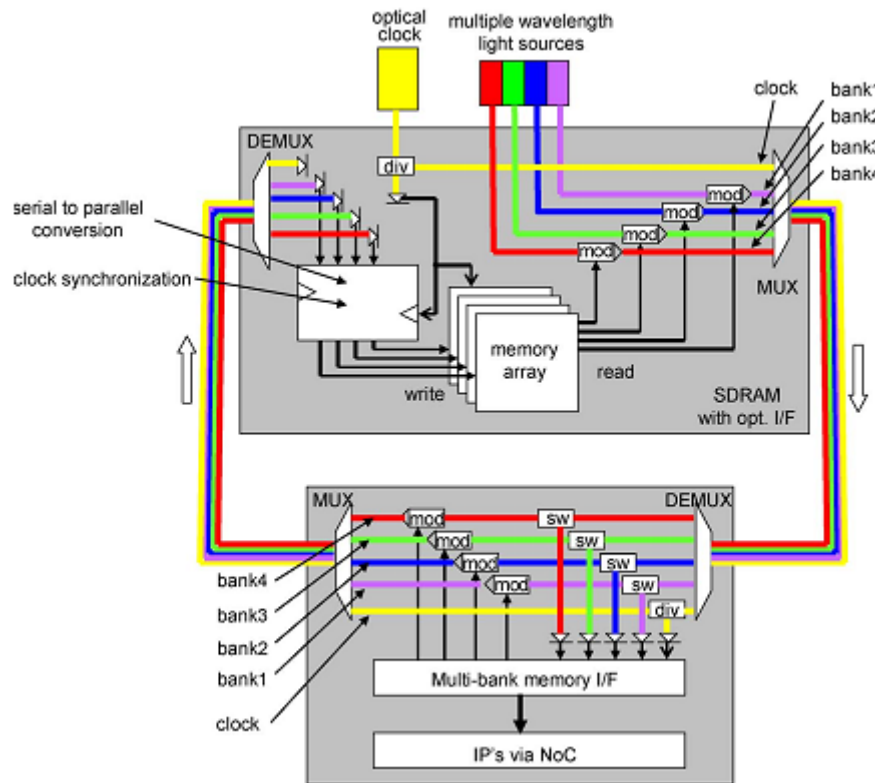


圖三：本計畫提出之4x4 LB-BvN高速光交換機系統架構

圖三所示為本計畫提出之4x4 LB-BvN高速光交換機系統架構，而本子計畫設計電路以其中之輸入介面及輸出介面(Input/output Interface)電路為主。

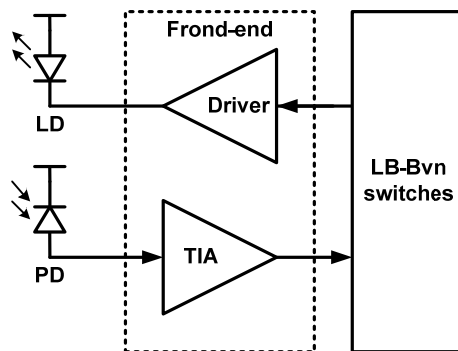
此外將光通訊系統運用於晶片間(Chip-to-hip)或晶片內(Intra-chip)資料傳輸的光連結(Optical Interconnect)介面為近年來受到矚目的一項課題。在過去三十年間穩定持續不斷縮減(Scale down)的CMOS積體電路技術進入奈米世代的同時，以金屬線為介質之電子式連結其訊號傳輸速度無法追上急遽上升的晶片間或晶片內資料傳輸需求，此限制已成為次世代製程發展所必須解決的課題之一。儘管CMOS積體電路技術已曾經在0.13 μm 世代將金屬連結線由鋁($\sigma=5.78 \times 10^7$)替換為提供較小寄生電阻的銅($\sigma=5.96 \times 10^7$)，並且運用各種製程技術大幅降低金屬連結線的寄生電容，使金屬連結線訊號傳輸速度大幅提高，但是經過數個世代後人們已開始急切尋求更佳解決方案。除了提供CMOS積體電路更高的訊號傳輸速度，更值得一提的是光連結介面更強化了積體電路發展目標SOC (System on Chip)實現的可能性與其優勢。光連結介面可以提供SOC上各個功能區塊之間更快速、更理想的數據交換、傳遞、處理的橋樑，使得在同一晶片上完成的系統得到更大量、更快速的資料處理能力。圖四所示為文獻[2]所提出之晶片內光連結系統 (Intra-chip optical interconnect)應用於記憶體資料讀寫周邊電路，此為

晶片內光連結系統眾多可能之應用中其一，而本子計畫所設計之光電介面前端電路為實現此類應用之關鍵所在。



圖四：晶片內光連結系統(Intra-chip optical interconnect)應用於記憶體資料讀寫周邊電路[2]

2.2 研究目的：



圖五：應用於 4x4 LB-BvN 高速光交換機之光電介面前端電路示意圖

為與另一子計畫中之快速Birkhoff-von Neumann開關結合，構成高速光交換機，本子計畫提出之光電介面前端電路如圖五所示。輸入端藉由光偵測器(Photo Detector, PD)感應輸入光訊號並轉換成電流訊號，爾後由轉阻放大器(Transimpedance Amplifier, TIA)轉換為電壓訊號提供與快速Birkhoff-von Neumann開關進行訊號處理。輸出端則將快速Birkhoff-von Neumann開關處理後之訊號藉由雷射驅動電路(Laser Driver)將電壓訊號轉換為驅動電流，藉以調變雷射二極體(Laser Diode, LD)輸出之光訊號。於此應用架構中，光電介面前端電路之設計目標主要有三：1.高頻寬、2.小面積、3.低功率。

另一子計畫中之快速Birkhoff-von Neumann開關目前達成每通道8 Gb/s，4×4共32 Gb/s之資料傳輸速率，因此本子計畫將頻寬設計目標訂於適用於8 Gb/s以上之傳輸速率。以10 Gb/s傳輸速率為例，NRZ調變之訊號主要頻譜頻率在5 GHz，整體通道頻寬需設計至6 GHz以上，

單就前端轉阻放大器或雷射驅動電路其頻寬需求約莫7 GHz以上。換言之，前端電路之頻寬設計需求約為資料傳輸速率其0.7倍左右。

而此計畫中前端電路預期設計具有可整合性，意即可整合至開關電路中成一單晶片系統(System on Chip, SoC)。除此之外，小面積意謂其電路製作成本較低，使其較具有市場競爭力。同時若考量適用於晶片內光連結系統之應用，前端電路其功能略等同於先進製程中電子式連結金屬導線所需之等化器(Equalizer)或中繼器(Repeater)，因此光電介面前端驅動電路其面積大小相較於此類電路亦須維持相當或較佳之競爭力。

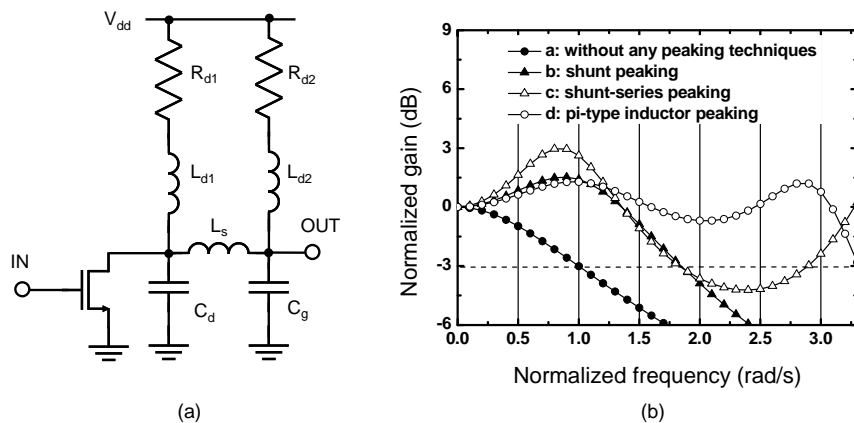
至於前端電路功耗方面之考量，首先與前者類似，光電介面前端電路其功耗相較於電子式連結中之等化器或中繼器需有相當或較佳之競爭力。再者，整合至大型單晶片系統中之光電介面前端電路受限於單位面積熱預算(Thermal budget)之限，其功耗亦是愈小愈好。

2.3 文獻探討：

目前已發表文獻中成功整合適用於光連結系統之光電介面前端電路有二[3]-[4]，然而其電路設計目標皆為晶片間或以上層級之光連結系統，針對本計畫之晶片間光連結系統，以下將進行相關文獻之整理及分析。

2.3.1 轉阻放大器

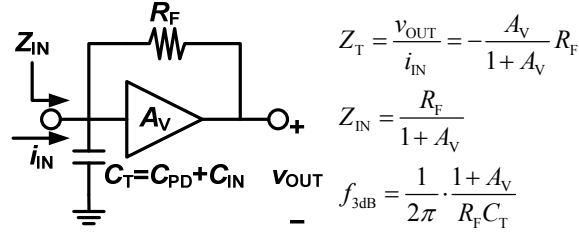
首先針對接收端之轉阻放大器部分，近十年之轉阻放大器重要文獻發表主要著重於頻寬擴展技術(Bandwidth extension technique)之研究[5]-[9]。最初，文獻[5]使用一正回授架構達成電容式調峰(Capacitive peaking)效應。其正回授架構導致輸出端之負載電容在其傳遞函數(Transfer function)中可與輸入端之電容相互抵消，文獻中藉由此技巧將轉阻放大器頻寬由1.1 GHz擴展至2.3 GHz。此外電感式調峰(Inductive peaking)技巧亦為多篇文獻廣泛討論[6]-[8]，其中達成之最佳頻寬擴展比例(Bandwidth extension ratio)為文獻[8]的3.31倍。以下針對文獻[8]進行簡介。



圖六： (a)採用 π -peaking 負載之共源極放大級和(b)各種 peaking 技巧的比較。

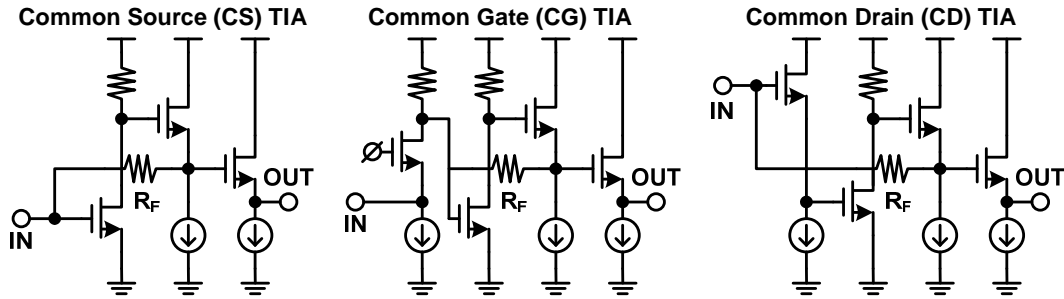
如圖六所示，文獻[8]提出之 π -peaking架構，相較於文獻[6]的shunt-peaking及文獻[7]的shunt-series peaking，其電路頻寬可擴展至更高頻率。其運作原理為當電路操作在較高頻率時，原本由於電晶體寄生電容產生的極點(Zero)藉由電感共振將其拉至更高頻率，如此便可提升電路頻寬。而藉由 π -peaking架構，可有效分散寄生電容及其極點，並將共振頻率拉寬，藉此更進一步的拉高頻寬。然而電容式或電感式調峰技術由於必須採用多餘之被動元件，其電

路所占晶片面積無法有效控制，因此以下將針對除調峰技術外頻寬擴展技巧進行探討。

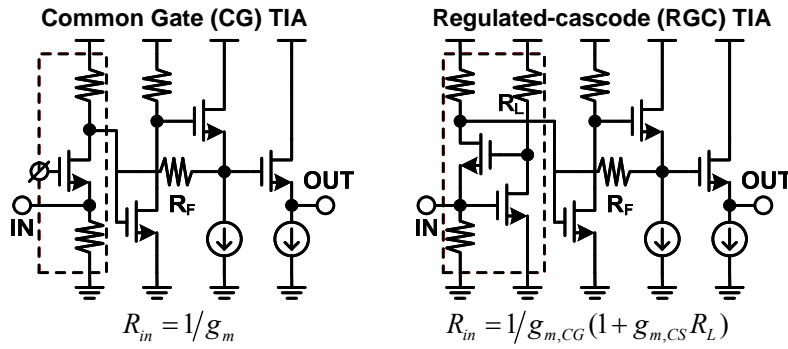


圖七：電阻式回授架構基本概念示意圖

如圖七所示，電阻式回授(Resistive feedback)架構被廣泛使用於轉阻放大器設計上，也為最簡單有效的設計架構。藉由 R_F 的shunt-shunt feedback實現較小輸入阻抗(Z_{IN})，致使光電流得以全數輸入電路，所得轉阻增益 Z_T 約等於 R_F 。由推得之公式可知，相較於直接使用電阻(阻值同為 R_F)將光電流轉換成電壓，由於電阻式回授架構之輸入阻抗為 $R_F/(1+A_V)$ ，因此電阻式回授架構可以得到 $(1+A_V)$ 倍的頻寬。



圖八：Resistive feedback 概念衍生出之三種 TIA 架構

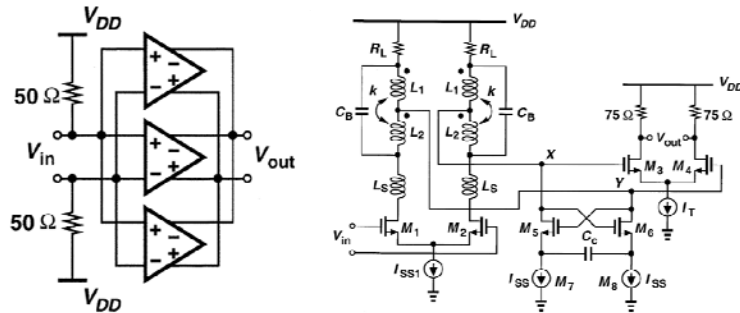


圖九：以 RGC gm-boost technique 改良共開轉阻放大器所得之 RGC 轉阻放大器。

圖八所示為採用電阻式回授所衍生出之三種轉阻放大器架構，其主要差異在於輸入級分別採用共源級(Common source)、共開級(Common gate)、共汲級(Common drain)。共源轉阻放大器(CS TIA)採用最基本之電阻式回授概念，尤其提供 $-A_V$ 倍之增益級由第一級的共源級與第二級的共汲級組成，第二級的共汲級目的為避免 R_F 影響增益級增益倍數，第三級共汲級則是作為輸出級驅動輸出負載。共開轉阻放大器(CG TIA)主要是以共源轉阻放大器為基礎，在增益級前加上共開級電流緩衝器(Current Buffer)以降低 C_{PD} 對整體電路頻寬的影響，共開級 g_m 越大 C_{PD} 影響越好。共汲轉阻放大器(CD TIA)則是以共汲級隔絕共源增益級其米勒效應(Miller effect)造成之 C_{IN} 。文獻[9]在輸入級採用RGC電流緩衝器，如圖九所示，加上一共源級放大器放大輸入端電壓訊號至共開級之開極，如此輸入級電流緩衝器便可得輸入阻抗為 $1/g_{m,CG}(1+g_{m,CS}R_L)$ ，藉以提升頻寬。

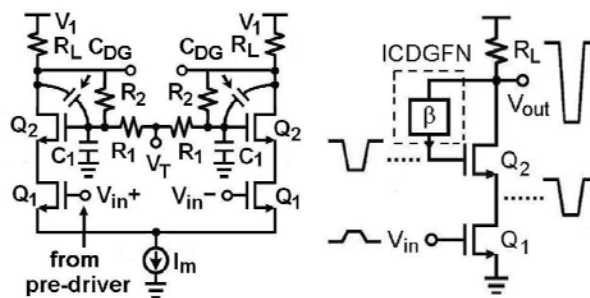
2.3.1 雷射驅動電路

最初的雷射驅動電路的設計原理為切換電流方式，利用差動對(differential pair)輸入差動訊號，切換左右兩路電流至電流源大小。隨著所驅動電流的上升，文獻[10]使用了並聯式的驅動電路加強輸出端的驅動電流，並且也使用與寬頻放大器的技巧，變壓器回授與負電容去抵銷電晶體的寄生電容，達到高速雷射驅動電路的目的。

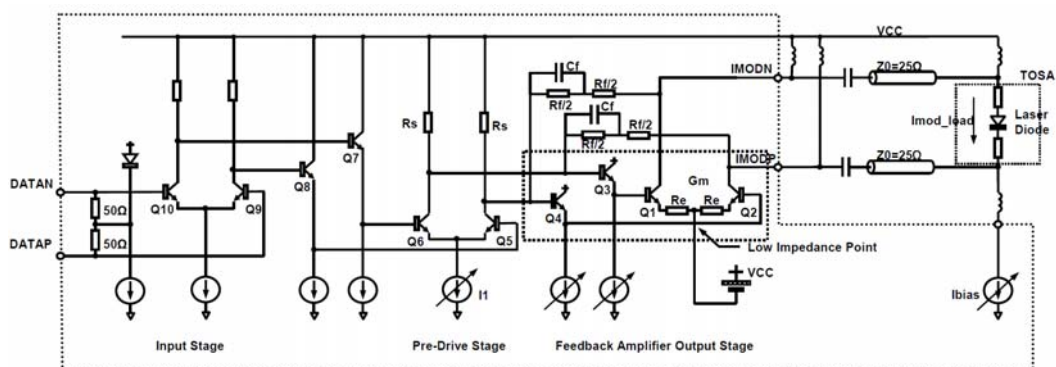


圖十：並聯式驅動電路與其子電路

另外文獻[11]中，提出了使雷射驅動電路輸出擺幅提升的方法，利用疊接(cascode)電晶體，平均分擔輸出電壓，如此一來，可使得差動對Q1可採用較高單增益頻率(unit-gain frequency)的電晶體，還有利用寄生電容並聯電阻做負回授，調整頻寬的品質，達到高速高輸出電壓擺幅雷射驅動電路。



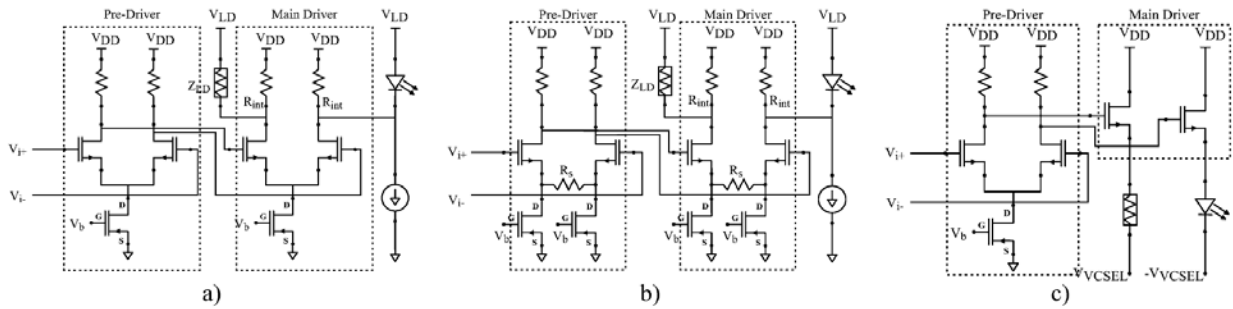
圖十一：文獻[10]雷射驅動電路與其概念示意圖



圖十二：Active Back-Termination 雷射驅動電路

以上此類電路都採用差動對輸出，造成輸出端電阻較大，為了避免與雷射二極體(laser diode)做連結時所造成阻抗不匹配，訊號失真，所以此類電路會再輸出端並聯負載電阻，做阻抗匹配，但這意味著必須多消耗高率在此路電阻上，所以造成雷射驅動電路的功耗上升。文獻[12]中，提出了主動回授電路，達成輸出端等效阻抗匹配，優點為不用另外並聯電阻導致

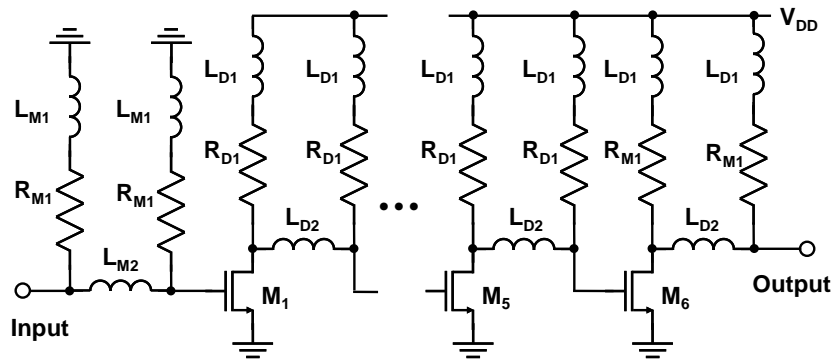
功耗上升，缺點為電路複雜度提高，但當驅動電流很大時，此種技巧與電阻匹配相比，非常有效。雷射驅動電路也可以用單端(single-end)放大器達成，單端源級極追隨器(source follower)與一般差動對放大器，對於使用在雷射驅動電路上的優缺點，在文獻[13]中皆有詳細的推導與比較，提供了設計者很好的指引與經驗。



圖十三：文獻[13]中所採用的分析電路(a)差動共源級(b)差動共源級鈍化(c)單端源級追隨器

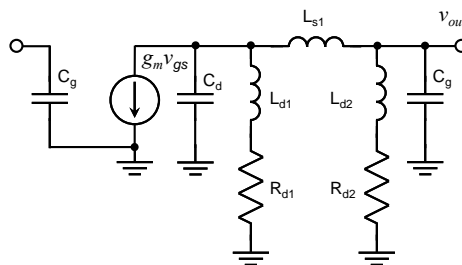
2.4 研究方法：

2.4.1 採用 π -peaking之10-Gb/s轉阻放大器



圖十四：使用 π -peaking之10-Gb/s轉阻放大器電路圖。

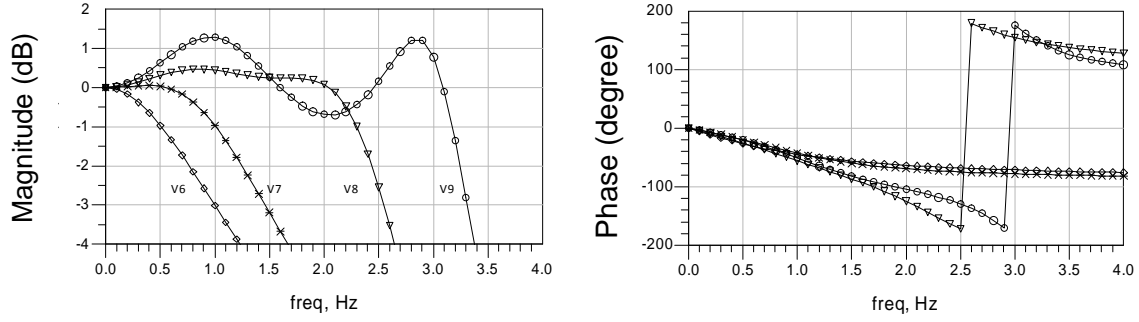
如圖十四所示為10-Gb/s轉阻放大器之電路圖。使用六級共源極(CS)串接且每一級之直流偏壓皆來自於前一級，而每一級之前後均有使用PIP來增加頻寬。由於PIP能增加一級CS的頻寬為3.31倍，在四級串接的情況之下每一級的原始頻寬應在3 GHz左右。這可經由調整負載電阻、電晶體的尺寸和直流偏壓來達成。



圖十五： π -peaking之電路圖。

π -peaking的電路圖如圖十五所示。電晶體基本上為一個壓控電流源($g_m V_{gs}$)。在所有電感值為零時則電流源會流入負載電阻 R_{d1} 和 R_{d2} ，同時也會流入汲極(C_d)和下一級之閘極(C_g)的寄生電容。因此產生了主極點而限制了電路頻寬，主極點其頻率可推導如下

$$f_{3dB} = \frac{1}{2\pi(R_{d1} // R_{d2})(C_d + C_g)} \quad (1)$$



圖十六： π -peaking 之頻率響應，頻率和振幅皆正規化至一。

(V6：只考慮電阻和電容、V7：加入 L_{d2} 、V8：再加入 L_{s1} 、V9：再加入 L_{d1} 。)

如圖十六之曲線V6。對於一個 $L = 0.18 \mu m$ 、 $W = 48 \mu m$ 、汲極負載電阻為 340Ω 、閘極偏壓為 $0.85 V$ 的NMOS而言， C_d 跟 C_g 的值約為 $155 fF$ 和 $50 fF$ 。因此在做電路分析時假設 C_g 等於三倍的 C_d 、 R_{d1} 等於 R_{d2} 。現只加入 L_{d2} 則轉移函數為：

$$Z_{L_{d2}} = \frac{R_{d1}}{2} \frac{2 + 2s \frac{L_{d2}}{R_{d1}}}{2 + s \frac{L_{d2}}{R_{d1}} + 4sR_{d1}C_d + 4s^2R_{d1}C_d \frac{L_{d2}}{R_{d1}}} \quad (2)$$

L_{d2} 使得轉移函數由原來的單極點 (one-pole) 改變為單零點雙極點 (one-zero-and-two-pole)。藉由設計零點的位置可增加電路之頻寬。將(2)的振幅大小平方等於 0.5，則可得出 L_{d2} 和增加頻寬倍數之關係。分析結果顯示當 $L_{d2} = 1.5R_{d1}^2 * C_1$ 時，頻寬可增加 1.46x，如圖五之曲線 V7。由 L_{d2} 所造成的雙極點為複數極點，且以共軛對的形式存在於轉移函數：

$$(s + \alpha + j\beta)(s + \alpha - j\beta) = s^2 + 2\xi\omega_n s + \omega_n^2 \quad (3)$$

其中

$$\begin{aligned} \omega_n^2 &= \alpha^2 + \beta^2 \\ \xi\omega_n &= \alpha \end{aligned}$$

其中 α 和 β 為共軛對的實部和虛部大小， ω_n 為轉折頻率 (corner frequency)， ξ 為 damping factor。當 ξ 小於一則共軛對才存在，小於 0.707 則會有 gain overshoot 的現象在 ω_n 。

接著加入的 L_{s1} 將再產生一個更高頻的共軛極點對。為了獲得平坦的增益和最大頻寬，令其轉移函數等於 DC 值：

$$(R_{d1} // R_{d2}) = \frac{R_{d1} // \frac{1}{sC_d}}{R_{d1} // \frac{1}{sC_d} + sL_{s1} + (R_{d2} + sL_{d2}) // \frac{1}{sC_g}} (R_{d2} + sL_{d2}) // \frac{1}{sC_g} \quad (4)$$

分析結果顯示當 $L_{s1} = 0.86R_{d1}^2 * C_1$ 時，頻寬可增加 2.05x，如圖五之曲線 V8。當 L_{s1} 加入之後 in-band 的增益有 over-peaking (0.46 dB) 的現象，這是因為 L_{s1} 將更高頻的共軛極點之 ξ 小於 0.707 所致。

最後加入 L_{d1} 。其使得轉移函數又增加了一個零點和一個極點：

$$Z_{L_{d1}} = \frac{R_1 R_2 + s(R_1 L_2 + R_1 L_2) + s^2 L_1 L_2}{R_1 + R_2 + s(L_1 + L_2 + L_3 + R_1 R_2 (C_1 + C_2)) + s^2 (R_1 L_2 C_2 + R_1 L_2 C_1 + R_1 L_3 C_1) + s^3 (R_2 L_1 C_1 + R_2 L_1 C_2 + R_2 L_3 C_2) + s^4 (R_1 L_2 L_3 C_1 C_2 + R_2 L_1 L_3 C_1 C_2) + s^5 L_1 L_2 L_3 C_1 C_2} \quad (5)$$

將(5)的振幅大小平方等於 0.5，則可得出 L_{d1} 和增加頻寬倍數之關係。分析結果顯示當 $L_{d1} = 0.8R_1^2 * C_1$ 時，頻寬可增加 3.31x 且增益平坦度為 2 dB，如圖五之曲線 V9。當 L_{d1} 加入之後 in-band 的增益有 over-peaking 的現象，這是因為 L_{s1} 將兩對共軛極點的 ξ 縮小且小於 0.707 所致。

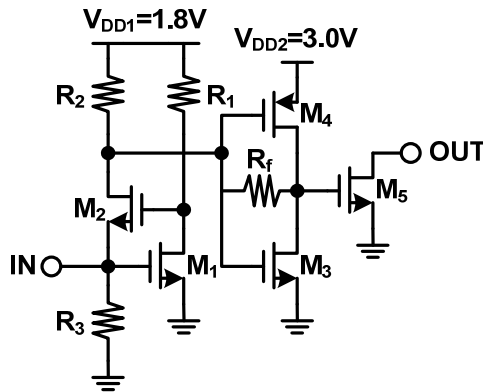
由於 π -peaking 是和前後兩個電容作用以增加頻寬，所以此方法也適用在電路的輸入輸出端。因為輸入端通常還有一個光電二極體 (PD) 所產生之電容，而輸出端則是下一級的負載電容。

轉阻放大器另一個重要的參數為輸入端電流雜訊 (input-referred current noise)。根據本電路架構可推得其電流雜訊為：

$$\overline{i_{n,in}^2} = \frac{4kT}{R_1} + \frac{4kT}{R_2} + \frac{4kT\gamma}{g_{m1}} \left(\frac{1}{(R_1 // R_2)^2} + \omega^2 (C_{gs1} + C_{gd1})^2 \right) \quad (6)$$

其中 γ 為 enhancement factor 其值大約為 1。根據上式可知當 M_1 可提供足夠之增益時，本電路之最低電流雜訊可視為由 R_1 和 R_2 所產生。在此輸入阻抗設計為 50 Ω 且 R_1 等於 R_2 。所以最低電流雜訊為 17.89 pA/ $\sqrt{\text{Hz}}$ 。

2.4.2 低功率低成本 5-Gb/s 轉阻放大器



圖十七：低功率低成本5-Gb/s轉阻放大器

圖十七所示為應用於光連結之低功率低成本 5-Gb/s 轉阻放大器，主要可分為三個區塊討論，分別為 RGC 電流緩衝器、不對稱偏壓 Inverter-type 轉阻放大器以及開汲極輸出電壓緩衝器。以下分項敘述各級電路之設計及操作原理：

RGC 電流緩衝器由兩個電晶體 M_1/M_2 與三個電阻 $R_1/R_2/R_3$ 所構成，其操作原理如同前面所述，等效上為一輸入阻抗為 $1/g_{m2}(1+g_{m1}R_1)$ 之共閘極電流緩衝器。在此次設計中，RGC 電流緩衝器主要目的為提供轉阻放大器與光二極體間之隔絕層，以減少光二極體之大寄生電容

對電路頻寬以及雜訊的影響。因此對 M_3 、 M_4 以及 R_F 所構成之轉阻放大器而言，RGC 電流緩衝器為一個提供較小寄生電容的光二極體。

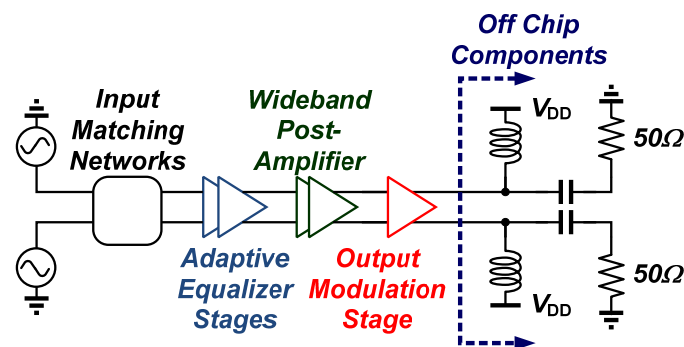
不對稱偏壓 Inverter-type 轉阻放大器：由兩個電晶體 M_3/M_4 與電阻 R_F 所構成。 M_3 與 M_4 為一 inverter-type voltage amplifier，並以 R_F 作為 shunt-shunt feedback，可得轉阻增益 Z_T 約為 R_F 。inverter-type voltage amplifier 的等效轉導係數 $g_m = g_{mn} + g_{mp}$ ，且 M_3 與 M_4 互為主動負載，故可得足夠大的電壓增益以增加轉阻放大器之頻寬。同時必須考慮 inverter-type voltage amplifier 有限的頻寬以調整轉阻放大器頻寬以避免過大的 group delay variance 並且造成輸出眼圖之變形。藉由調低 inverter-type TIA 輸入端之 DC 電壓，使 $V_{GS,pmos}$ 大於 $V_{GS,nmos}$ ，如此可以選取較小尺寸之 PMOS 以減小電路中之雜散電容。另外藉由輸出端電壓與輸入端之電壓差，提供 DC 電流與前級之 RGC 電流緩衝器，如此可挑選阻值較大之 R_2 ，減小 R_2 與 inverter-type TIA 輸入端之間電阻分壓產生之損耗。

開汲極輸出電壓緩衝器由開汲級、共源級之 M_5 構成，此級電路主要作用為提供足夠電流以驅動量測環境中的 50Ω 負載。在通訊系統中，轉阻放大器後級所接為限制放大器(Limiting Amplifier)或自動增益控制迴路(Auto-Gain Control)，於此情形下可取消輸出緩衝器，直接接上限制放大器，減少其負載效應，增加轉阻放大器的頻寬並改善 group delay variance。因此，此輸出緩衝器設計之 Voltage gain 為 0dB，在本次設計中只做為電壓緩衝器，隨後之結果與討論中電路耗損功率並不包括此開汲極輸出電壓緩衝器。

2.4.3 低功率 10-Gb/s 雷射驅動電路

雷射驅動電路架構圖如圖十四所示。在輸入端為了使訊號源的輸入功率能有效的進入電路裡面， 50Ω 的輸入阻抗網路是必備的。因此本研究使用了 100Ω 電阻掛在輸入的兩端。在輸出端採用 75Ω 的 double-termination 的方法提供五十歐姆的輸出。雷射二極體有分為 25Ω 和 50Ω 兩種輸入阻抗，對於電流驅動的元件而言，較小的輸入阻抗是比較容易供應能量的。本專題基於量測考量，採用五十歐姆來當作輸出阻抗。每一級詳細的說明將在後面分述。

電路模擬軟體為分別為 Agilent 公司所設計的 Advanced Design System (ADS) 與 Cadence 公司的 Spectre RF。再配合著由 TSMC 所提供的元件模型來設計電路。



圖十八：低功率 10Gb/s 雷射驅動電路架構圖

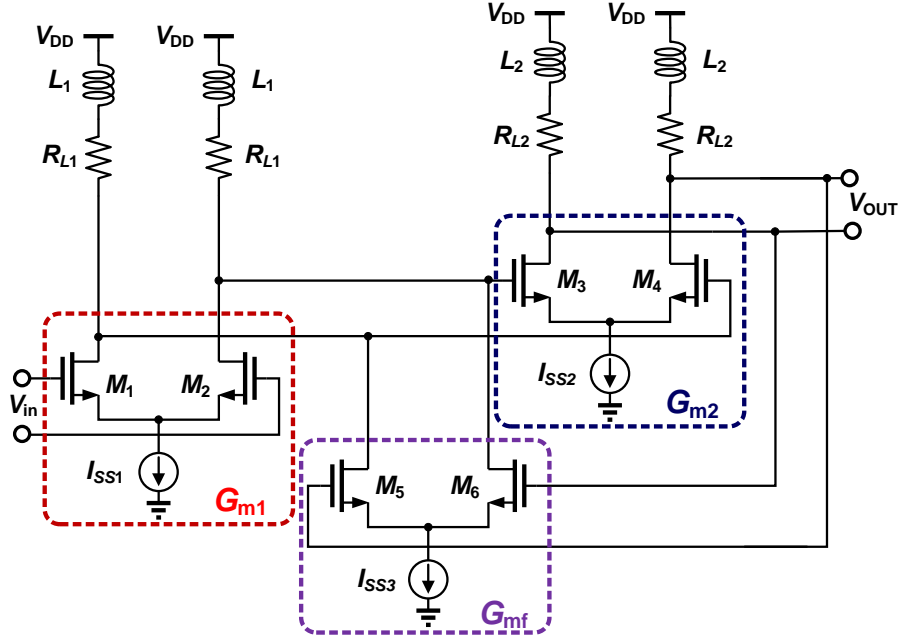
A、輸出放大級：

雷射二極體的所需要的驅動電流一般在 $10\sim 30\text{mA}$ ，在五十歐姆的示波器上面相當於是 $0.5\sim 1.5\text{Vpp}$ 的電壓。在電晶體尺寸的考量上，尺寸直接正比於電晶體的寄生電容效應大小和電流承載能力等。當電晶體之尺寸增加時，電流承載能力增加但寄生電容也增加並減少電路

頻寬。當電晶體之尺寸減少時，電流承載能力不足使得輸出電流減少。

B: 後級放大器

後級放大器主要的功能主要為放大訊號。如能在一定面積達到不錯的信號頻寬(Bandwidth)和增益(Gain)，是本研究所關注的重點。圖十五為本計畫所採用的電路架構。



圖十九：後級放大器示意圖

由簡單的方程式計算可知：

$$A_V = \frac{V_{out}}{V_{in}}(s) = \frac{A_{VO} \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2}$$

$$A_{VO} = \frac{G_{m1} G_{m2} R_{L1} R_{L2}}{1 + G_{mf} G_{m2} R_{L1} R_{L2}}$$

$$\zeta = \frac{1}{2} \frac{R_{L1} C_1 + R_{L2} C_2}{\sqrt{R_{L1} R_{L2} C_1 C_2 (1 + G_{mf} G_{m2} R_{L1} R_{L2})}}$$

$$\omega_n^2 = \frac{1 + G_{mf} G_{m2} R_{L1} R_{L2}}{C_1 C_2 R_{L1} R_{L2}}$$

如果要達到最大平坦響應(maximally flat Butterworth response)，必須選擇 $\zeta=1/\sqrt{2}$ 則必有下列方程式：

$$\omega_{3dB} = \frac{\omega_n}{2\pi}$$

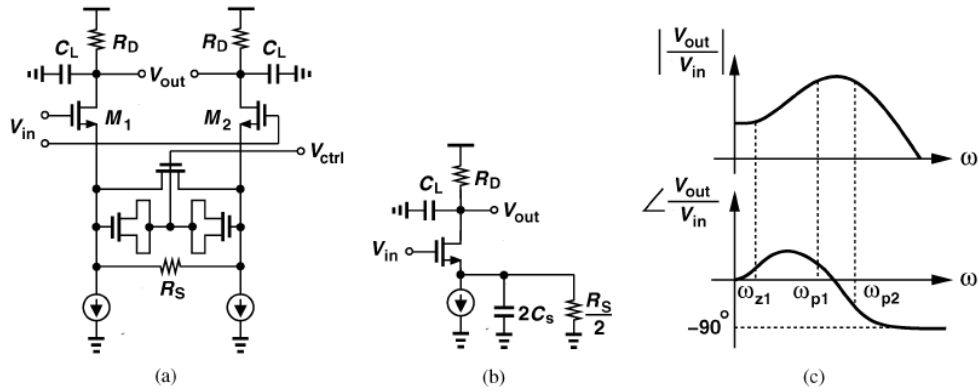
$$A_{VO} \omega_{3dB} = \frac{G_{m1} G_{m2}}{C_1 C_2} \frac{1}{\omega_{3dB}}$$

為了達到 10Gb/s 的系統規格，在各種不同的 corner 的模擬條件之下，頻寬與增益均大於 14GHz 與 10dB。而所需之功率消耗約為 12mA。

C、前級放大級：

此級主要是一個緩衝級因為輸出級的電晶體是使用尺寸較大的元件，若直接由前一級動

則會因為輸入電容過大而使訊號嚴重失真。為了補償電路前端的損耗，電路中亦加入零點補償部分。如圖二十所示：

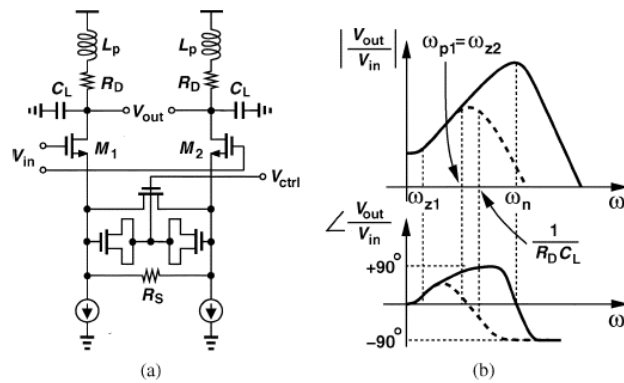


圖二十：傳統等化放大器電路圖

$$\frac{V_{out}}{V_{in}}(s) = \frac{G_m R_L}{1 + \frac{G_m R_S}{2}} \frac{1 + \frac{s}{\omega_Z}}{1 + \frac{s}{\omega_{p1}}} \frac{1}{1 + \frac{s}{\omega_{p2}}}, \omega_Z = \frac{1}{R_S C_S}$$

$$\omega_{p1} = \frac{1 + \frac{G_m R_S}{2}}{R_S C_S}, \omega_{p2} = \frac{1}{R_L C_L}$$

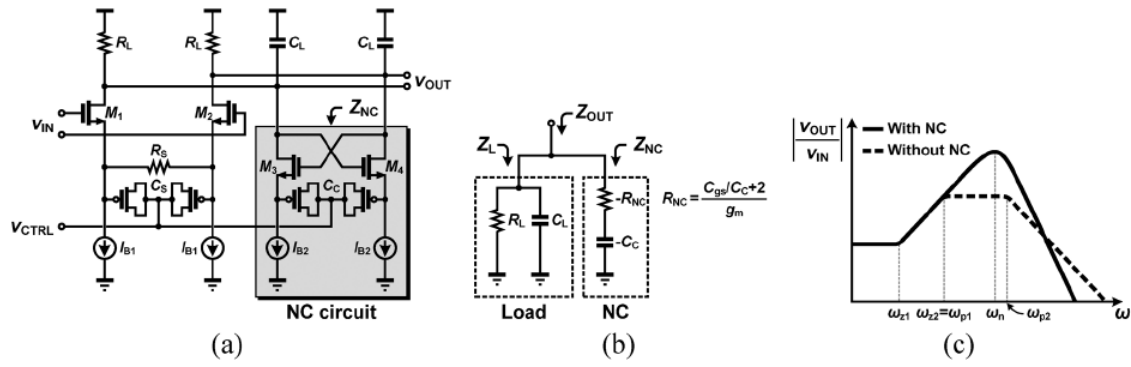
採用傳統的等化器架構，由於 ω_{p1} 與 ω_{p2} 在所產生的極點頻率太過相近，因此不適用於高頻。如圖二十一及圖二十二所示，本計畫所提出的架構加入電感使其訊號頻寬能夠延伸，另再加入負阻抗產生器(Negative Impedance Converter)。



圖二十一：採用電感之等化放大器電路圖

$$\frac{V_{out}}{V_{in}}(s) = \frac{G_m R_L}{1 + \frac{G_m R_S}{2}} \frac{1 + \frac{s}{\omega_{Z1}}}{1 + \frac{s}{\omega_{p1}}} \frac{1 + \frac{s}{\omega_{Z2}}}{1 + \frac{2\xi}{\omega} s + \frac{s^2}{\omega^2}}, \omega_{Z1} = \frac{1}{R_S C_S}, \omega_{Z2} = \xi \omega$$

$$\omega_{p1} = \frac{1 + \frac{G_m R_S}{2}}{R_S C_S}, \omega_p = \frac{1}{\sqrt{L_P C_P}} = \frac{R_D}{2} \sqrt{\frac{C_P}{L_P}}$$



圖二十二：採用負阻抗產生器之等化放大器電路圖

$$Z_{NC} = -\frac{1}{sC_C} \frac{G_m + s(C_{GS} + 2C_C)}{G_m} = -R_{NC} - \frac{1}{sC_C}$$

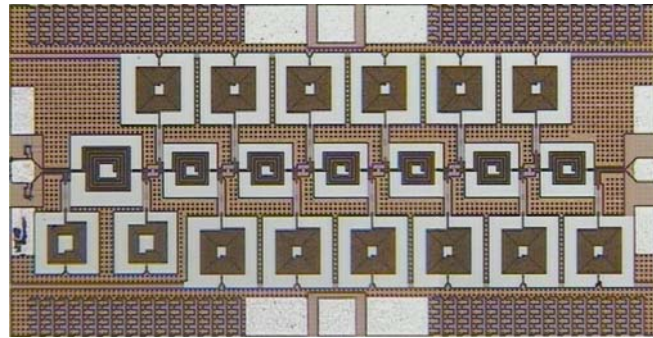
$$Z_{out} = Z_L \parallel Z_{NC} \approx R_L \frac{1 + \frac{s}{\omega_{Z2}}}{1 + \frac{2\xi}{\omega} s + \frac{s^2}{\omega^2}}$$

$$\omega_{Z2} = \frac{1}{C_C R_{NC}}, \quad \omega_{Z2} = \frac{1}{(R_L C_L + R_{NC} C_C - R_L C_C)} = \frac{1}{\sqrt{R_L C_L R_{NC} C_C}}$$

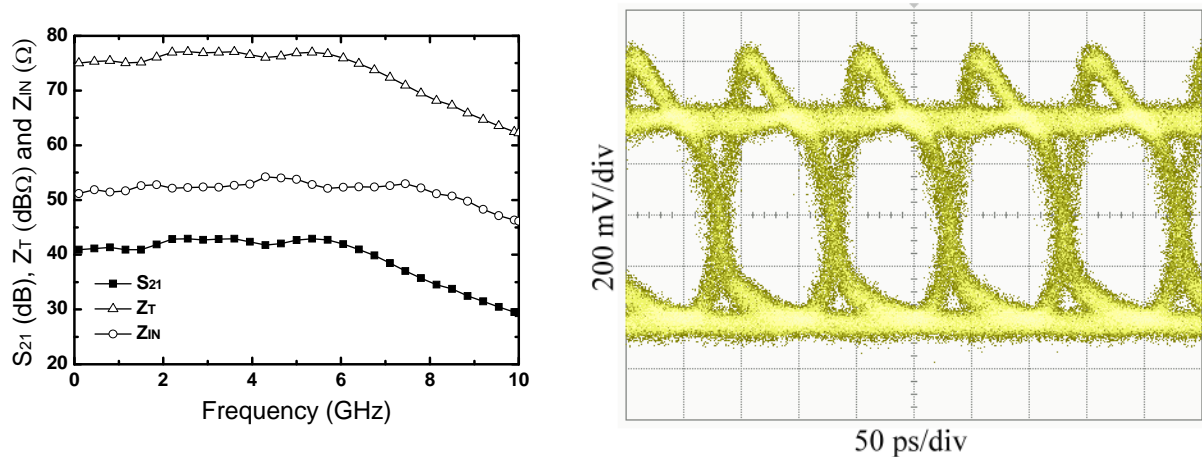
2.5 結果與討論：

2.5.1 採用 π -peaking 之 10-Gb/s 轉阻放大器

如圖二十三所示，晶片面積為 $1.35 \times 0.69 \text{ mm}^2$ 。為了減少訊號輸入輸出端 PAD 的寄生電容和方便 on-wafer 量測，因此使用 $50 \times 50 \text{ um}^2$ 的 PAD 做輸入輸出點。根據量測的 S-parameters， S_{21} 為 41 dB、 Z_T 為 $75 \text{ dB}\Omega$ 、 Z_{IN} 在低頻為 51Ω ，如圖二十四所示。在一個 C_{PD} 為 450fF 的情況之下，3-dB 頻寬為 7.2 GHz。在直流偏壓為 1.8 V 之下，其消耗功率為 91.8 mW。在時域的量測方面，使用了 10-Gb/s $2^{31}-1$ 的 PRBS 來量測 10-Gb/s 眼圖。其結果如圖二十四所示，眼圖非常清楚。

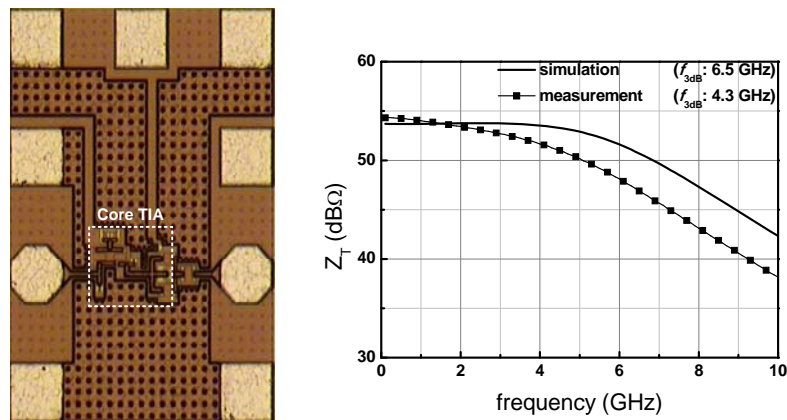


圖二十三：採用 π -peaking 之 10 Gb/s 轉阻放大器晶片空照圖



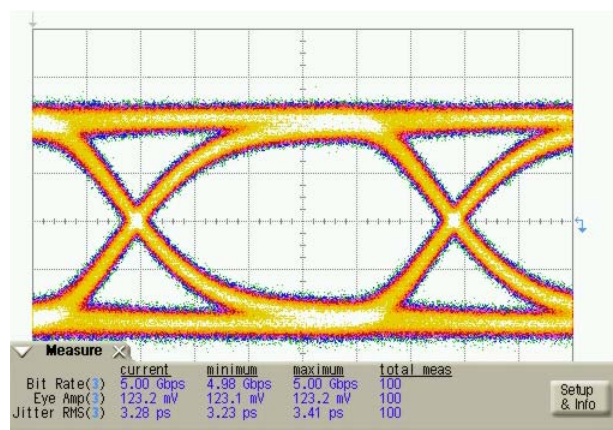
圖二十四：採用 π -peaking 之 10 Gb/s 轉阻放大器 S_{21} 、 Z_T 與 Z_{IN} 量測結果及其 10 Gb/s 量測眼圖

2.5.2 低功率低成本 5-Gb/s 轉阻放大器



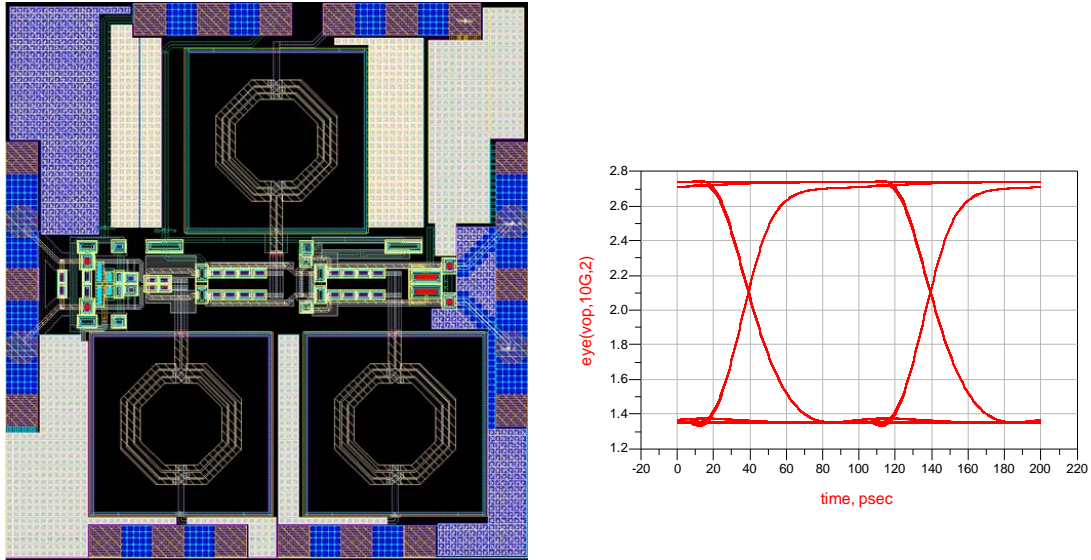
圖二十五：低功率低成本 5-Gb/s 轉阻放大器晶片空照圖及其 Z_T 模擬與量測結果圖

實作結果如圖二十五所示，其核心面積僅占 $70 \times 110 \mu\text{m}^2$ ，在 11.5 mW 的功耗下其轉阻增益為 54.5 dBΩ、頻寬為 4.3 GHz ($C_{PD}=0.22$ pF)。圖十四所示為其量測眼圖，輸入端為 50 Ω 電性訊號，其資料串列為 $2^{31}-1$ 之 PRBS。由量測眼圖可得知其操作情形良好。

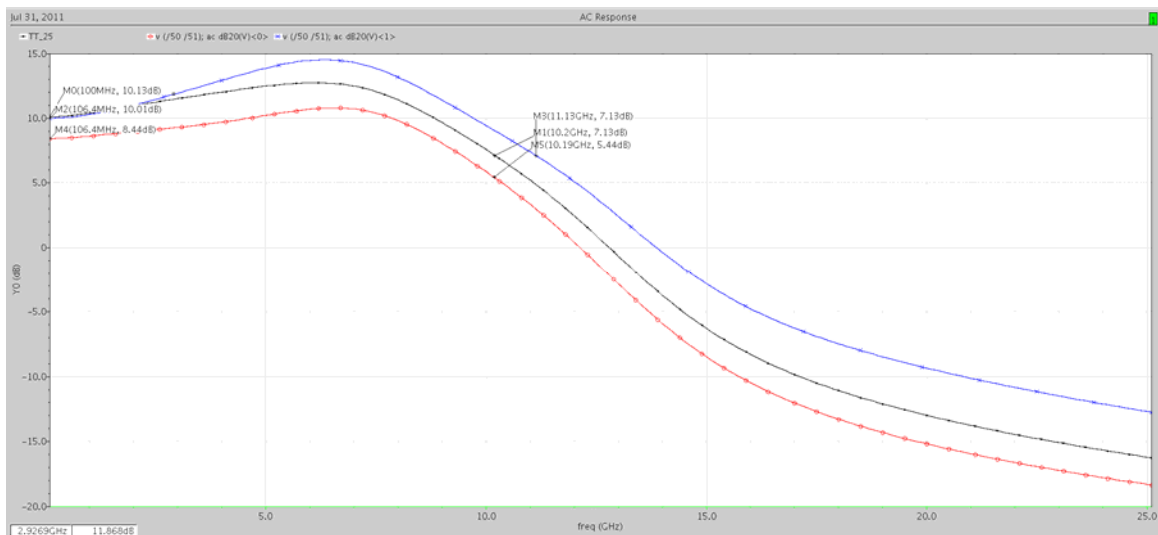


圖十四：低功率低成本 5-Gb/s 轉阻放大器 5 Gb/s 量測眼圖

2.5.3 低功率 10-Gb/s 雷射驅動電路



圖二十六：低功率 10-Gb/s 雷射驅動電路晶片空照圖及其 10 Gb/s 模擬眼圖

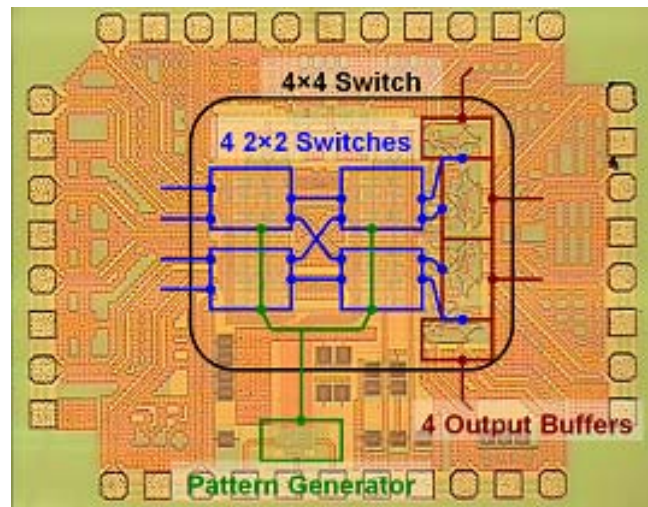


圖二十七：低功率 10-Gb/s 雷射驅動電路模擬頻率響應圖

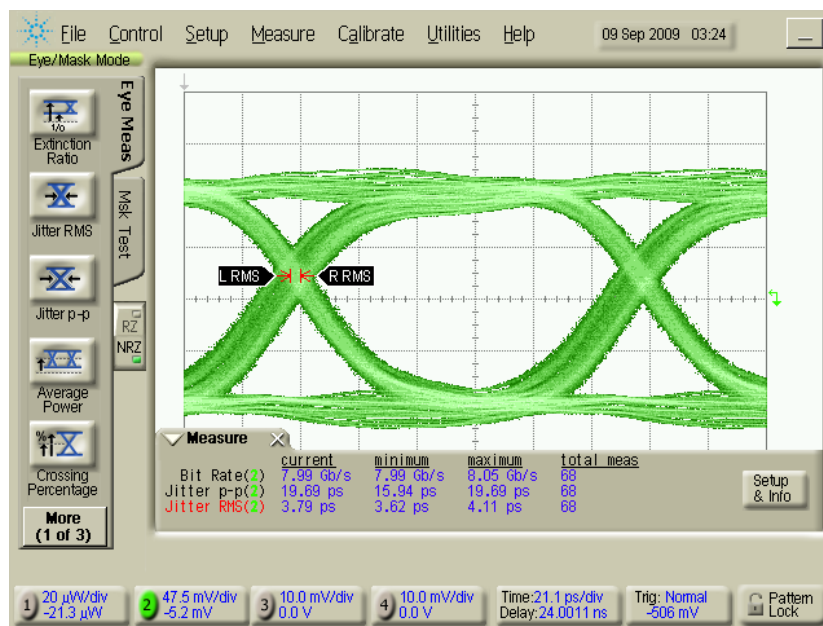
如圖二十六所示，其晶片面積占 $0.83 \times 0.88 \text{ mm}^2$ ，在 250 mW 的功耗下其輸出電壓可達 500 V_{PP} 、輸出電流可達 30 mA，由模擬眼圖可得知其操作情形良好。圖二十七所示為其頻率響應圖，增益最差可達 8.44 dB，頻寬最差亦可達 10.19 GHz。

2.5.4 光交換機整合驗證之可行性

圖二十八為另一子計畫 32 Gb/s 4×4 LB-BvN 交換機之晶片空照圖，而圖二十九則為其量測眼圖，證明本交換機每單通道可正確操作於 8 Gb/s。目前正計畫將光電介面電路針對此交換機進行電路參數調整，並整合下線進行光交換功能之量測。



圖二十八：32 Gb/s 4×4 LB-BvN 交換機晶片空照圖



圖二十九：8 Gb/s 單通道交換機量測眼圖

三、参考文献：

- [1] A. Alduino and M. Paniccia, "Wiring electronics with light," *Nature Photonics*, vol. 1, pp. 153-155, March 2007
- [2] K. Ohashi, K. Nishi, T. Shimizu, M. Nakada, J. Fujikata, J. Ushida, S. Torii, K. Nose, M. Mizuno, H. Yukawa, M. Kinoshita, N. Suzuki, A. Gomyo, T. Ishi, D. Okamoto, K. Furue, T. Ueno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and J. Akedo, "On-chip optical interconnect," *Proceedings of the IEEE*, vol. 97, no. 7, pp. 1186-1198, July 2009.
- [3] S. Palermo, A. Emami-Neyestanak, and M. Horowitz, "A 90nm CMOS 16 Gb/s transceiver for optical interconnects," *IEEE Journal of solid-state circuits*, vol. 43, no. 5, pp. 1235-1246, May. 2008.
- [4] I. A. Young, E. Mohammed, J. T. S. Liao, A. M. Kern, S. Palermo, B. A. Block, M. R. Reshotko, P. L. D. Chang, "Optical I/O technology for tera-scale computing," *IEEE Journal of solid-state circuits*, vol. 45, no. 1, pp. 235-248, Jan. 2010.
- [5] F. Chien and Y. Chan, "Bandwidth enhancement of transimpedance amplifier by a capacitive-peaking design," *IEEE Journal of solid-state circuits*, vol. 34, no. 8, pp. 1167-1170, Aug. 1999.
- [6] S. S. Mohan, M. del M. Hershenson, S. P. Boyd, and T. H. Lee, "Bandwidth extension in CMOS with optimized on-chip inductors," *IEEE Journal of solid-state circuits*, vol. 35, no. 3, pp. 346-355, Mar. 2000.
- [7] S. Galal and B. Razavi, "40-Gb/s amplifier and ESD protection circuit in 0.18- μ m CMOS technology," *IEEE Journal of solid-state circuits*, vol. 39, no. 12, pp. 2389-2396, Dec. 2004.
- [8] J. Jin and S. S. H. Hsu, "A 40-Gb/s transimpedance amplifier in 0.18- μ m CMOS technology," *IEEE Journal of solid-state circuits*, vol. 43, no. 6, pp. 1449-1457, June 2008.
- [9] S. M. Park and H. Yoo, "1.25-Gb/s regulated cascode CMOS transimpedance amplifier for gigabit Ethernet applications," *IEEE Journal of solid-state circuits*, vol. 39, no. 1, pp. 112-121, Jan. 2004.

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

☒ 達成目標

☐ 未達成目標（請說明，以 100 字為限）

☐ 實驗失敗

☐ 因故實驗中斷

☐ 其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文：☒ 已發表 ☐ 未發表之文稿 ☐ 撰寫中 ☐ 無

專利：☐ 已獲得 ☒ 申請中 ☐ 無

技轉：☐ 已技轉 ☒ 洽談中 ☐ 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

此計畫研究成果成功在標準 CMOS 製程上實現低功率低成本之高速光電介面前端電路。在學術成就上，為達成規格而進行之電路原理詳細推導，部分已發表於國際學術期刊及研討會，另有部分仍在準備中，顯示研究成果於學術上之影響力及重要性。在技術創新部分，本計畫達成之規格在轉阻增益、電路功耗及晶片成本上皆有所突破，增加快速光交換機及光連結系統實現之可能性。至於社會影響方面，本計畫之成果強化本國在光通訊晶片上的電路設計能力及國際影響力，並提供相關公司此領域中之知識及技巧，吸引廠商進行產學合作或技術移轉進而成為 IC 設計產業中之新領域。此研究成果在與其他電路之整合構成系統之計畫持續進行中，其一為與本校光電所合作與矽製程基底之光波導、光偵測器、光調變器之整合，驗證晶片間光連結系統之可行性。上述研究已吸引許多廠商(包含半導體廠及高速光電元件廠)之注意，並洽詢合作之可能性。至於本計畫中光交換機之整合實現亦持續進行中，預期完成針對交換機電路之介面電路參數調整及整合驗證。

國科會補助計畫衍生研發成果推廣資料表

日期：____年__月__日

<p>國科會補助計畫</p>	<p>計畫名稱：高速封包交換機之研究-子計畫五:高速交換機晶片之光導線驅動電路</p> <p>計畫主持人：徐碩鴻</p> <p>計畫編號：NSC 97-2221-E-007-107-MY3 領域：微電工程</p>		
<p>研發成果名稱</p>	<p>(中文) 具有接地共平面波導之光通信系統</p>		
	<p>(英文) OPTICAL COMMUNICATION SYSTEM USING GROUNDED COPLANAR WAVEGUIDE</p>		
<p>成果歸屬機構</p>	<p>國立清華大學</p>	<p>發明人 (創作人)</p>	<p>卓偉漢、涂家豪、徐碩鴻</p>
<p>技術說明</p>	<p>(中文)</p> <p>本發明揭露一種具有接地共平面波導之光通信系統，包含電流緩衝器以及轉阻放大器。其中，光通信系統所使用之信號連接線係具有接地共平面波導之結構。電流緩衝器用以自信號源接收電流信號，減少信號源之電容效應後輸出電流信號。轉阻放大器用以將所接收之電流信號轉換成電壓信號，其中轉阻放大器之第一端接收電流信號，轉阻放大器之第二端輸出電壓信號，一並聯-並聯回授電路耦接於第一端與第二端之間。藉此，本發明可縮小電路之面積，並且降低功率消耗。</p>		
	<p>(英文)</p> <p>The invention discloses an optical communication system using grounded coplanar waveguide, comprising a current buffer and a transimpedance amplifier (TIA). Transmission lines of the optical communication system have grounded coplanar waveguide (GCPW) structures. The current buffer receives a current signal from a signal source, and outputs the current signal after reducing capacitance effects of the signal source. The TIA transfers the current signal to a voltage signal, wherein a first end of the TIA receives the current signal, a second end of the TIA outputs the voltage signal, and a shunt-shunt feedback circuit are coupled between the first end and the second end. Therefore, the present invention can minimize the circuit area and lower the power consumption as well.</p>		
<p>產業別</p>	<p>IC 設計產業。</p>		
<p>技術/產品應用範圍</p>	<p>光通訊系統、光連結系統、光電介面電路。</p>		
<p>技術移轉可行性及預期效益</p>	<p>此專利可應用在高速光通訊系統、光連結系統、高速光電介面電路，具低功率低成本之特性，並可有效降低基底雜訊對傳輸資料之影響，為具實用性且具實際效益之技術，已有廠商洽談中，技術移轉之可行性極高。</p>		

註：本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。

出國報告

蘇州大學參訪及 *IEEE Asia Solid-State Circuit
Conference TPC Meeting*
(07/02/2010-07/11/2010)



Shuohung Hsu (徐碩鴻), Associate Professor
Department of Electrical Engineering
National Tsing Hua University

Part I. 蘇州大學參訪 (07/02/2010-07/07/2010)

It is a great opportunity to visit the Functional Nano-and Soft-Material Laboratory (FUNSOM) at Soochow (蘇州) University, China during this trip. This research lab has recently been established by the world-renown scholar Prof. S. T. Lee (李述湯). See the biography of Prof. Lee below,



李述湯
教授 院士

中国科学院院士，第三世界科学院院士。材料科学与技术领域国际著名科学家。曾任职于美国柯达公司高级研究员及项目主任，现任苏州大学功能纳米与软物质(材料)实验室(FUNSOM)主任及材料科学与化学化工部主任；香港城市大学物理与材料科学系讲座教授和超金刚石及先进薄膜研究中心主任、中国科学院理化技术研究所客座研究员和纳米有机光电子实验室主任。

李述汤院士长期从事有机光电子材料及显示器件，纳米功能材料及器件，以及金刚石和相关超硬薄膜领域的研究，在上述领域都取得了卓越的成就，并获得了一系列创新性研究成果。其主要研究成果“金刚石及新型碳基材料的成核与生长”，“氧化物辅助合成一维半导体纳米材料及应用”先后荣获德国洪堡基金会研究成就奖(Humboldt Research Award)和香港裘槎基金会高级研究成就奖(Croucher Senior Research Fellowship)，并于2003年及2005年两次获得国家自然科学二等奖。2008年获何梁何利基金科技进步奖。在国际化学、物理、材料等领域的著名期刊发表学术论文650余篇，撰写专著6部、获美国专利20余项，论文被他人引用超过10,000余次。据ESI和ISI数据库检索结果显示，李院士

研究论文的引用次数在材料科学领域中全世界排名位于前25位。其中有5篇研究论文发表在著名的《科学》(美国)及《自然》(英国)期刊，另有多篇学术论文以封面文章的形式发表。其研究成果在国际材料科学界占有重要地位，其学术水平得到了广泛的肯定，是香港和内地纳米和材料科技界的领军人物。1994年以来在香港地区先后成功策划、主持了30余项大型研究项目，获得香港研究资助局和创新科技基金6,000余万港元的研究资助。近年来，在内地也分别承担了多项国家863和973项目。

李院士在多本国际科研杂志上担任编辑的工作。他是《Applied Physics Letters》和《Diamond & Related Materials》国际杂志的副总编辑，《Physica Status Solidi》国际杂志亚太区的主编(2004-2007)，《New Carbon Materials》和《Journal of Materials Science & Technology》国际杂志编辑委员会委员，及《Advanced Functional Materials》和《Applied Nanoscience》国际杂志的顾问委员会委员。此外，他先后受聘为复旦大学顾问教授、山东大学、中南理工大学名誉教授、中国科学院理化技术所兼职教授、中国科学院物理所及中国科学院长春光学精密机械与物理研究所客座研究员、北京大学、上海交通大学、吉林大学、浙江大学及大连理工大学等客座教授。

Professor L. S. Liao is another key person of the FUNSOM Lab, who is also a very renown scholar in this related field, and he offered me a lot of help by introducing me to the department staff and faculties.



廖良生
特聘教授
博士生导师

1982年获江西大学(现为南昌大学)理学学士学位; 1988、1996年分别获南京大学理学硕士和理学博士学位。1982.1-1985.8、1988.9-1993.9先后任江西大学物理系助教、讲师、副教授(1989.6-1990.9为美国加州大学北岭分校访问学者); 1996.3-1997.12在复旦大学应用表面物理国家重点实验室从事博士后研究; 1997.12-2000.12任复旦大学物理系和应用表面物理国家重点实验室副教授(1998.12-2000.6在香港城市大学超金刚石及先进薄膜研究中心进行合作研究); 2000.12-2009.1任美国柯达公司研发部研究员; 2009年起任苏州大学功能纳米与软物质(材料)实验室教授。

研究领域: 半导体物理和半导体器件物理,有机半导体器件,薄膜表面和界面物理,半导体薄膜材料。

主要成果和技术贡献: 发表学术论文100多篇, 其中SCI源期刊论文的他引次数大于1350次。在柯达公司工作的八年里, 所取得的研究成果主要以专利和内部交流报告形式发表。申请美国专利50多项(其中已授权24项); 申请其它专利100多项(其中已授权或已公开90项)。早期报道了嵌有纳米硅的二氧化硅薄膜的光致发光; 发明了具有全有机连接层结构的级联(Tandem)有机发光二极管; 制备了高性能的红、绿、蓝有机电致发光显示器件; 制备了高亮度长寿命的有机白光照明器件; 研究了级联有机发光二极管电致发光的相干光特性等。1998年获江苏省科学技术进步一等奖(名列第六); 2006年获国际信息显示学会(SID) 最佳论文奖; 2007年获美国柯达公司“杰出发明人”奖。

The research at FUMSOM focuses on four major topics, including

1. 功能纳米材料与器件
2. 有机光电材料与器件
3. 纳米生物学技术
4. 分子模拟与药物设计为四大研究方向, for applications in 新型能源、绿色环境、生物医学、信息科学

Prof. S. D. Wang also showed me the facilities, and introduce to me about the funding situation, research topics, and their recent publications. The research momentum at FUNSOM is very strong, as all the professors, while young, are well involved in the most advanced studies in various fields, and all have very strong publications. I also had the chance to discuss with some other professors about their research and seek for the possibility of future collaboration.

Part II. A-SSCC Technical Program Committee Meeting (07/08/2010-07/09/2010)

I. 會議名稱、日期、地點

2010 A-SSCC Paper Review Meeting

July 08-09, 2010

Crown Plaza Park View Wuzhou Hotel, Beijing, China

II. 會議緣起

The IEEE A-SSCC 2010 (Asian Solid-State Circuits Conference) is an international forum for presenting the most updated and advanced chips and circuit designs in solid-state and semiconductor fields. The conference is supported by the IEEE Solid-State Circuits Society and will be held in Asia. In 2010, the conference will be held in Beijing, China.

III. 會議議程



A-SSCC 2010 Paper Review Meeting

July 8th - 9th, 2010

Crown Plaza Park View Wuzhou Beijing, Beijing China

I. Agenda

DAY ONE: July 8 th (Thu.), 2010			
Time	Venue	Event	Note
15:30- 17:30	Taking bus at the gate of the hotel.	Campus (Tsinghua / Peking Univ. etc.) Tour	<ul style="list-style-type: none">Steering Committee members, TPC Chair / Vice Chair / Co-Chair and Conference Chair / Co-Chair are invited.Some TPC members, if arriving at the hotel earlier (before this activity), are also welcome the join.The bus will leave the hotel at 15:30. Please catch bus on time.<u>If willing to participate at this activity, please email to Mr. Haikun JIA (ihk05@mails.tsinghua.edu.cn) to confirm your attendance before June 15th, 2010.</u>
18:00 -20:00	Restaurant around the hotel (TBA). Taking bus at the gate of the hotel.	Reception Dinner (LOC Chair: ZH. Wang)	<ul style="list-style-type: none">Steering Committee members, TPC Chair / Vice Chair/ Co-Chair and Conference Chair / Co-Chair are invited.Some TPC members, if arriving at the hotel earlier (before this activity), are also welcome the join.The bus will leave the hotel at 18:00. Please catch bus on time.<u>If willing to participate at this activity, please email to Mr. Haikun JIA (ihk05@mails.tsinghua.edu.cn) to confirm your attendance before June 15th, 2010.</u>
21:00 -21:30	Crown Ballroom, Marquee, Conference Room #1, #8, #9 and Foyer etc.	Conference Site Review	

DAY TWO: July 9th (Fri.), 2010			
Time	Venue	Events	Items
8:00 - 8:03	Crown Ballroom A (Level Two of the Hotel)	A-SSCC Overview (Steering Committee Chair: T. Sakurai)	
8:03 - 8:05	Crown Ballroom A	Welcome Address (Conference Chair: B.L. Gu)	
8:05 - 8:15	Crown Ballroom A	Overview of Conference Site (Organizing Committee Chair: Z. Wang)	<ul style="list-style-type: none"> • Site (Hotel, Room, etc.) information
8:15 - 8:20	Crown Ballroom A	Overview of A-SSCC 2009 TPC (TPC Chair: M. Fukuma)	<ul style="list-style-type: none"> • TPC organization • Paper submission statistics
8:20 - 8:45	Crown Ballroom A	Introduction to TPC Members (Sub-committee Chairs)	
8:45 - 8:50	Crown Ballroom A	Guideline for Paper Selection (TPC Vice-Chair: M. Fukaishi)	<ul style="list-style-type: none"> • Paper selection guideline • Conference schedule
8:50 - 9:00	Crown Ballroom A	Student Design Contest (S. Kim & M. Hamada)	
9:00 - 12:00	Crown Ballroom A	Sub-committee Breakouts	<ul style="list-style-type: none"> • Paper selection
12:00 - 13:00	Café Asia (Level One of the Hotel)	Lunch	
13:00 - 14:30	Crown Ballroom A	Sub-committee Breakouts	<ul style="list-style-type: none"> • Paper selection (cont'd)
14:30 - 15:00	Crown Ballroom A	Session Arrangement (Sub-committees)	Session assembly Press kit
15:00 - 15:30	Crown Ballroom A	Slot Arrangement (TPC and Sub-committee Chairs)	Slot assembly
15:30 - 16:00	Crown Ballroom A	Report of Sessions (Sub-committee Chairs)	Overview, statistics & highlights of accepted papers
16:00 - 16:10	Crown Ballroom A	Invited Program (T. Kuroda)	Plenary talks Panel discussion
16:10 - 16:20	Crown Ballroom A	Educational Program (H. J. Yoo)	Tutorial talks
16:20 - 16:30	Crown Ballroom A	Industry Program (S.Rusu)	
16:30 - 16:40	Crown Ballroom A	Student Design Contest (S. Kim & M. Hamada)	
16:40 - 16:50	Crown Ballroom A	Guidelines for Session Chairs	Obligations of session chairs

V. 心得

I am glad to have this great opportunity to be invited for attending the TPC Meeting for A-SSCC, which is the most important conference for the Asia Solid-State Circuit society. All the TPC members are the experts in this field, which is a great opportunity to exchange the opinion for the latest trend for IC research and also obtain feedback from them.

VI. 致謝

I am very grateful for the funding provided from NSC to support partial of my travel expenses.

I. 會議名稱、日期、地點

2010 International Conference on Solid State Devices and Materials

September 22-24, 2010

The University of Tokyo, Tokyo, Japan

II. 會議緣起

The International Conference on Solid State Devices and Materials is one of the most important and prestigious international conferences held in Japan. The SSDM has provided a good opportunity to present and discuss key aspects of solid state devices and materials since it started in 1969. From 1999 conference, program sub-committees have been established to further advance the SSDM conference activity. This organizational change has led to higher quality paper selection, which results in a higher level of presentations and discussions in the various potential subject areas. The conference has tentatively 10 sub-committees in Core Areas and 4 sub-committees in Strategic Areas, which are continuously focused on pointing our future directions in solid state devices and materials research.

III. 會議議題分類、論文數目

The details of the session titles and areas are listed below (total about 655 papers):

PLENARY SESSION

PL-1-1 Nanotechnology for Sustainable Society”

PL-1-2 More Moore and More Than Moore meeting for 3D in the 21th century

PL-2-1 A Half Century of Esaki Diode and Lasers

PL-2-2 In Half a Century of Research Career, What Did I Explore?

RUMP SESSIONS

Will Carbon Create A New ICT Paradigm Beyond The Silicon Establishments?

Silicon Solar Cells - Their key technologies and future prospects

AREA 1: ADVANCED SI PROCESSING & MATERIALS SCIENCE

B-1: Ge MOS Technology 1

B-2: Ge MOS Technology 2

B-3: High-k Gate Stack

B-4: Process Integration

B-5: Advanced Gate Dielectrics

B-6: Junction Technology

B-7: Dopant Characterization

B-9: Interface and Strain Characterization

C-8: Gate-Insulator Reliability

P-1: Advanced Si Processing & Materials Science

AREA 2: ADVANCED INTERCONNECT /3-D INTEGRATION SCIENCE

H-4: Carbon Interconnect

H-5: Cu/Low-k Integration

H-6: Cu Reliability

H-7: 3D Interconnect

H-8: 3D Integration

H-9: Image Sensor

P-2: Advanced Interconnect /3-D Integration Science

AREA 3: CMOS DEVICES / DEVICE PHYSICS

C-1: Low Frequency Noise

C-2: Transport Physics

C-3: Tunnel & Schottky-S/D FETs

C-4: Tr & SRAM Variabilities

C-5: Si Nanowire Technology

C-6: Advanced CMOS Technology

C-7: FinFET Devices

C-8: Gate-Insulator Reliability

C-9: Emerging Device Technology

P-3: CMOS Devices / Device Physics

AREA 4: ADVANCED MEMORY TECHNOLOGY

E-1: DRAM

E-2: Flash memory I

E-3: Flash memory II

E-4: Flash memory III

E-5: Flash memory IV

E-6: FeRAM

E-7: MRAM

E-8: PRAM/ReRAM

E-9: ReRAM

P-4: Advanced Memory Technology

AREA 5: ADVANCED CIRCUITS AND SYSTEMS

G-1: RF Circuits and systems (1)

G-2: RF Circuits and systems (2)
G-3: Modeling, Variation and Reliability
G-4: Advanced Analog Circuits
G-5: Integrated MEMS/Bio Sensors
G-6: Image Sensors and Interface Circuits
G-7: Data Converter Circuits
P-5: Advanced Circuits and Systems

AREA 6: COMPOUND SEMICONDUCTOR ELECTRON DEVICES AND RELATED TECHNOLOGIES

I-1: III-V high-speed and high-frequency transistors
I-2: GaN HEMTs
I-3: III-V device technologies
I-4: Silicon Carbide devices
I-5: Oxide devices
I-6: GaN power transistors
I-7: Processing and interface technologies
P-6: Compound Semiconductor Electron Devices and Related Technologies

AREA 7: PHOTONIC DEVICES AND OPTOELECTRONIC INTEGRATION

D-1: Nonlinear Optics
D-2: Advanced Design and Measurement
D-3: GaN LED
D-4: Photonic Crystal Devices
D-5: Quantum Dot
D-6: Photonic and Electronic Integration
D-7: Nano Photonics
D-8: Si Photonics (1)
D-9: Si Photonics (2)
P-7: Photonic Devices and Optoelectronic Integration

AREA 8: ADVANCED MATERIAL SYNTHESIS AND CRYSTAL GROWTH TECHNOLOGY

H-1: New Functional Materials
H-2: Growth of Grapheme for Electronics Applications
H-3: Oxides and Nanowires
K-6: Quantum dots
K-7: Growth and Characterization of Nitrides

K-8: Si and Ge-based materials and devices

P-8: Advanced Material Synthesis and Crystal Growth Technology

AREA 9: PHYSICS AND APPLICATION OF NOVEL FUNCTIONAL DEVICES AND MATERIALS

F-1: Graphene Structures and Transport

F-2: Novel Structures

F-3: Spin Manipulation and Photon Detection

F-4: Quantum Dots

F-5: New Functional MOS Structures

P-9: Physics and Application of Novel Functional Devices and Materials

AREA 10: ORGANIC MATERIALS SCIENCE, DEVICE PHYSICS, AND APPLICATIONS

A-1: Organic Device Physics

A-2: Electric Characterization of Organic Semiconductors

A-3: Organic Light Emitting Diodes

A-4: Organic Memory and Related Materials

A-5: Organic Electronics and Device Physics

A-6: Organic Transistors and Device Physics I

A-7: Organic Transistors and Device Physics II

A-8: Organic Transistors and Device Fabrication I

A-9: Organic Transistors and Device Fabrication II

P-10: Organic Materials Science, Device Physics, and Applications

AREA 11: MICRO/NANO ELECTROMECHANICAL AND BIO-SYSTEMS (DEVICES)

G-5: Integrated MEMS/Bio Sensors

G-6: Image Sensors and Interface Circuits

G-8: Bio nanofusion Technologies

G-9: Nanomaterial Applications

L-1: Biosensors

L-2: Silicon Based Biomedical Devices

L-3: Nano Structures and Devices

P-11: Micro/Nano Electromechanical and Bio-Systems (Devices)

AREA 12: SPINTRONIC MATERIALS AND DEVICES

F-6: Spintronics (I) - Spin-related Phenomena and Applications -

- F-7: Spintronics (II) - New Applications -
- F-8: Spintronics (III) - Semiconductors -
- F-9: Spintronics (IV) - Device and Circuits -
- P-12: Spintronic Materials and Devices

AREA 13: APPLICATION OF NANOTUBES, NANOWIRES, AND GRAPHENE

- J-1: Carbon Nanotube Devices
- J-2: Carbon Nanotube Properties and Transport
- J-3: Graphene Photonics and Electronics
- J-4: Graphene's Electrical Properties
- J-5: Graphene Devices
- J-6: Nanowire Transistors
- J-7: Nanowire Growth and Applications
- P-13: Application of Nanotubes, Nanowires, and Graphene

AREA 14: PHOTOVOLTAICS & POWER SEMICONDUCTOR DEVICES

- I-8: Crystalline and Thin Film Silicon Solar Cell (I)
- I-9: Crystalline and Thin Film Silicon Solar Cell (II)
- K-1: Modeling of Power LDMOSFET
- K-2: Power Module Technology
- K-3: Compound Power Semiconductor Devices
- K-4: Next Generation Solar Cells
- K-5: Compound Semiconductor Solar Cells
- P-14: Photovoltaics & Power Semiconductor Devices

IV. 此次發表論文簡介及其重要性

In this conference, we presented two papers entitled “RF Modeling of Through Silicon Vias (TSVs) in 3D IC” and “A Gate-drain Coupling Distributed Amplifier in 90-nm CMOS Technology.”

The first paper is included in Session P-2: ADVANCED INTERCONNECT /3-D INTEGRATION SCIENCE. We proposed a new approach using one-port testing structures to establish the equivalent circuit model of TSVs for 3D IC. Compared with the conventional two-port method, the proposed test structures consumed only a small chip area, and the small serial parasitic elements in the model can be extracted precisely. In addition, the analytical equations were used to verify if the model agrees

the physical structure of the TSV. The S-parameters obtained from the EM simulation, the extract model parameters, and the analytical equations showed excellent agreements up to 50 GHz.

The second paper is included in Session G-4: ADVANCED ANALOG CIRCUITS. We proposed a gate-drain coupling distributed amplifier using 90-nm CMOS technology. By the gate-drain transformer coupling, the signal was reused and the power consumption was reduced significantly while maintaining a large gain-bandwidth product. The gate/drain lines were arranged in a folded manner with the shielded ground to minimize the chip size. The proposed amplifier demonstrated a gain-bandwidth up to 137.2 GHz under a power consumption of only 60 mW.

V. 其他值得注意之議題及論文

There are several exciting breakthroughs in the fields of devices, three-dimension ICs, and RF circuits presented in this conference. The papers are listed below together with the session number and the authors:

1. C-1-2: T. Li *et al.*, “New Insights into Flicker Noise Improvement Mechanism Using Random Telegraph Signal Technique.” The conventional flicker (1/f) noise improvement approaches such as fluorine incorporation and hydrogen sintering are interpreted, for the first time, by detecting the border traps using the random telegraph signal (RTS) technique. The results show that the improvement in low frequency noise by F-incorporation can be mainly attributed to the relaxed trap-to-carrier influence. On contrary, the H₂-annealing is found to improve the low frequency noise by the reduced trap density.
2. G-4-2: K. Sueishi *et al.*, “A 60 dB SFDR Low-Noise Amplifier with Variable Bandwidth for Neural Recoding Systems.” A low-noise amplifier with high dynamic range and wide variable range of bandwidth is proposed. When defining 0.2 V_{pp} output swing, the proposed amplifiers with a feedback resistor of cascade connected 12-MOSFETs operated in the subthreshold achieved a variable low roll-off frequency of 0.04 Hz ~ 30 Hz and more than 60dB SFDR. The input referred noise is 2.5 μ V_{rms}.
3. P-2-3: A. Trigg *et al.*, “Stress Mapping of Silicon Surrounded by Various Through Silicon Via (TSV) Patterns using Polychromator-Based Multi-Wavelength Raman Spectroscopy.” It has been speculated that Si near TSVs are under compressive stress and that stress levels might be different depending upon TSV dimensions and layouts. Even though stress is often considered to be one of suspicious factors for device reliability problems, there has been no direct and easy way to characterize stress in small scale devices. We have demonstrated stress mapping of Si surrounded by TSVs using the MRS-300 multi-wavelength Raman system.

The Raman stress mapping with stress simulation can enhance our understanding of the impact of TSV dimensions and layouts on Si stress and stress induced device reliability problems.

VI. 心得

I am glad to have this great opportunity to attend the *2010 International Conference on Solid State Devices and Materials*, which includes plenty of excellent papers and information for the most advanced technology in this field. I also exchanged my research experiences with other researchers and top-notch engineers in industries and obtained feedback from them.

VII. 致謝

I am very grateful for the funding provided from NSC to support partial of my travel expenses.

出國報告

IEEE Asia Solid-State Circuit Conference TPC Meeting

(07/14/2011–07/15/2011)



Shuohung Hsu (徐碩鴻), Professor
Department of Electrical Engineering
National Tsing Hua University

I. 會議名稱、日期、地點

2011 IEEE A-SSCC Paper Review Meeting

July 14-15, 2011

Samsung Electronics Seocho Complex (SESC), Seoul, Korea

II. 會議緣起

The IEEE A-SSCC 2011 (Asian Solid-State Circuits Conference) is an international forum for presenting the most updated and advanced chips and circuit designs in solid-state and semiconductor fields. The conference is supported by the IEEE Solid-State Circuits Society and will be held in Asia. In 2011, the conference will be held in Korea.

III. 會議議程

DAY ONE: July 14th(Thu.), 2011			
Time	Venue	Event	Note
14:00-17:30	Leaving at the SESC	Samsung Electronics Tour (TBD)	Steering Committee members, TPC Chair / Vice Chair / Co-Chair and Conference Chair / Co-Chair are invited. Some TPC members, if arriving earlier, are also welcome to join. The bus will leave SESC at 14:00. <u>If willing to participate at this activity, please email to Mr. Soq-Kun Song (a-sscc@a-sscc2011.org) to confirm your attendance before June 15th, 2011.</u> (If there are not many applicants, this program can be cancelled.)
18:00 - 20:00	SESC (TBD) and Restaurant Nearby.	Social Hour & Reception Dinner (LOC Chair: Andy Chung)	Steering Committee members, TPC Chair / Vice Chair/ Co-Chair and Conference Chair / Co-Chair are invited. TPC members are cordially requested to join. <u>If willing to participate at this activity, please email to Mr. Soq-Kun Song.</u>

DAY TWO: July 15th (Fri.), 2011			
Time	Venue	Events	Items
08:00 - 08:03	Auditorium (Level Three)	A-SSCC Overview (Steering Committee Chair: T. Sakurai)	
08:03 - 08:05		Welcome Address (Organizing Committee Chair: A. Chung)	
08:05 - 08:15		Overview of Conference Site (Organizing Committee Chair: A. Chung)	1. Site (Hotel, Room, etc.) Information
08:15 - 08:20		Overview of A-SSCC 2011 TPC (TPC Chair: S.-I. Liu)	1. TPC Organization
08:20 - 08:45		Introduction to TPC Members	

		(Sub-committee Chairs)	
08:45 - 08:50		Guideline for Paper Selection (TPC Vice-Chair: T.-H. Lin)	1. Paper Submission Statistics 2. Paper Selection Guideline 3. Conference Schedule
08:50 - 09:00		Student Design Contest (S. Kim & M. Hirata)	
09:00 - 12:00	Sub Committee Rooms (Level Three)	Sub-committee Breakouts	1. Paper Selection
12:00 - 13:00	Cafeteria (Level B1)	Lunch	
13:00 - 14:30		Sub-committee Breakouts	1. Paper Selection (Cont'd)
14:30 - 15:00	Sub Committee Rooms	Session Arrangement (Sub-committees)	Session Assembly Press Kit
15:00 - 15:30		Slot Arrangement (TPC and Sub-committee Chairs)	Slot Assembly
15:30 - 16:00	Auditorium	Report of Sessions (Sub-committee Chairs)	Overview, Statistics & Highlights of Accepted Papers
16:00 - 16:10		Invited Program (T. Kuroda)	Plenary Talks Panel Discussion
16:10 - 16:20		Educational Program (H. J. Yoo)	Tutorial Talks
16:20 - 16:30		Industry Program (S. Rusu)	
16:30 - 16:40		Student Design Contest (S. Kim & M. Hirata)	
16:40 - 16:50		Guidelines for Session Chairs (T.-H. Lin)	Obligations of Session Chairs

V. 心得

I am glad to have this great opportunity to be invited for attending the TPC Meeting for A-SSCC, which is the most important conference for the Asia Solid-State Circuit society. All the TPC members are the experts in this field, which is a great opportunity to exchange the opinion for the latest trend for IC research and also obtain feedback from them.

VI. 致謝

I am very grateful for the funding provided from NSC to support partial of my travel expenses.

國科會補助計畫衍生研發成果推廣資料表

日期:2011/07/27

國科會補助計畫	計畫名稱: 子計畫五: 高速交換機晶片之光導線驅動電路		
	計畫主持人: 徐碩鴻		
	計畫編號: 97-2221-E-007-107-MY3		學門領域: 網路
研發成果名稱	(中文) 重複利用電流之整合電路		
	(英文) Integrated circuit capable of repeatedly using currents		
成果歸屬機構	國立清華大學	發明人 (創作人)	徐碩鴻, 張惟淞
技術說明	(中文) 本發明係關於一種重複利用電流之整合電路, 係包括: 一第一差動輸入對、一第一交互耦合對、一第二差動輸入對、一第二交互耦合對、及一壓控振盪器, 其中, 該第一差動輸入對、該第一交互耦合對、該第二差動輸入對、與該第二交互耦合對係構成一除頻器, 且, 藉由第一差動輸入對、第一交互耦合對、第二差動輸入對、與第二交互耦合對彼此間的連接關係, 該除頻器與該壓控振盪器僅須單一電流驅動, 而使得除頻器與壓控振盪器之整合電路的電路面積、功率消耗與相位雜訊, 皆同時被微小化。		
	(英文) The invention relates to an integrated circuit capable of repeatedly using currents, the integrated circuit comprises: a first differential input pair, a first cross couple pair, a second differential input pair, a second cross couple pair, and a voltage-controlled oscillator, where in the divider is defined of the first differential input pair, the first cross couple pair, the second differential input pair, and the second cross couple pair, moreover, the divider and the voltage-controlled oscillator are merely driven by a single current by way of the connection between the first differential input pair, the first cross couple pair, the second differential input pair, and the second cross couple pair, so that the circuit area, the power consumption, and the phase noise of the integrated circuit are simultaneously reduced.		
產業別	其他專業、科學及技術服務業		
技術/產品應用範圍	產業運用非常廣泛, 一般之RF晶片供應商都能運用之, 如高速無線通訊晶片以及光通訊晶片		
技術移轉可行性及預期效益	此I/O介面電路可授權高速光通訊晶片商及網路通訊晶片商		

註: 本項研發成果若尚未申請專利, 請勿揭露可申請專利之主要內容。

97 年度專題研究計畫研究成果彙整表

計畫主持人：徐碩鴻			計畫編號：97-2221-E-007-107-MY3				
計畫名稱：高速封包交換機之研究--子計畫五:高速交換機晶片之光導線驅動電路							
成果項目			量化			單位	備註(質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等)
			實際已達成數(被接受或已發表)	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比		
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	1	1	100%	件	具有接地共平面波導之光通信系統
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力(本國籍)	碩士生	2	0	100%	人次	
		博士生	1	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	2	2	100%	篇	1. M. Tsai, S. Hsu, F. Hsueh, and C. Jou, 'ESD-protected K-band low-noise amplifiers using RF junction varactors in 65-nm CMOS,' accepted for IEEE Trans. Microwave Theory Tech. 2. M. Tsai and S. Hsu, 'A 24-GHz low-noise amplifier using RF junction varactors for noise optimization and CDM ESD protection in 90-nm CMOS,' IEEE Microwave and Wireless Component Lett., vol. 21, no. 7, pp. 374-376, July 2011.
		研究報告/技術報告	0	0	100%		

		告					
		研討會論文	1	1	100%		IEEE RFIT conference (Invited talk) , , , , CMOS Broadband Amplifiers for Optical Communications and Optical Interconnects' , , , ,
		專書	0	0	100%	章/本	
	專利	申請中件數	1	1	100%	件	OPTICAL COMMUNICATION SYSTEM USING GROUNDED COPLANAR WAVEGUIDE
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (外國籍)	碩士生	1	1	100%	人次	
		博士生	1	1	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

其他成果 (無法以量化表達之 成果如辦理學術活 動、獲得獎項、重要 國際合作、研究成果 國際影響力及其他 協助產業技術發展 之具體效益事項 等，請以文字敘述填 列。)	此計畫研究成果成功在標準 CMOS 製程上實現低功率低成本之高速光電介面前端電路。在學術成就上，為達成規格而進行之電路原理詳細推導，部分已發表於國際學術期刊及研討會，另有部分仍在準備中，顯示研究成果於學術上之影響力及重要性。在技術創新部分，本計畫達成之規格在轉阻增益、電路功耗及晶片成本上皆有所突破，增加快速光交換機及光連結系統實現之可能性。至於社會影響方面，本計畫之成果強化本國在光通訊晶片上的電路設計能力及國際影響力，並提供相關公司此領域中之知識及技巧，吸引廠商進行產學合作或技術移轉進而成為 IC 設計產業中之新領域。此研究成果在與其他電路之整合構成系統之計畫持續進行中，其一為與本校光電所合作與矽製程基底之光波導、光偵測器、光調變器之整合，驗證晶片間光連結系統之可行性。上述研究已吸引許多廠商(包含半導體廠及高速光電元件廠)之注意，並洽詢合作之可能性。至於本計畫中光交換機之整合實現亦持續進行中，預期完成針對交換機電路之介面電路參數調整及整合驗證。						
--	--	--	--	--	--	--	--

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

☒ 達成目標

☐ 未達成目標（請說明，以 100 字為限）

☐ 實驗失敗

☐ 因故實驗中斷

☐ 其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文：☒ 已發表 ☐ 未發表之文稿 ☐ 撰寫中 ☐ 無

專利：☐ 已獲得 ☒ 申請中 ☐ 無

技轉：☐ 已技轉 ☒ 洽談中 ☐ 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

此計畫研究成果成功在標準 CMOS 製程上實現低功率低成本之高速光電介面前端電路。在學術成就上，為達成規格而進行之電路原理詳細推導，部分已發表於國際學術期刊及研討會，另有部分仍在準備中，顯示研究成果於學術上之影響力及重要性。在技術創新部分，本計畫達成之規格在轉阻增益、電路功耗及晶片成本上皆有所突破，增加快速光交換機及光連結系統實現之可能性。至於社會影響方面，本計畫之成果強化本國在光通訊晶片上的電路設計能力及國際影響力，並提供相關公司此領域中之知識及技巧，吸引廠商進行產學合作或技術移轉進而成為 IC 設計產業中之新領域。此研究成果在與其他電路之整合構成系統之計畫持續進行中，其一為與本校光電所合作與矽製程基底之光波導、光偵測器、光調變器之整合，驗證晶片間光連結系統之可行性。上述研究已吸引許多廠商（包含半導體廠及高速光電元件廠）之注意，並洽詢合作之可能性。至於本計畫中光交換機之整合實現亦持續進行中，預期完成針對交換機電路之介面電路參數調整及整合驗證。