

# 行政院國家科學委員會專題研究計畫 成果報告

適用於智慧型運輸系統的 E-Band CMOS 分時多工傳收機--  
子計畫四：適用於 E-band 智慧型運輸系統之高速類比數位  
轉換器(3/3)

研究成果報告(完整版)

計畫類別：整合型

計畫編號：NSC 99-2220-E-002-005-

執行期間：99 年 08 月 01 日至 100 年 10 月 31 日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳信樹

報告附件：出席國際會議研究心得報告及發表論文

公開資訊：本計畫涉及專利或其他智慧財產權，2 年後可公開查詢

中 華 民 國 100 年 12 月 21 日

中文摘要： 高速度、低功率管線式類比／數位轉換器矽智產是無線傳收機系統單晶片例如適用於智慧型運輸系統的 E-Band CMOS 分時多工傳收機的關鍵電路。由於製程技術的進步，類比／數位介面電路不可避免地必須設計於低電壓的標準數位 CMOS 製程，使其易與後端雷達通訊基頻電路整合。而內建式類比／數位轉換器設計於先進製程中，不可避免的會遇到低電壓、低增益和漏電流等諸多限制。10 位元，200MS / s 的單通道管線式 ADC 使用的電容共享的概念設計。為了提高電源效率，在第一級中使用創新的電荷中和技術和參考預充電技術以消除記憶效應，更在第二級使用別人無法使用的電容共享概念。在 90nm CMOS 製程中，原型 ADC 展示 1.59/-1.91 LSB 的 INL 和 0.70/-0.75 LSB 的 DNL。它的 ENOB 是在奈奎斯特輸入頻率和 2MHz 分別為 8.0 位元和 8.5 位元，在 200MS / s 的採樣率，在 1.2V 電源下消耗 45.4mW，並佔有 0.53 平方毫米的有效晶片面積。

中文關鍵詞： 管線式類比／數位轉換器、電容分享、電源效率、高速度、矽智產

英文摘要： High-speed low-power pipelined Analog-to-Digital Converters (ADCs) IPs are key components for wireless transceiver SoCs such as an E-Band CMOS TDM Transceiver System for Intelligent Transportation. For the reason of easy integration with complex digital signal processing circuitry of radar and communication baseband processor in advanced technologies, ADC IC designers are challenged with analog circuits implemented in a low-voltage standard digital CMOS process. Design bottlenecks of the embedded ADCs include low signal swing, low intrinsic dc gain and leakage current. A 10-bit, 200MS/s single-channel pipelined ADC using the capacitor-sharing concept is designed. To enhance the power efficiency, the proposed charge-neutralization technique and reference precharge technique are utilized to remove the memory effect in the first stage and to apply the concept in the second stage. The prototype ADC in 90-nm CMOS process exhibits an INL of +1.59/-1.91 LSB and a DNL of +0.70/-0.75 LSB. Its ENOB is 8.5 bits at input frequency of 2MHz and 8.0 bits at Nyquist input frequency with the sampling rate of 200MS/s. It consumes 45.4mW at 1.2V supply

and occupies an active chip area of 0.53 mm<sup>2</sup>.

英文關鍵詞： Pipelined analog-to-digital converter, capacitor-sharing, power efficiency, High-Speed, IP

# 行政院國家科學委員會晶片系統國家型科技計畫成果報告

總計畫：適用於智慧型運輸系統的 E-Band CMOS 分時多工傳收機(3/3)

子計畫四：適用於 E-band 智慧型運輸系統之高速類比數位轉換器(3/3)

Time-interleaved multiplex transceiver for intelligent transportation system—

Subproject4: A High-Speed ADC for E-band intelligent transportation system (3/3)

計畫編號：NSC 99-2220-E-002-005-

執行期限：99年8月1日至100年7月31日

總計畫主持人：汪重光博士 台灣大學電機系電子工程研究所

子計畫主持人：陳信樹博士 台灣大學電機系電子工程研究所

## 一、中文摘要

本研究計畫是要設計出一個可應用於 E-band 智慧型運輸系統的高速類比數位轉換器。

關於高速類比數位轉換器，為了滿足速度與解析度的要求，我們採用的架構為管線式類比數位轉換器。為了要達到低功率消耗，本管線式類比/數位轉換器使用電容分享技術，並且有以下的改進：

第一，第一級 MDAC 採用我們所提出的，一個不需放電相位的電容分享技術，以避開了放電相位的副作用。

第二，藉由巧妙的切換方式，第二級 MDAC 也可以使用電容分享技術，並且使得功率消耗更進一步的減少。

第三，第一級使用2-bit MDAC，能減低對運算放大器輸出擺幅(output swing)，迴轉率(slew rate)的要求。

實驗結果顯示類比/數位轉換器在轉換率200 MS/s 且輸入訊號為99.9MHz 以及 1.99MHz 下，SNDR 分別達到

50.25dB 以及只53.14dB。本晶片共消耗45.4mW 當電源電壓為1.2V。

**關鍵詞：**類比/數位轉換器、管線式、高速、低功率

## Abstract

A high-speed (Analog to Digital Converter) ADC is developed in this research project for broadband wireless transceiver for E-band intelligent transportation system.

To satisfy the resolution and speed, the pipelined architecture is chosen for ADC. To achieve low power consumption, the pipelined ADC uses capacitor-sharing technique with the improvements as below:

First of all, the first MDAC of the pipelined ADC adopts the proposed capacitor-sharing technique without discharge phase, which does not have the penalty.

Secondly, by an improved switching topology, the capacitor-sharing technique

is applied on the second MDAC. Thus, the power consumption is further decreased.

Thirdly, the 2-bit MDAC is used to relieve the opamp output swing and slew-rate requirements.

The experimental results show that the SNDR of ADC at 200MS/s with 100MHz and 1.99MHz input are 50.25dB and 53.14dB, respectively. It consumes 45.3mW with 1.2V supply voltage.

**Keywords:** Analog to digital converter, pipeline, high speed, low power

## 二、文獻蒐集及研討

有校正(calibration)機制的管線式類比數位轉換器，因可校正如有限的低頻增益，電容不匹配等等錯誤，故可以使用低增益，簡單架構且高速的放大器，以及僅僅滿足  $KT/C$  條件的電容，做出高速的管線式類比數位轉換器。然而鑒於校正電路目前仍須龐大的晶片內 SRAM 或晶片外 FPGA/電腦 Matlab simulink，儲存並處理校正的信號，需要龐大晶片面積/功率消耗或資源。雖然隨著製程進步，實現一個高增益高擺幅的放大器越來越困難，但是在電容大小仍然要考慮電容不匹配等條件，從實用性、量產性等考量，產業界或學術界近幾年

還是有許多發表文獻仍使用無校正(calibration-free)的高增益放大器，1.5bit 或 2.5bit 傳統架構，重點朝向 opamp 最佳化(如 Class AB op，3-stage op)，或是使用為類比電路量身訂做的特殊製程。

無校正的管線式類比數位轉換器還有一個仍具開發潛力的方向，叫做電容分享(Capacitor-sharing)的技術。此概念於 2005 年開始萌芽，直到 2011 年目前，已經有數篇相關 JSSC 文獻。但這些文獻所提出的切換方式，仍有一些副作用，這也是吾人切入的一個契機，是否有辦法藉由簡單的改變，達成無副作用的電容分享技術。

### ● 文獻二[1]:

為了得到電容分享的好處同時能維持回授因子的最大化，圖(一)的電容分享切換方式被提出。由於傳統 1.5bit MDAC 在放大相位時的回授電容，在取樣相位時需要翻回去取樣新一筆的資訊。而電容分享技術的回授電容必須翻到下一級的 MDAC 參與放大的功能，同一個電容不可能同時在前端當作取樣電容。為了解決這矛盾，作者提出使用兩套電容的切換方式，這樣卻帶來了一些副作用，第一級的電

容增加為兩套，需要另外做出  $F_s/2$  的相位以輪流切換這兩套電容。而且時間內差的非線性度也會因此出現。

● 文獻三[2][3]:

雖然上述方法可以達到電容分享同時維持回授因子最大化，但其需要兩套電容，額外的切換方式，因此有人提出用非翻轉式的開關電容架構(non-flip-around switched capacitor amplifier)的切換方式，如圖(二)，雖然這種方式的回授因子從  $1/2$  降到  $1/3$ ，但因為其回授電容不需要翻回前端作取樣，上述的矛盾就可以化解了。但這種電容分享切換方式還有一個潛在的問題。當把回授電容拆成兩個小電容，其中一個下板接到放大器輸出，另一個下板接到 DAC2。當這兩個小電容完成第二級的  $2V_{OUT1}-D_2V_R$  的功能後，要翻回去第一級時，為了取消電容上的殘餘電荷，作者在兩個相位間，插入一個放電相位如圖(二)，把上板的電荷經由開關放電完畢後，再把電容從第二級翻回第一級，進行第一級的放大。因為引進放電相位的緣故，排擠了放大相位的時間，達20%之多，故雖然這種切換方式解決了前面的問題，卻又使得效率降低。

### 三、研究方法及架構

圖(三)是整個數位類比轉換電路的核心基本架構，2-bit MDAC1 加上 1.5-bit MDAC 七級，後端是 2bit flash，其中前兩級 MDAC 是有著所提出特殊電容分享切換方式的 MDAC，後端是標準的 1.5bit MDAC。

#### 1. 減少 opamp 輸出擺幅的 2bit MDAC1 之架構簡介

從圖(四)可知 non-flip-around 1.5bit MDAC 的架構比 flip-around MDAC 多出電容底板，只要多增加一個比較器變成 2bit flash，就能做出 four-level DAC。ADC input swing 仍舊是  $-V_R \sim +V_R$ ，然而 opamp output swing 在 2bit MDAC 輸入輸出特性曲線的限制下只需  $-0.5V_R \sim +0.5V_R$ ，第一級輸出範圍(同時也是第二級輸入範圍)被限制在比較小的區間，往後的每一級都因此跟著不需要用到那麼大的輸入輸出曲線範圍，在 MDAC offset(comparator offset + opamp offset)有 3b 準確度的前提下，這改變就能將 opamp swing 從  $\pm V_R$  降到  $\pm 0.75V_R$ ，在比較器有 4b 準確度的前提下，opamp swing 降到  $\pm 0.625V_R$ 。這種方式得

到的好處有：

- a. 因 slew 的距離從  $1V_R$  降到  $0.75V_R$  (假定 3bit 準確度的比較器), slew 時間只須原來的  $3/4$
- b. 因 opamp swing 需求從  $V_R$  降到  $0.75V_R$  (假定 3bit 準確度的比較器), opamp 輸出級的設計變得容易。  
。可以明顯減少 voltage headroom 的問題。

在先進製程電壓越來越低的趨勢下，這個小改變是十分有效且不需付出明顯的代價。

## 2. 第一、二級 MDAC：

見圖(五)及圖(六)，，當被借到第二級的電容要翻回第一級當做第一級的回授電容時，上頭還殘餘著  $-C \cdot D_2 \cdot V_R$  的電荷，這電荷會讓  $V_{OUT1}$  出現  $+(C \cdot D_2 \cdot V_R)/(2C)$  的電壓錯誤分量  $(-0.5V_R, 0, +0.5V_R \text{ for } D_2=-1, 0, +1)$ ，這分量可藉由在對應大小的電容  $C_{NEUTRAL}$  的底板，接上  $D_2 \cdot V_R$  來中和。

如此一來，藉由  $C_{NEUTRAL}$  的中和的作用，我們可以不需要引進放電相位，使得放大時間增加 20% 之多。

## 3. 第二、三級 MDAC：

如圖(七)所示，這時將 MDAC2 接成

non-flip-around 放大器的放大方式，因為要傳到下一級的電荷已經存在第一級的回授電容上頭了，所以不需要接下一級的負載/ 取樣電容。圖(八)的右半部有三個電容，在這相位各自先充電到  $+V_R$ ,  $0$ ,  $-V_R$ 。

如圖(八)所示，根據比較器的輸出，比方說  $V_{IN} > +1/4V_R$ ，選取已經事先充電到  $-V_R$  的電容當第三級的回授電容， $V_{OUT3} = D_3 \times V_R + C_s/C_f \times V_{IN} = -V_R + 2V_{IN}$ ，這個放大電路就能做出  $2V_{IN} - V_R$  的功能，同理，選取其它兩個電容當第三級的回授電容，分別能做出  $2V_{IN} + V_R$ ,  $2V_{IN}$  的功能。如此一來，第二級也可以使用電容分享的技術，進一步減少功率消耗。最後，第四級之後為傳統的 1.5bit/stage. 在此不加以詳述。

## 四、電路實現

### ● 輸入取樣開關比較器及拔靴式開關模擬結果

因為比較器及拔靴式開關不是主要瓶頸的電路，故我們沿用常見的電阻式分壓比較器及一般的拔靴式開關架構。

如圖(九)拔靴式開關線性度可達 10bit 以上，比較器跑 monte carlo 約有

40mv offset(3 sigma)。

- 運算放大器(opamp)

我們採用了 cascoded current mirror OTA，原因是 current mirror 不像 folded cascode 有 folded 摺疊點，ro 不會跟其他電晶體並聯而變小，故其直流增益(DC Gain)比 folded cascode 略高一點。

另一個原因在於其  $GBW=B \times gm/C_{Load}$ ，B 是電流鏡比例，如果  $B=3$  的話，則 input device 看入的寄生電容只有 folded cascode 的  $1/3$ ，也可以得到跟 folded cascode 一樣的 GBW，slew rate，所以這種 OTA 滿足我們的需求。圖(十)是 opamp 的架構。

## 五、模擬結果

- 類比數位轉換器的運算放大器模擬

圖(十一)為波得圖，運算放大器直流增益為 72.72dB，相位邊界為  $66^\circ$ ，單位增益頻寬為 4.21GHz。

- 類比數位轉換器電晶體等級全晶片系統 FFT 模擬

如圖(十二)所示，在取樣頻率為 250MHz，輸入頻率為 124.9MHz 的情況下，SNDR 為 58.73dB，ENOB 為 9.46 bits。功率消耗為 48mW 在電源電壓為 1.2V 時。

## 六、類比數位轉換器量測結果

如圖(十三)所示，在取樣頻率為 200MHz，輸入頻率為 1.99MHz 的情況下，SNDR 為 53.13dB，ENOB 為 8.53 bits。在取樣頻率為 200MHz，輸入頻率為 99.9MHz 的情況下，SNDR 為 50.25dB，ENOB 為 8.05 bits。

圖(十四)為輸入頻率為 1.99MHz，取樣頻率由低頻至高頻升高所對應的 ENOB 之圖。圖(十五)為取樣頻率為 200MHz，輸入頻率由低頻至高頻所對應的 ENOB 之圖。

功率消耗為 45.4mW 在電源電壓為 1.2V 時。INL，DNL 分別為 +0.70LSB / -0.75LSB，+1.59LSB / -1.91LSB。晶片圖見圖(十六)

## 七、結論

在增益可調整的放大器的部分，我們使用了電阻回授與電流回授的技術，來達到高速高線性度的要求。

在 ADC 的部分，我們提出一種電容分享的切換方式以提升取樣速度，相較於其它已發表的電容分享切換方式，本設計的副作用較少，並善加利用非翻轉式的開關電



容架構，天生多一個電容底板的特性，多接一組 DAC 改變餘數特性曲線。藉由巧妙的切換方式使得電容分享的技巧應用在前兩級，使得功率消耗得到更進一步的減少。

增益可調整的放大器的部份  
目前進行到模擬階段，而類比數位  
轉換器已經確認功能無誤，接下來  
就要進行更進一步的高速部份的  
量測。

## 八、參考文獻

- [1] N. Sasidhar, Y. Kook, S. Takeuchi, K. Hamashita, K. Takasuka, P. Hanumolu, and U. Moon, "A 1.8V 36mW 11bit 80MS/s pipelined ADC using capacitor and opamp sharing," *IEEE Asian Solid-State Circuits Conf.*, pp. 240-243, Nov. 2007.
- [2] B. Min, G. Manganaro, J. W. Valvano, and B. Lee, "A 14b 100MS/s Pipelined ADC with a Merged Active S/H and First MDAC," *ISSCC 2008*.
- [3] B.G. Lee and R.M. Tsang, "A 10-bit 50 MS/s Pipelined ADC With Capacitor-Sharing and Variable-gm Opamp," *IEEE J. Solid-State Circuits*, vol.44, pp. 883, Mar. 2009.

- [4] O. Stroeble, V. Dias, and C. Schwoerer,”  
An 80 MHz 10 b pipeline ADC with dy-  
namic range doubling and dynamic refer-  
ence selection,” ISSCC 2004.

## 九、圖表

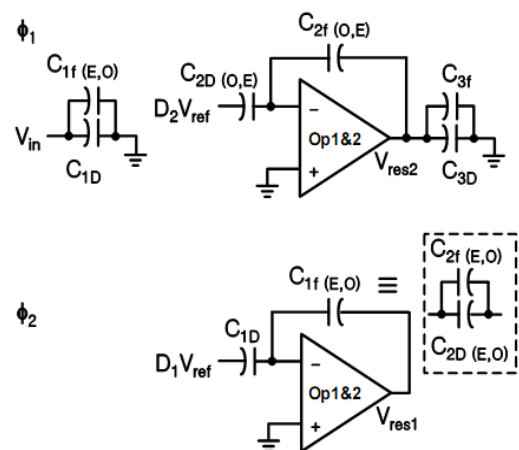
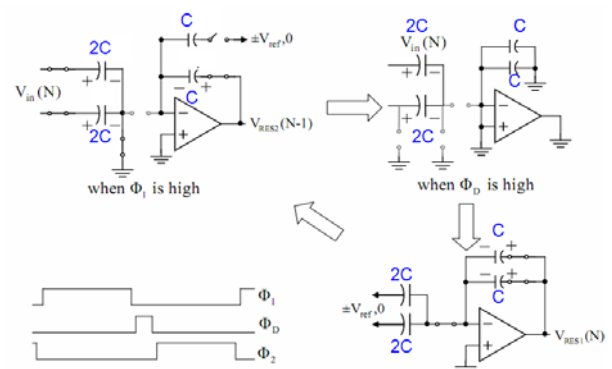


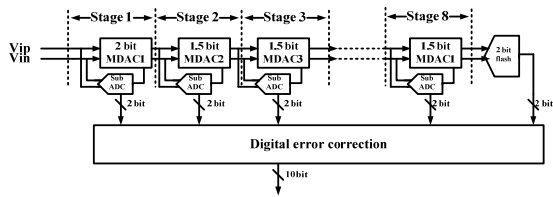
Figure 3: Residue generation using capacitor and opamp sharing technique

圖(一) 使用兩套電容輪流切換的電容分  
享切換方式

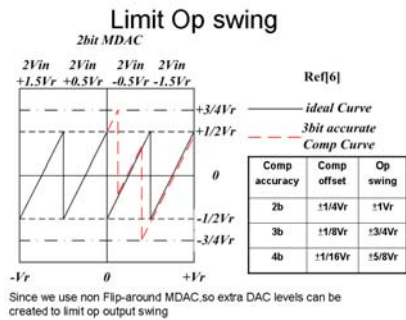


Ref.[4] : A 14b 100MS/s Pipelined ADC with a Merged Active S/H and First MDAC  
B. Min , G. Manganaro , J. W. Valvano B. Lee ISSCC 2008 Session 12.6

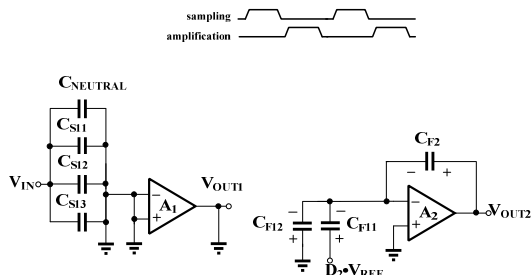
圖(二) 需要放電相位的電容分享切換方式



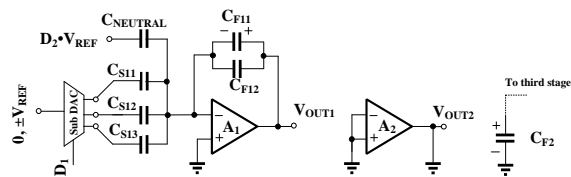
圖(三) 整體架構



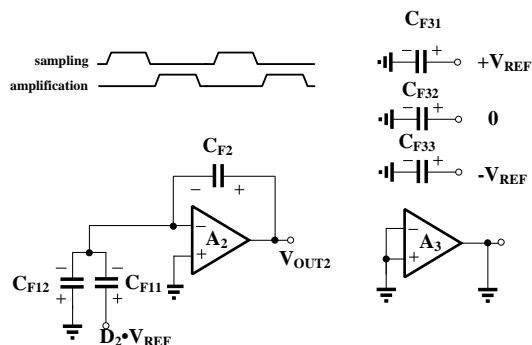
圖(四) 減少 opamp 輸出擺幅



圖(五) MDAC1 sample, MDAC2 hold

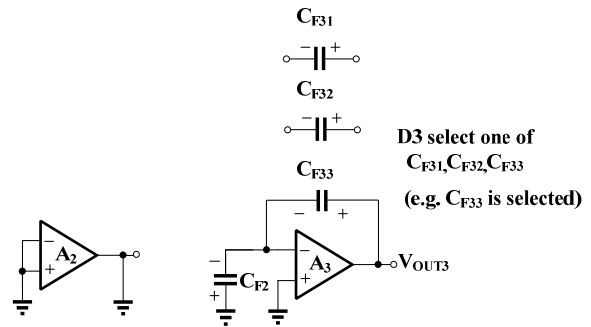


圖(六) MDAC1 hold, MDAC2 sample



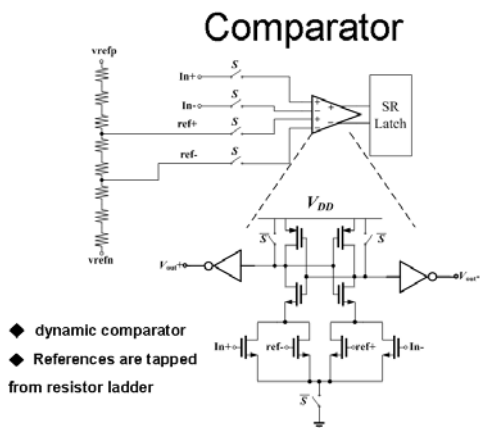
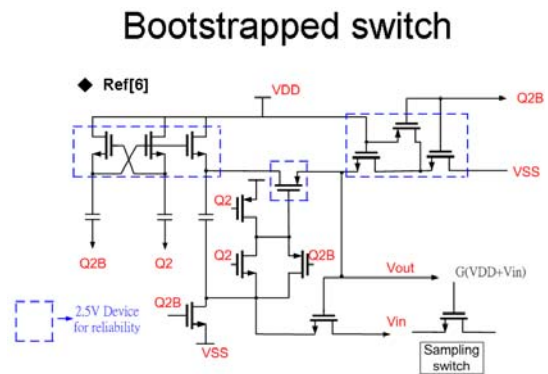
圖(七)所提出架構 MDAC2 hold, MDAC3

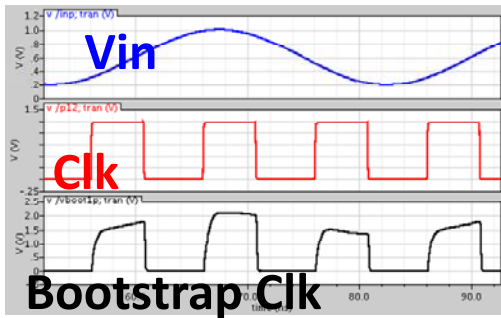
sample



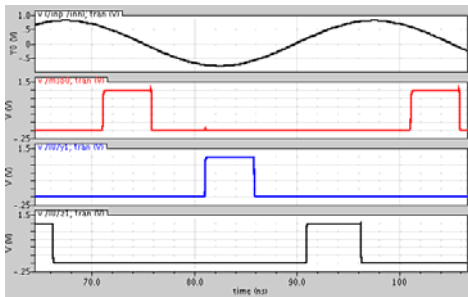
圖(八) 所提出架構 MDAC2 hold, MDAC3

sample

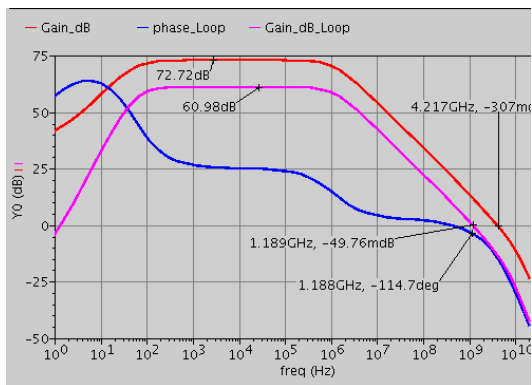




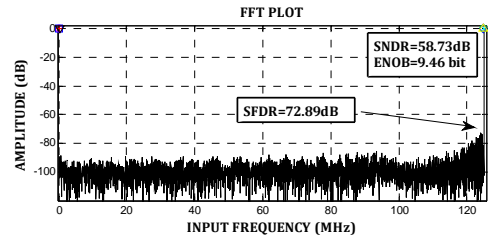
圖(九)：比較器及拔靴式開關架構圖及模擬結果



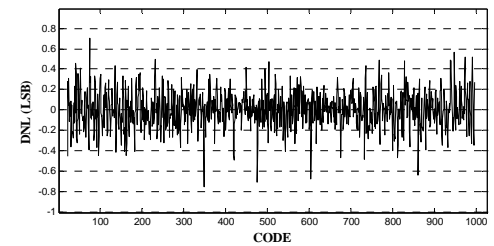
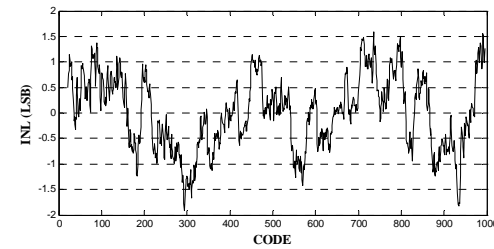
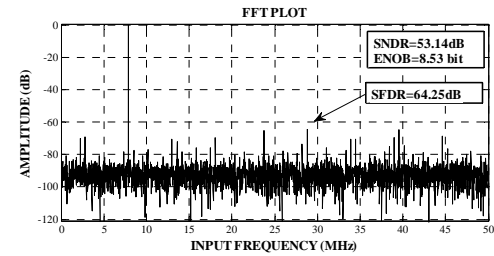
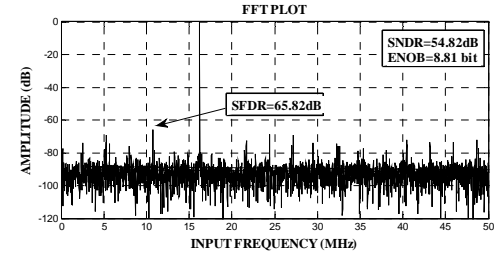
圖(十) cascode current mirror opamp 電路



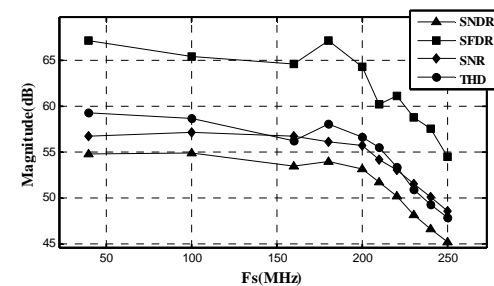
圖(十一) cascode current mirror OTA AC pre-sim



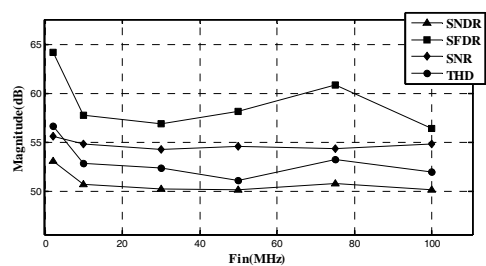
圖(十二) 全晶片系統 FFT 模擬



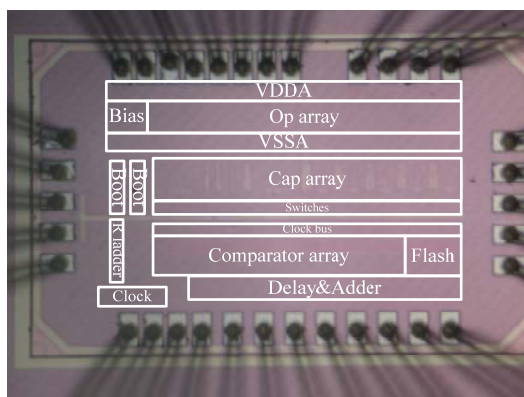
圖(十三) FFT(1.99MHz), INL, DNL 量測結果



圖(十四)ENOB V.S.  $F_s$  @  $F_{in}=1.99\text{MHz}$



圖(十五)ENOB V.S.  $F_{in}$  @  $F_s=200\text{MHz}$



# 行政院國家科學委員會補助國內專家學者出席國際學術會議報告

100 年 3 月 11 日

附件三

報告人姓名	陳信樹	服務機構及職稱	國立台灣大學電機系電子研究所 副教授
時間 會議 地點	100 年 2 月 20-24 日 美國 San Francisco	本會核定 補助文號	NSC 99-2220-E-002 -005 -
會議 名稱	(中文) 2011 國際電機電子協會國際固態電路會議 (英文) 2011 IEEE International Solid State Circuit Conference (ISSCC)		
發表 論文 題目	(中文) (英文)		
<p>報告內容應包括下列各項：</p> <p>一、參加會議經過</p> <p>2 月 18 日抵達美國加州 San Francisco 參與會議。會議結束後於 2 月 24 日離開 San Francisco。</p> <p>二、與會心得</p> <p>於此次會議中，見到許多大學及公司研究機構發表生醫儀器系統之類比前端電路、汽車無線通訊系統之高效能類比積體電路、和綠能電子之電源轉換器的最新發展，其中在省電上及系統整合上更有不斷的進展，可見這些領域的實際應用仍然是激烈地發展中。台灣的生醫 IC、通訊 IC 及綠能設計製造業應朝此方向繼續發展，以把握市場先機。此外，Biomedical Instrument、Automobile TDM Transceiver、4G LTE、適用於高速行動通訊的無線區域網路、可攜式醫療設備及綠能環保電子亦是會議討論重點。許多理論及新的設計均在學術界及工業界熱烈發展。</p> <p>三、建議</p> <p>台灣的學術界包括本實驗室應多發表新的生醫 IC、通訊 IC 及綠能 IC 設計，以為國內下一波的生醫、通訊及綠能工業奠定基礎。台灣的通訊製造業應可朝實現先進 4G LTE 收發機發展以把握市場先機。至於生醫、綠能業仍有極大的研究發展空間可向前邁進。</p> <p>四、攜回資料名稱及內容</p> <p>會議論文集 CD-ROM。</p> <p>五、其他</p>			

# 國科會補助計畫衍生研發成果推廣資料表

日期:2011/12/21

國科會補助計畫	計畫名稱：子計畫四：適用於E-band智慧型運輸系統之高速類比數位轉換器(3/3)	
	計畫主持人：陳信樹	
	計畫編號：99-2220-E-002-005-	學門領域：晶片科技計畫--整合型學術研究計畫
無研發成果推廣資料		

99 年度專題研究計畫研究成果彙整表

計畫主持人：陳信樹			計畫編號：99-2220-E-002-005-				
計畫名稱：適用於智慧型運輸系統的 E-Band CMOS 分時多工傳收機--子計畫四：適用於 E-band 智慧型運輸系統之高速類比數位轉換器(3/3)							
成果項目			量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）
			實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比		
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	1	1	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（本國籍）	碩士生	3	3	100%	人次	
		博士生	1	1	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	1	1	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	1	1	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（外國籍）	碩士生	3	3	100%	人次	
		博士生	1	1	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p>其他成果</p> <p>(無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	<p>榮獲國科會整合型計畫「績優計畫獎」。</p>
---	---------------------------

	成果項目	量化	名稱或內容性質簡述
<div> 科 教 處 計 畫 加 填 項 目 </div>	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與（閱聽）人數	0	



# 國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

## 1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

☒ 達成目標

☐ 未達成目標（請說明，以 100 字為限）

☐ 實驗失敗

☐ 因故實驗中斷

☐ 其他原因

說明：

## 2. 研究成果在學術期刊發表或申請專利等情形：

論文：☐ 已發表 ☒ 未發表之文稿 ☐ 撰寫中 ☐ 無

專利：☐ 已獲得 ☒ 申請中 ☐ 無

技轉：☐ 已技轉 ☐ 洽談中 ☒ 無

其他：（以 100 字為限）

## 3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

學術：

1. 發表電路的論文於重要研討會及投稿期刊中(ASSCC、JSSC 等)。

2. 對於 CMOS 在高速的特性掌握更為明確，例如電路佈局中的金屬繞線、雜散電容等。

3. 提出一個適用於 77G 無線接收機的高速低功率類比數位轉換器，在應用無線傳收機廣泛的手持產品中，有限的電源中減少不必要的功率消耗。

社會：

1. 如能實現平價的 CMOS 製程之高速低功率類比數位轉換器，便可以使此種技術普及化，並應用於 77G 車用雷達中，大幅降低車禍事故的發生率，降低耗費的社會成本，以及增進駕駛的便利性

經濟：

1. 高速低功率的類比數位轉換器及傳收機可使 mobile SOC 功能更加持久，並利用 CMOS 製程大幅減少成本。