IEDMS

CMOS Devices

CMOS and Interconnect Reliability

Displays, Sensors, and MEMs

Integrated Circuits and Manufacturing

Memory

[CIR]
CMOS and Interconnect Reliability

IEDMS

Solid-State and Nanoelectronic Devices

Modeling and Simulation

Quantum, Power, and Compound Semiconductor Devices

Process Technology

整合型計畫

新穎多孔性氮碳化矽材料及氣隙內連接可行性之研究 (I)

計畫編號：NSC 97-2221-E-009-160
主持人：呂志鵬　　單位：交通大學材料科學與工程學系(所)
E-mail: jimleu@mail.nctu.edu.tw　電話: 886-3-5131420

計畫簡介

Development of low-k materials has been the primary effort in the backend interconnects to minimize the RC delay in the ULSI devices. Evolutional approach of ultra-low k materials (k < 2.5) focuses on porous materials through the incorporation of sacrificial, low- or high-temperature porogens, which still have challenging issues in barrier reliability and mechanical integrity.

In this work, a home-built PECVD system has been established to successfully deposit and study SiC_xN_y and porous SiC_xN_y using 1, 3, 5-trimethyl-1, 3, 5-trivinylcyclotrisilazane (VSZ) and epoxycyclohexane (ECH) or polystyrene (PS) as a matrix and a porogen, respectively. The SiC_xN_y films were deposited by radio-frequency (RF) PECVD using 1, 3, 5 -trimethyl-1, 3, 5-trivinylcyclotrisilazane (VSZ) as a single source precursor under various deposition conditions. VSZ was a good candidate precursor for SiC_xN_y films because its vinyl group can be broken up to form a cross-linked structure easily. The execution of this project is on track to explore methods in controlling various pore sizes using free-radical polymerization porogen in nanocomposite and/or grafting onto a polysilazane.

研究項目適用領域

1. Novel low dielectric constant of etch-stop layer.
2. Porous material & its reliability.

主要具體貢獻

1. Young's modulus and hardness of SiC_xN_y films, using VSZ as a single source precursor, were higher than others SiC_xN_y films using hexamethyldisilazane (HMDS) due to its vinyl groups forming a cross-linked structure under PECVD deposition conditions.
2. Using free-radical polymerization porogen controlled the pore size of porous SiC_xN_y films.
3. The related report has been published on 2008 MRS fall meeting and 2008 MRS-T conference.

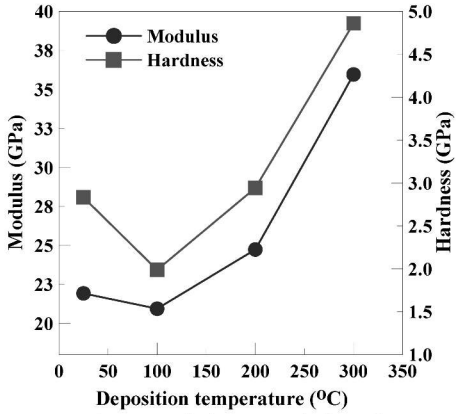


Fig. 1 Young's modulus and hardness of the SiC_xN_y films as a function of deposition temperatures.

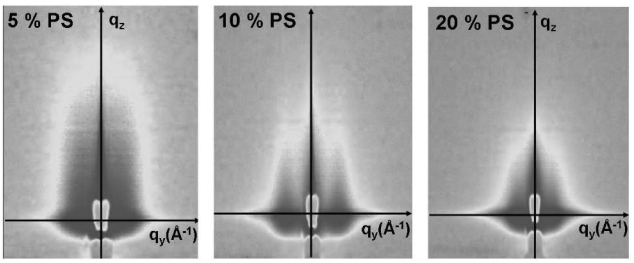


Fig. 2 The 2-D GISAXS pattern of VSZ with varied PS loading after annealed treatment.

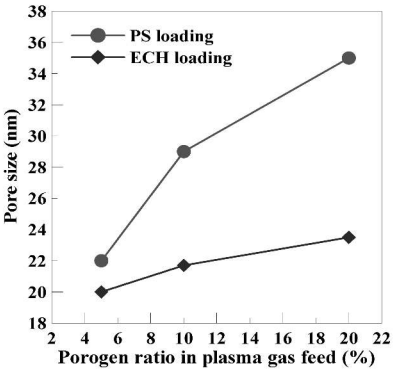


Fig. 3 The pore size of porous SiC_xN_y films along with varied porogen ratio in plasma gas feed using ECH and PS porogen precursor.

奈米元件高介電常數閘極介電層靜電突波損傷之可靠度研究

計畫編號：NSC 97-2221-E-035-090
主持人：林成利　　單位：逢甲大學/電子工程學系
E-mail: clilin@fcu.edu.tw　　電話:(04)24517250 ext. 4969

計畫簡介

本計畫主要研究鉿基閘極高介電質經熱退火處理之 TDDB 崩潰行為與可靠度研究；以及閘極高介電質經靜電突波損傷之裂化研究。本計畫已針對 HfO_2 與 $HfSiO_x$ 兩種高介電質提出最佳電性及可靠度之氮氣熱退火處理溫度，並提出相關 TDDB 可靠度崩潰行為模式。相關論文已發表於 2009 IEEE IPFA 國際會議。

研究項目適用領域

1. Metal Gate/High-κ CMOS 元件技術
2. Advanced Device application with High-κ gate dielectric
3. ESD application

主要具體貢獻

1. Propose optimal annealing temperature
2. Propose the breakdown behavior and model
3. Reliability improvement of high-κ gate dielectric

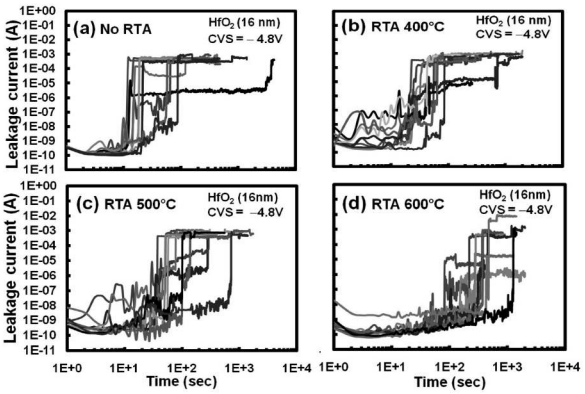


圖 1 HfO_2 高介電質經不同溫度熱退火處理之 TDDB 崩潰行為。

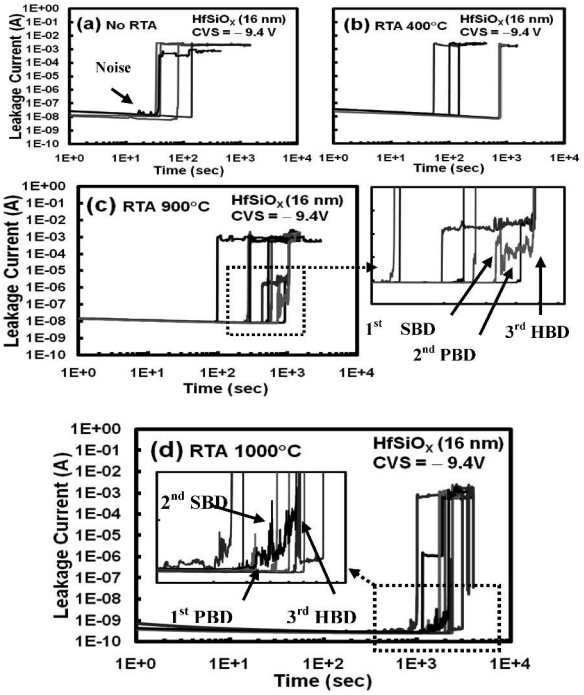


圖 2 $HfSiO_x$ 高介電質經不同溫度熱退火處理之 TDDB 崩潰行為。

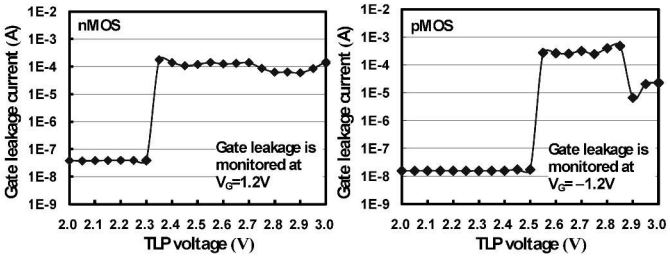


圖 3 高介電質 SiON (1.4 nm))經各種 ESD TLP 電壓(pulse width 100 ns) 破壞測試(zapping)後之閘極漏電流。由圖得知 nMOS 與 pMOS 閘極介電層最大可承受 TLP 電壓分別為 2.3V 與−2.5V。

p通道橫向擴散矽金氧半元件之可靠度研究

計畫編號：NSC 97-2221-E-006-246

主持人：陳志方　　單位：國立成功大學微電子工程研究所
E-mail: jfchen@mail.ncku.edu.tw　電話: (06)2757575 ext 62395

計畫簡介

本計畫探討熱載子對p通道橫向擴散矽金氧半元件造成的退化，結果顯示元件閘極偏壓在第二個基板電流峰值時，元件有最大之退化。藉由實驗結果的分析，可得知元件參數退化是因為通道中 interface state (ΔN_{it})、閘極控制區下方漂移區內ΔN_{it}、與閘極控制區外漂移區內負電荷(ΔN_{ot})的產生。

研究項目適用領域

1. 高電壓金氧半場效電晶體特性
2. 整合型高電壓元件
3. 高電壓元件可靠度

主要具體貢獻

1. 探討元件之熱載子可靠度
2. 探討元件退化之物理機制

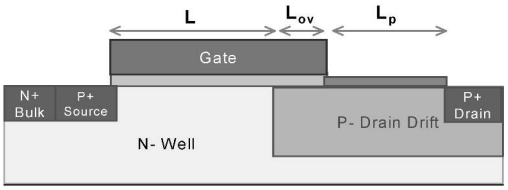


圖 1 本研究所使用的元件結構圖

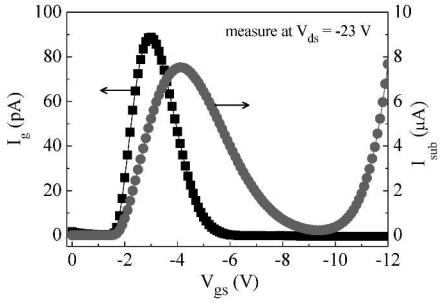


圖 2 元件之閘極電流(I_g)與基板電流(I_{sub})

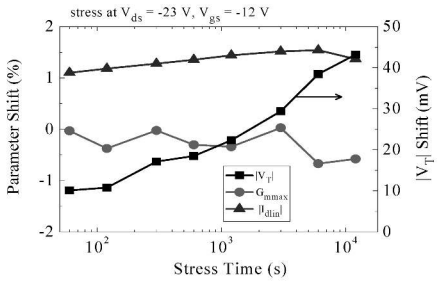


圖 3 熱載子測試時元件參數偏移之結果

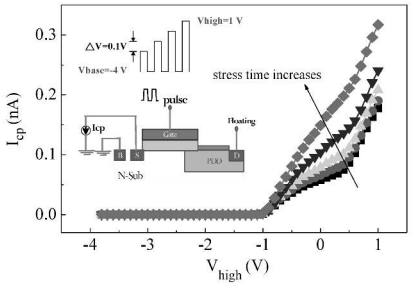


圖 4 I_{cp}之結果以偵測在 L 區域產生的ΔN_{it}與ΔN_{ot}

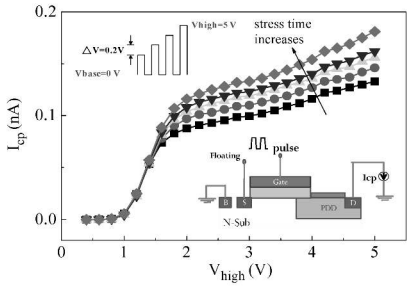


圖 5 I_{cp}之結果以偵測在 L_{ov} 區域產生的ΔN_{it}與ΔN_{ot}

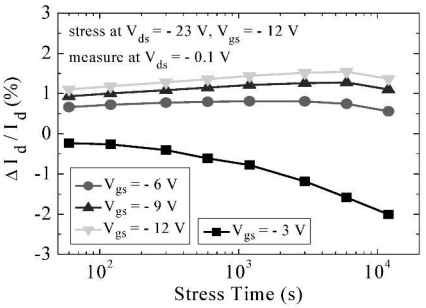


圖 6 熱載子測試時不同量測 V_{gs} 條件下元件 I_d 之退化

次世代奈米積體電路元件之電化學銅合金化內連接導線製程研發

計畫編號：NSC 97-2221-E-35-88
主持人：陳錦山　　單位：逢甲大學材料科學與工程系
E-mail:gschen@fcu.edu.tw　　電話:04-24517250 ext. 5310

計畫簡介

本計畫探討的<次世代奈米積體電路元件之電化學銅合金化內連接導線製程研發>，預期在未來數年內的IC製程上將扮演重要的角色。而且，本計畫係利用主持人實驗室目前之電漿表面處理及無電鍍設備，針對二氧化矽及低 k 介電材料上，開發全程濕式的超微奈米(~3 nm)催化晶種與超薄(≤ 10 nm)無電鍍阻障層，以構成銅內之連接導線。此製程能滿足次世代奈米元件之孔槽填充及整體電阻的需求，並兼達製程簡化之目的。

研究項目適用領域

1. 無電鍍超薄擴散阻障薄膜製程
2. 無電鍍銅內連接導線系統製程
3. 無電鍍超微奈米催化晶種製程

主要具體貢獻

1. 超細微/超緻密之無電鍍晶種生長技術
2. 全程無電鍍超薄阻障層生長技術
3. 創新真空電漿鈍化低 k 介電層製程解析
4. 期刊發表 (*Corresponding Author)

(1) S. T. Chen, Y. H. Hsieh, Y. C. Shih, P. W. Hsu and G. S. Chen*, *Synergetic effect of vacuum-plasma and solution-colloidal seeding process for the fabrication of nanostructured barrier layers*, Electrochemistry Communications. 9, p. 2764 (2007)〔SCI, Impact Factor: 4.186〕

(2) C. S. Hsu, S. T. Chen, Y. H. Hsieh and G. S. Chen*, *Growth of ultrathin barrier layers with sub-5-nm metallic seeds fabricated by sequent treatments of vacuum plasma and electrochemical solution*, Vacuum, 83, p. 708 (2008)〔SCI, Impact Factor: 1.114〕

(3) C. J. Chang*, M. H. Tsai, G. S. Chen, M. S. Wu, T. W. Hung *Preparation and characterization of porous low dielectric constant polyimide films with TiO_2/polymer double shell hollow spheres*, Thin Solid Films, 517, p. 4966 (2009)〔SCI, Impact Factor: 1.693〕

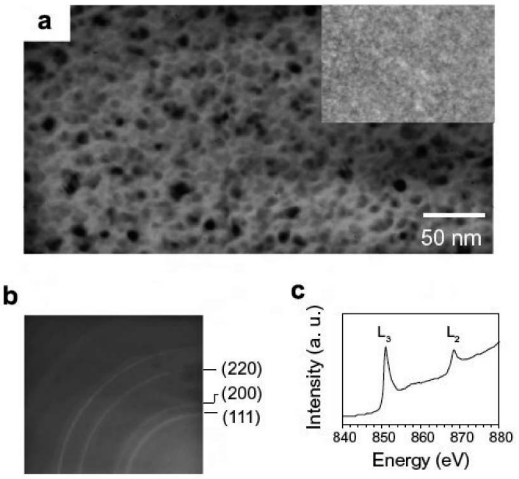


圖 1 無電鍍超微 Ni 奈米催化晶種之 TEM 分析(a、b)與 XAS 光譜(c)分析結果

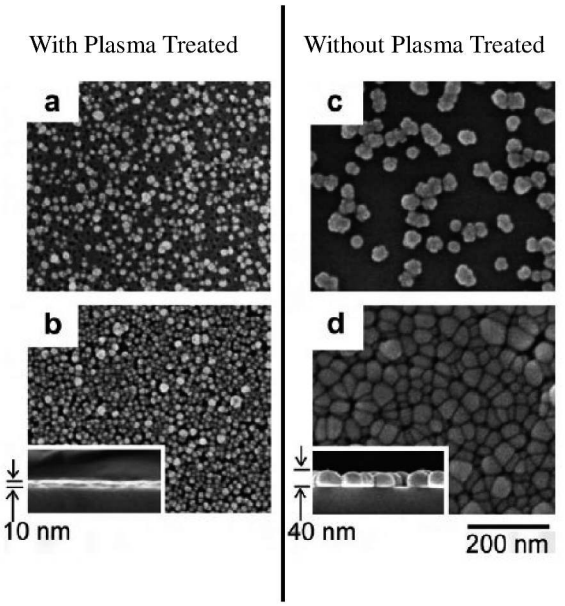


圖 2 二氧化矽基介電薄膜電漿處理之有(左側)及無(右側)對晶種密度與無電鍍 Co-P 薄膜成膜厚度之影響

新穎奈米連線

計畫編號: NSC97-2221-E-007-128-MY3
主持人: 游萃蓉　　單位: 國立清華大學材料系
E-mail: tryew@mx.nthu.edu.tw

計畫摘要

由於奈米碳管之導電性佳，承載電流密度高(10^9 A/cm^2，約為銅的1000倍)，且散熱性佳，機械強度高，耐高溫，故極有潛力成為未來取代銅成為奈米連線之材料。本計畫以低溫製程為目標，透過400°C以下之化學氣相沉積法(thermal Chemical Vapor Deposition, CVD)及雷射直寫技術等非熱能形式之創新製程，達成奈米碳管連線之形成及進行相關之探討與研究，以期降低製程複雜度，同時提供未來金屬連線縮小化一個解決方法。

本實驗室迄今之研究成果，已成功利用銅導線擴散阻障層鎢磷化鈷(CoWP)及紫外光照射輔助無電鍍鎳磷(Ni-P)奈米顆粒作為奈米碳管的催化劑，在400°C以下以化學氣相沉積法成長奈米碳管。並以CoWP作為催化劑，於銅及低介電雙層鑲嵌(Cu/low-k dual-damascene)之上下連線100 nm接窗(via)結構中，其碳管密度可達到1.3 ×10^{11} /cm^2，每個via阻值最低可達 7.2 kΩ；而在以無電鍍鎳磷(Ni-P)奈米顆粒作為催化劑之trench中，成長10^{11} /cm^{2}之奈米碳管(CNT)或碳纖維(CNF)，其平均電阻率約0.357 Ω·cm。另一方面，以雷射直寫技術成功地在大氣中及室溫的環境下成長奈米碳管。即以波長248 nm的氟化氪準分子脈衝雷射(KrF excimer pulsed laser)照射已先後鍍上鎳催化劑鎳和非晶碳(amorphous carbon)的基板，將原本非晶的碳結構轉變成奈米碳管。

本年度，延續過去之研究成果，針對雷射直寫技術成長奈米碳管之機制及最佳化，做更進一步的研究。以30 nm 之非晶碳膜作為探討，分別討論雷射能量及非晶碳膜之特性在此技術中的影響，發現適當之能量密度配合含氫量較多之非晶含氫碳膜，可達到較佳之成長條件。此外，利用已鍍有經圖形定義催化劑之基板，配合雷射直寫技術之較佳參數，初步驗證以選擇性成長奈米碳管，形成全碳基奈米連線，即以奈米碳管為接窗(via)及絕緣之非晶碳膜為介電材料的可行性。此外，為因應未來製程及電性量測之需求，在計畫第一年設計並做出圖形定義化之wiring及via之奈米連線結構。

I. CNT-via Interconnect Structure

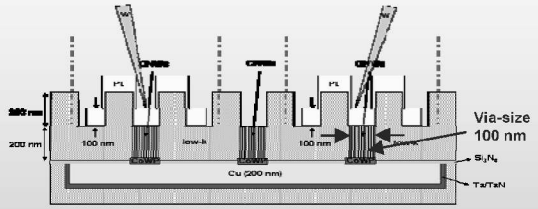


Fig. 1. Interconnect structure (cross-section).

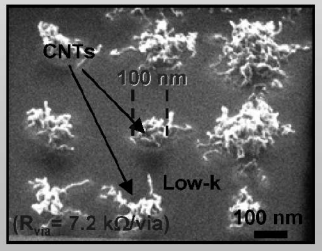


Fig. 2. SEM image of CNTs grown in 100 nm via-holes at 400°C by CVD (top-view).

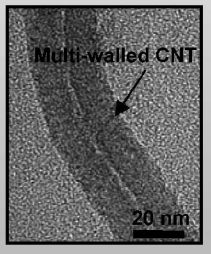


Fig. 3. TEM image of CNWs grown at 400°C by CVD.

(paper submitted to J. of Electrochemical Society, Aug. 25, 2009)

II. Electroless Plating Catalyst for CNT Growth

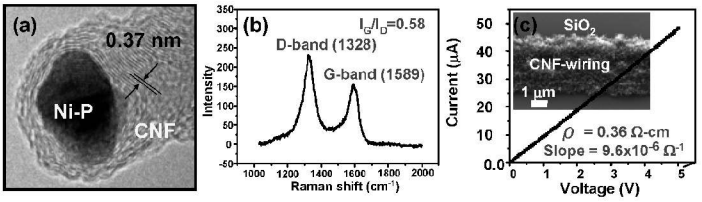


Fig. 4. (a) TEM image, (b) Raman spectra of CNF catalyzed by electroless plating NiP, and (c) electrical property of CNF wiring. (Paper submitted to J. of Electrochemical Society, Aug. 25, 2009)

III. Laser Direct-writing Technology

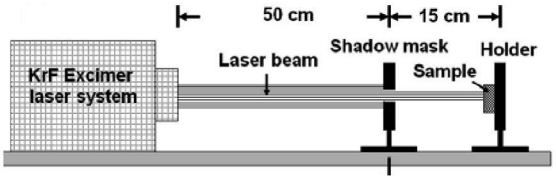


Fig. 5. Laser direct-writing technology system.

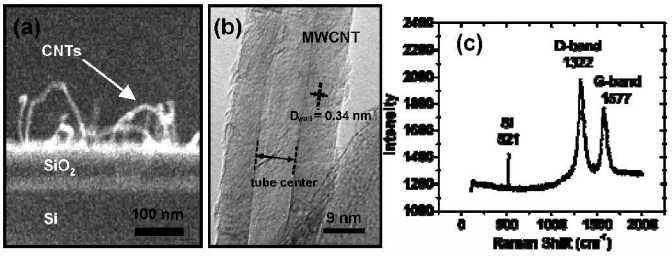


Fig. 6. (a) SEM image, (b) TEM image, (c) Raman analysis of CNTs formed by laser direct-writing on a-C at room temperature. (paper published in Appl. Phys. Lett., 93, 023108-023110 (2008))

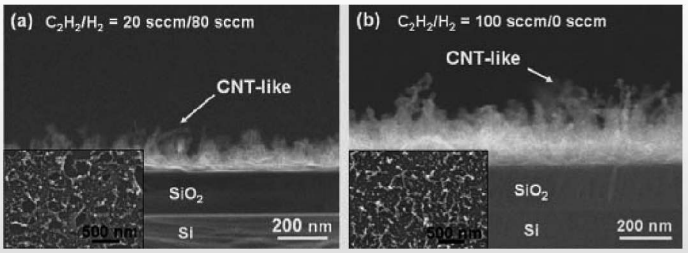


Fig. 7. SEM image of CNT-like formed by laser direct-writing on a-C films deposited with (a) C_2H_2/H_2 = 20 sccm/80 sccm and (b) C_2H_2/H_2 = 100 sccm/0 sccm at room temperature. (paper unpublished yet)

研究項目適用領域

1. 前瞻性半導體產業製程研究
2. 前瞻性奈米尺度連線之研究
3. 奈米碳管產業應用之研究
4. 奈米碳管成長機制之研究

主要具體貢獻

1. 積體電路連線材料之革新
2. 積體電路後段製程之革新
3. 因應積體電路微小化之挑戰
4. 提供未來半導體製程整合新思維

Publications and Patents:

1. Y. T. Wu, H. C. Su, C. M. Tsai, K. L. Liu, G. D. Chen, R. H. Huang, and T. R. Yew, Carbon Nanotube Formation by Laser Direct-Writing, Appl. Phys. Lett., 93, 023108-023110 (2008), also has been selected for the July 28, 2008 issue of Virtual Journal of Nanoscale Science & Technology, SCI Impact Factor: 3.726.
2. C. M. Tsai, G. D. Chen, T. C. Tseng, C. Y. Lee, C. T. Huang, W. Y. Tsai, W. C. Yang, M. S. Yeh, T. R. Yew, CuO nanowire synthesis catalyzed by CoWP nano-filter, Acta Materialia, 57, 1570-1576 (2009), SCI Impact Factor: 3.729.
3. Y. L. Huang, C. M. Tsai, H. C. Su, R. H. Huang, K. L. Liu, and T. R. Yew, Low temperature electroless Ni–P catalyst deposition enhanced by UV-exposure for carbon nanofiber and nanotube growth, J. Electrochemical Society, submitted, Aug. 25, 2009, SCI ImpactFactor: 2.48
4. 曾子純，游萃蓉，中華民國專利，申請號: 95134566 ，已獲准。
5. 吳呈璁，黃仁鴻，蔡宗閔，蘇煥傑，游萃蓉，中華民國專利，申請號: 97103638 and US patent application number: 12/229233 ，審核中。

Bio / Nano Electronic Lab Passion Innovation Excellence

互補金氧半靜電防護元件電路之分析和設計

計畫編號：NSC 97-2221-E-231-023
主持人：黃至堯　　單位：清雲科技大學電子工程系所
E-mail: huangcy@cyu.edu.tw　電話: 03-4581196 ext 5119

計畫簡介

靜電放電電流負荷在靜電防護金氧半場效電晶體通道寬度上的分佈經常是不均勻的，這情況下基座電阻扮演關鍵性的角色。本計劃將探討基座電阻在靜電電流不均勻分佈扮演的角色和機制成因、共同觸發基座閘極的金氧半電晶體元件電路分析設計議題。研究主要將利用計算機輔助設計的元件晶格溫度熱電模擬進行深入分析研討，擴充至類三維空間的模擬功能，並採用混合元件電路模式以包含元件本身和其週邊等效電路，重現區域元件電路在實際條件下的行為和特性。基於模擬分析探討結果設計元件電路局，最終發展出良好靜電防護的共同觸發基座閘極的金氧半電晶體元件電路。

研究項目適用領域

1. 產品的靜電放電保護電路設計
2. 積體電路產品工程
3. 品質可靠度工程
4. 半導體元件工程

主要具體貢獻

1. 基座電阻在多指狀靜電電晶體通道寬度上的電流分佈不均勻情況扮演關鍵性的角色。
2. 共同觸發基座閘極的金氧半電晶體元件電路有相當高的靜電防護能力，而且沒有閘極耦合電路的閘極過電壓效應。
3. 利用元件電路晶格溫度熱電模擬進行研究，元件模擬數據配適實驗結果良好。

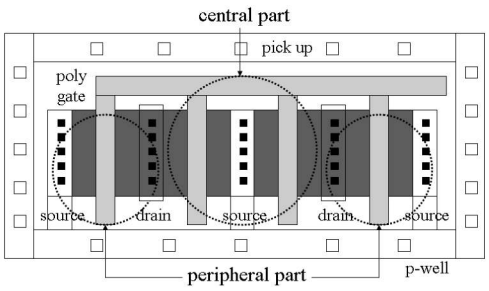


Figure 1(a) the layout top view of the multi-finger ESD NMOS

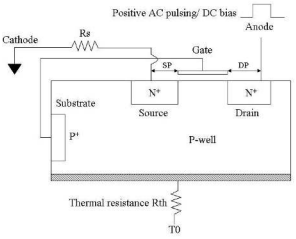


Figure 1(b) the cross-sectional view of the intrinsic transistor in the multi-finger ESD device.

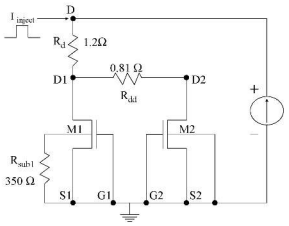


Figure 2 the equivalent circuit for the gate-grounded multi-finger ESD device.

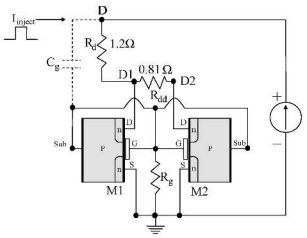


Figure 3(a) The equivalent circuit for the resistance and RC substrate-gate- triggering devices.

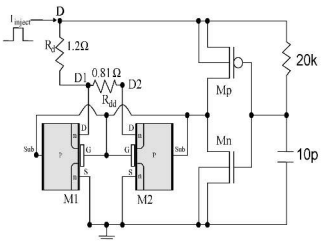


Figure 3(b) the equivalent circuit for the RC inverter substrate-gate-triggering multi -finger ESD device.

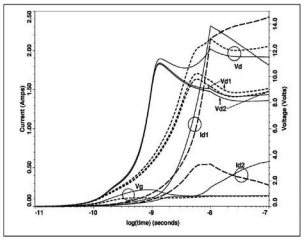


Figure 4 the voltage/current transient response of two intrinsic transistors M_1 and M_2, for comparison between the RC-inv-SGTNMOS and RC-GCNMOS (dash line) with channel width 1500μm.

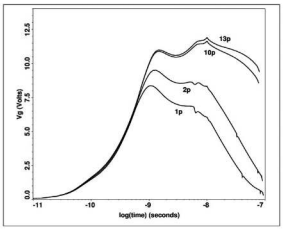


Figure 5 The gate voltage transient response with different gate capacitance parameters for RC gate coupled case.

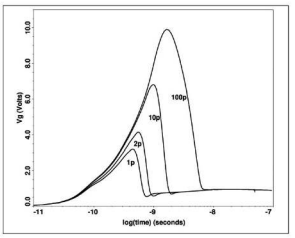


Figure 6 The gate voltage transient response with different gate capacitance parameters for RC substrate and gate triggering case.

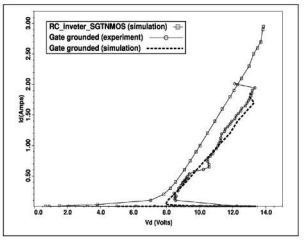


Figure 7 The I-V curve comparison between gate-grounded experiment data and simulation data including the gate -grounded and RC-inv-SGT cases

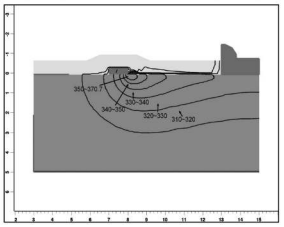


Figure 8 (a) the lattice temperature in M_1 of the RC-inv-SGTNMOS.

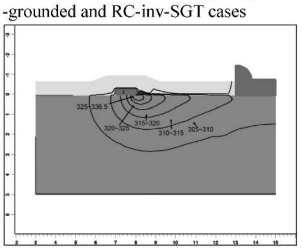


Figure 8 (b) the lattice temperature in M_2 of the RC-inv-SGTNMOS.

具有形變通道與完全金屬矽化閘極之互補式金氧半電晶體的製造與分析 (2/2)

計畫編號：NSC 96-2221-E-009-207-MY2
主持人：黃調元　　單位：國立交通大學電子工程系
E-mail: tyhuang@mail.nctu.edu.tw 電話: (03) 571-2121 ext: 54193

計畫簡介

在本報告中，將探討具有二氧化鉿緩衝層之氮化矽覆蓋層 P 型通道金氧半場效電晶體之特性。在閘極上利用電漿增強化學氣相沉積氮化矽覆蓋層對元件通道可產生壓縮應力。雖然氮化矽覆蓋層能提高元件之驅動電流，但是同時也劣化了負偏壓溫度不穩定性，主要是沉積氮化矽覆蓋層之過程中，氮化矽層含大量的氫將擴散進去元件通道區域。為了改善此缺點，我們在閘極與氮化矽層間加入 3 奈米的二氧化鉿緩衝層並証實了元件可恢復負偏壓溫度不穩定性可靠度之劣化，且未損害由於氮化矽覆蓋所提升之電流。

研究項目適用領域

1. 超大型積體電路工程
2. 元件可靠度分析
3. 形變通道工程

主要具體貢獻

1. 具形變通道金氧半電晶體的製作
2. 氮化矽覆蓋層對元件特性的探討
3. 二氧化鉿緩衝層對元件可靠度分析

本計畫之論文發表

1. APL, vol.90, 2007, p.122110.
2. IRPS, 2007, p.670.
3. SSDM, 2007, p.428
4. VLSI-TSA, 2007, p.54
5. JECS, vol.154, 2007, p.H1036
6. EDSSC, 2007, p.117
7. ISDRS, 2007, p.WP-9-17-05.
8. SNDT, 2007, p.78.
9. SSE, vol.52, 2008, p.1584-1588.
10. IEDMS, 2008, AO397.
11. SNDT, 2008, p.27.

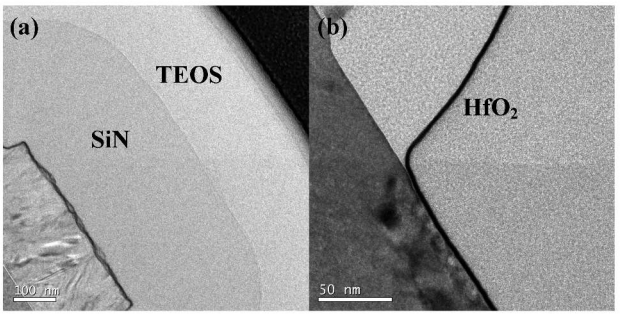


Fig.1. Cross-sectional TEM pictures of HfO_2-buffered samples taken in (a) passivation region and (b) spacer region. The thickness of SiN and HfO_2 buffer layer is roughly 310 nm and 3 nm, respectively.

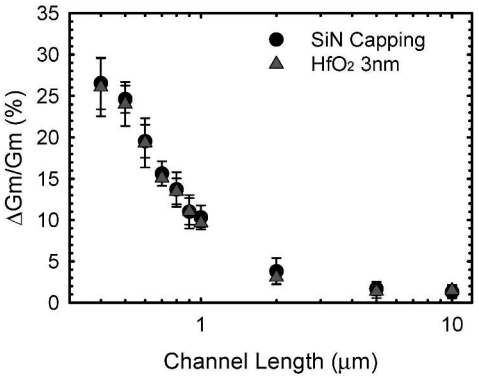


Fig.2. Transconductance increase versus channel length. Each datum point represents the mean measurement result performed on eight devices.

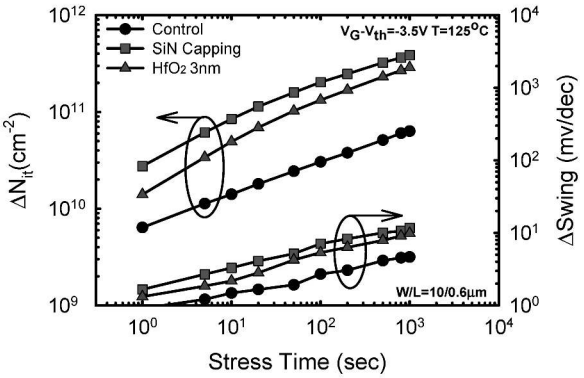


Fig.3. Interface state generation (ΔN_{it}) and subthreshold swing degradation (ΔSwing) versus stress time for all three splits with V_G-V_{th} = -3.5 V at 125°C.

IEDMS

CMOS Devices

CMOS and Interconnect Reliability

Displays, Sensors, and MEMs

Integrated Circuits and Manufacturing

Memory

[DSM]
Displays, Sensors, and MEMs

IEDMS

Solid-State and Nanoelectronic Devices

Modeling and Simulation

Quantum, Power, and Compound Semiconductor Devices

Process Technology

整合型計畫

新穎全透明式氧化鋅(ZnO)薄膜電晶體運用於高解析度大尺寸平面顯示器之研究(2/3)

計畫編號：NSC 96-2221-E-006-284-MY3

主持人：方炎坤　　單位：國立成功大學 微電子工程研究所
E-mail: ykfang@eembox.ee.ncku.edu.tw　　電話: 06-2080398

計畫簡介

本計畫為三年期計畫，擬以雙靶磁控濺鍍系統製程技術研製氧化鋅 (ZnO) 薄膜，並以發展可運用於高解析度大尺寸平面顯示器之 ZnO 薄膜電晶體為標的，共分三年研究：

(1) 第一年[96.08.01~97.07.31]：以射頻磁控濺鍍法 (Radio Frequency magnetron sputtering)研製高品質 ZnO 薄膜特性與製程參數的建立。

(2) 第二年[97.08.01~98.07.31]：應用第一階段研究成果，在 ITO 玻璃基板及矽晶基板研製創新全透明式氧化鋅薄膜電晶體。

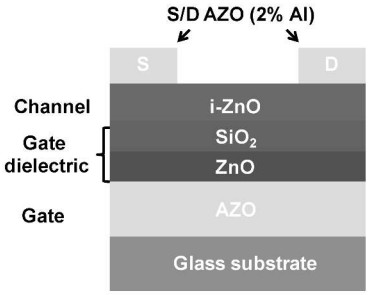
(3) 第三年[98.08.01~99.07.31]：應用前兩年研究成果，本計畫更進一步提出具新穎結構的多閘極全透明式薄膜電晶體(multi-gate full transparent ZnO TFT)，藉由減少閘極電阻提高響應速度作為下一代大面積 TFT-LCD 之用。

研究項目適用領域

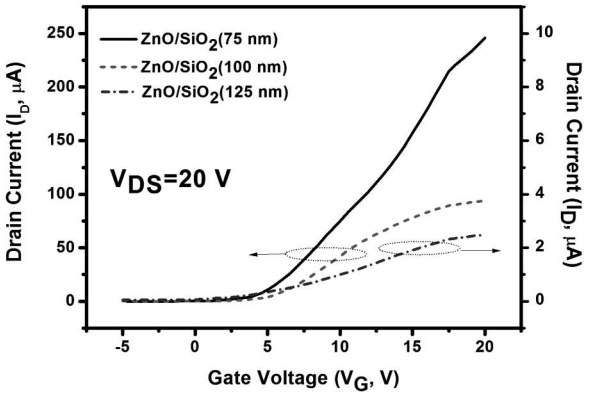
1. 氧化鋅薄膜薄膜應用
2. 氧化鋅薄膜電晶體
3. 氧化鋅薄膜光電元件

主要具體貢獻

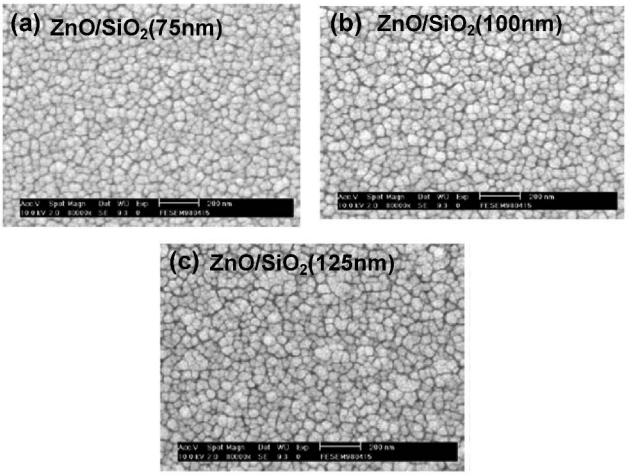
1. 以射頻磁控濺鍍法研製不同功能性之高品質 ZnO 薄膜與其製程參數的建立
2. 提供於一般基板與玻璃基板製備高品質 ZnO 薄膜的可行方法
3. 研製創新全透明式 ZnO 薄膜電晶體氧化鋅薄膜電晶體



圖一. ZnO薄膜電晶體之結構圖。



圖二. 不同SiO_2厚度的ZnO 薄膜電晶體之 I_D-V_G曲線圖。



圖三. ZnO(channel)薄膜成長在不同厚度的 SiO_2薄膜上之SEM圖

可撓式有機電晶體臨界特性調變與摻雜技術研究

計畫編號：NSC 97-2221-E-018-025)
主持人：王右武　　單位：國立彰化師範大學光電科技研究所
E-mail: wangyw@cc.ncue.edu.tw　　電話:047232105-3380

計畫簡介

計畫進行以研究有機薄膜電晶體之臨界特性為主。而臨界特性主要反應在兩個電晶體特性之上，一是臨界電壓(V_{th})，另一個則是次臨界斜率(SS)。操作此兩項參數的具體手段眾多，包括改變元件結構、使用緩衝層、調變有機半導體原子排列方式等。此處我們首先微調有機半導體層的厚度與元件結構，觀察其臨界特性的變化。其次使用自組裝分子層(SAM)修飾介電層，進行有機半導體的成長調變。除了傳統的電壓電流量測之外，我們亦使用導納頻譜分析，進行界面能態的萃取，並探討環境對有機電晶體元件操作的影響。結果吾人發現，對於五苯而言，未純化的雜質形成額外的摻雜，造成臨界特性的轉移，因此在電晶體中，若是改變半導體的厚度將可形成不同的臨界偏壓，甚至可以調變出空乏型與增益型電晶體。而使用 SAM 進行處理，可控制的電晶體參數就更多了，除了臨界偏壓之外，界面能態狀況也被劇烈的影響，甚至在有機半導體中的分子間作用力亦受到不等程度的加強，導致場效載子遷移率的增加。

圖一為我們所使用的標準元件結構為上接觸式電晶體。圖二為我們所得的臨界特性相對半導體厚度之結果。相關的成果已發表於 Solid State Electronics 上。圖三為使用不同 SAM 修飾層控制五苯生長的元件，利用導納法的量測結果。截至目前為止我們所得到的最佳 mobility~0.8 cm^2/vs，SS~0.8 V/dec，on/off~10^7，V th~1V，而介面能態密度則在 10^{10}/ cm^2eV 左右。

研究項目適用領域

1. 軟性電子領域-電子紙的使用已是必然。而此成果可用於軟性顯示器主動元件技術之開發與控制。
2. 生醫感測器領域-利用有機半導體的敏銳感受性，偵測各種不同的環境與物質變化。可提供一簡便，低成本的感測器使用方向。

主要具體貢獻

1. 建立完整的製程體系與量測標準。
2. 建立不同的，控制有機電晶體臨界特性的方法。藉以得到不同型態與區間的元件。在電子電路應用上更簡便。
3. 針對有機電晶體，建立相對應的環境量測標準，與探討基礎的理論機制。

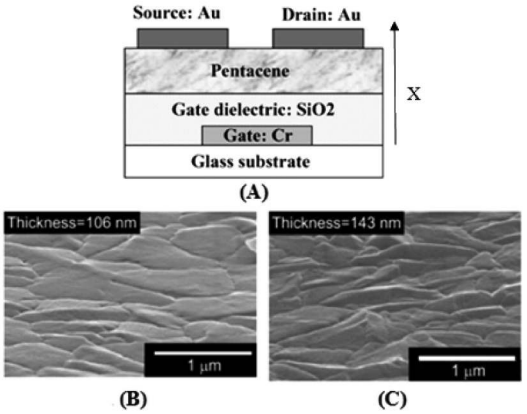


圖 1(A) Schematic cross section of inverted-staggered (top-contact) device geometry. (B) and (C) the top view SEM images of pentacene film with thickness of 106 and 143 nm, respectively, in the active channel of OTFTs.

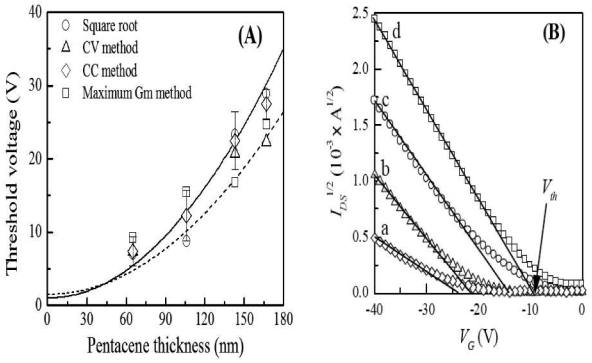


圖 2(A) The threshold voltage as a function of thickness of pentacene layer. Solid line and dashed line are fits for threshold voltage measured by square-root method and CV method, respectively. (B) Typical $I_{DS}^{1/2}$ *vs.* V_G plot for OTFTs with different pentacene thickness: (a) 65 nm; (b) 106 nm; (c) 143 nm; (d) 167 nm. The solid lines represent linear fits to the experimental data.

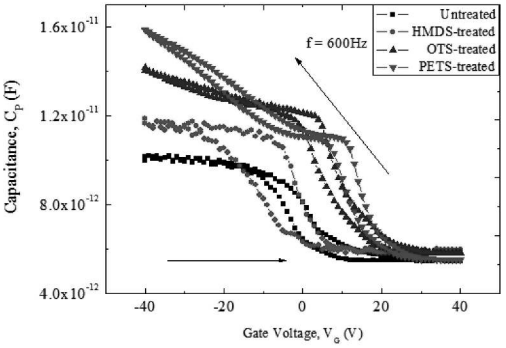


圖 3 The capacitance-voltage result of different treatment layer, including oxide, HMDS, OTS and PETS.

系統面板的前瞻複晶矽非揮發記憶體元件之結構, 操作機制與可靠度研究

計畫編號：NSC 96-2221-E-007-157-MY2

主持人：吳永俊　　單位：國立清華大學工程與系統科學系
E-mail: ycwu@ess.nthu.edu.tw　　電話:0920178341

計畫簡介

低溫複晶矽薄膜電晶體已成為實現高畫質可攜式平面顯示器的關鍵技術。其另一項具革命的技術發展，為系統面板(System on Panel: SOP)的實現；即是將所的周邊電路，關鍵元件，驅動電路等，全部整合於玻璃基板上，其中非揮發性記憶體為系統面板上不可缺少的元件。本計畫所製作出的具多條 Pi 形閘極的矽-氧化鉿-氮化矽-氧化矽-複晶矽非揮發性複晶矽薄膜記憶體用具有高速寫入與抹除資料的能力另外更擁有高可靠度，如較好的資料保存能力（Retention）和重複讀寫的忍受度(Endurance)，此元件若應用於平面顯示器上，能有助於系統面板的實現。

研究項目適用領域

1. 系統面板
2. 三維立體堆疊式元件

主要具體貢獻

1. High Performance Nonvolatile-memory
2. Low power consumption and high performance Thin-Film Transistor

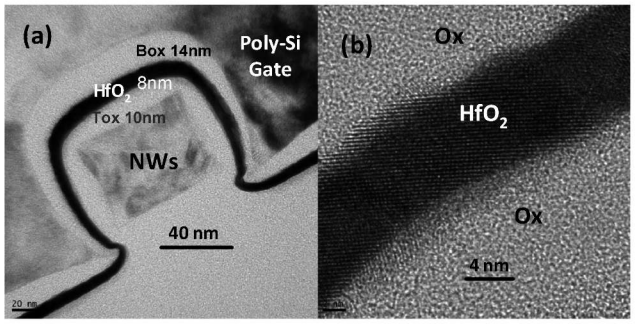


圖 1 (a)具 Pi 形閘極的奈米線 (b)利用氧化鉿為電荷儲存層。

Device name	Device structure	Gate length	Channel number	Each width	Effective width
M10		5um	10	65nm	1.65um
M5		5um	5	0.18um	1.38um
S1		5um	1	1um	1um

圖 2 傳統單通道以及多條奈米線元件的各項資料

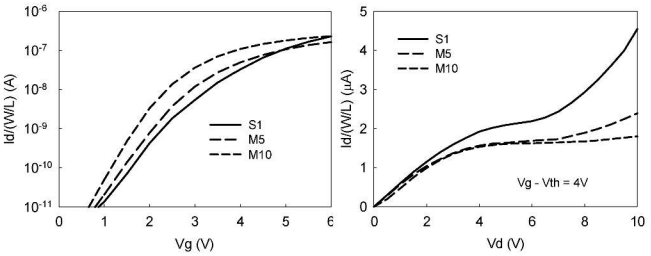


圖 3 具 Pi 形閘極的奈米線元件具有較好的電晶體特性

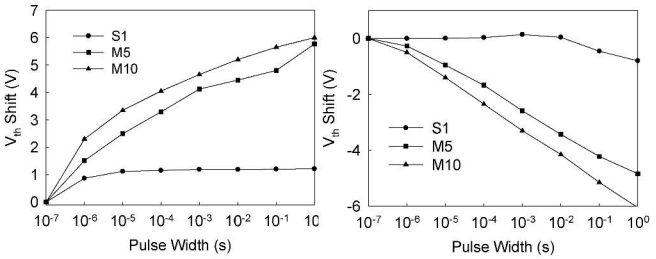


圖 4 具 Pi 形閘極的多條奈米線元件具有較高資料寫入與抹除效率

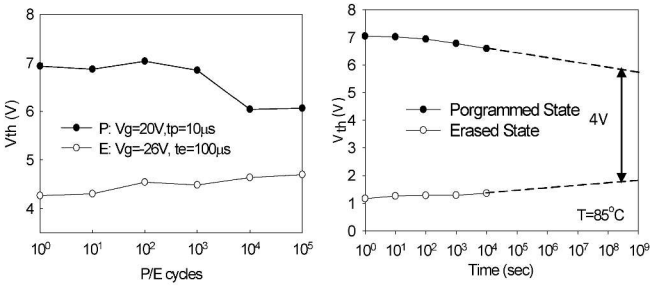


圖 5 具多條 Pi 形閘極的矽-氧化鉿-氮化矽-氧化矽-複晶矽非揮發性複晶矽薄膜記憶體擁有高靠度

具有高響應度之氮化鎵光電晶體紫外光偵測器之研究

計畫編號：NSC 97-2221-E-218-048-

主持人：李明倫　　單位：南臺科技大學光電工程系暨研究所
E-mail: minglun@mail.stut.edu.tw　電話: 886-6-2533131 ext 8120

計畫簡介

本研究利用有機金屬化學氣相沉積(metal-organic vapor-phase epitaxy)製作AlGaN/GaN 系列異質接面紫外光電晶體(heterojunction phototransistors, HPTs)，相較於 GaN 系列光導體，此 HPTs 顯示相當高的光譜響應。光電晶體是一個雙極性接面電晶體，它可放大由光產生的載子並藉由內建二極體來收集。比較起 APDs，HPTs 在較小偏壓即可到光學增益，且元件特性與材料缺陷有較小關聯性。本研究中 GaÑAlGaN 異質結構光電晶體不需基極接點，而且用寬能隙(wide-gap)射極(emitter)當作窗口層。

研究項目適用領域

1. 紫外光偵測
2. 小訊號放大

主要具體貢獻

1. 高響應度紫外光偵測器
2. 高拒斥比光電晶體
3. 異質接面紫外光電晶體

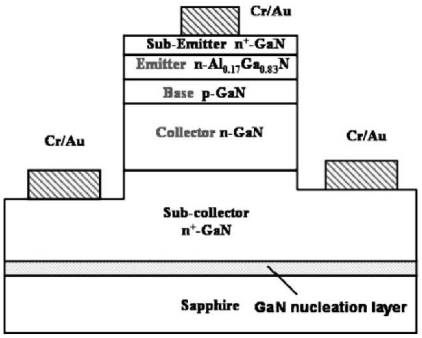


Figure 1 Schematic structure of the *n-p-n* $Al_{0.17}Ga_{0.83}N$/GaN heterojunction phototransistor.

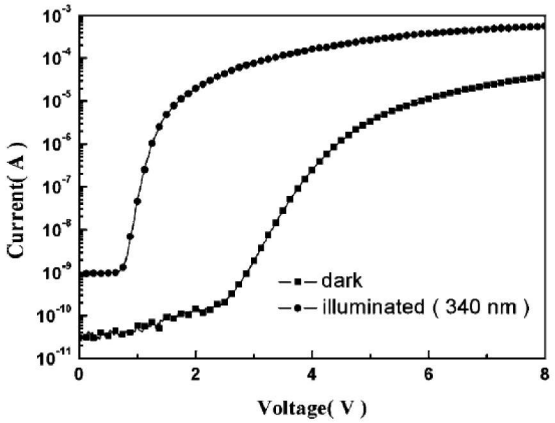


Figure 2 Typical *I-V* curves of the $Al_{0.17}Ga_{0.83}N$/GaN HPTs under dark and UV illuminations with a wavelength of 340 nm.

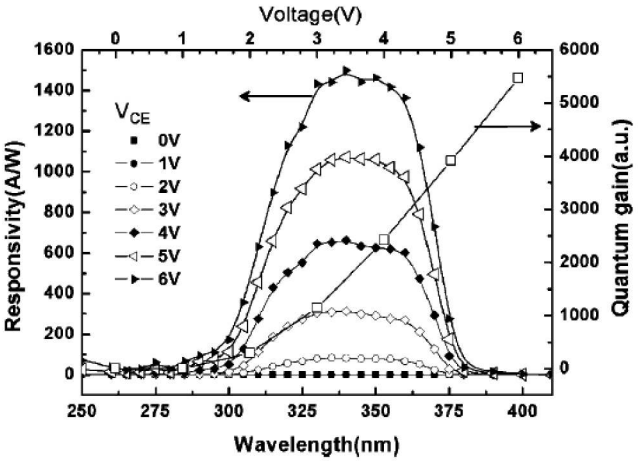


Figure 3 Typical spectral responsivity and quantum gain taken at different bias voltages.

應用可撓式塑膠基板研發陣列式離子量測系統

計畫編號：NSC 97-2221-E-224-059

主持人：李蒼松　　單位：國立雲林科技大學電子工程系（所）
共同主持人：周榮泉
E-mail：leets@yuntech.edu.tw　電話：(05)5342601 Ext. 4313

【計畫簡介】

本專題研究計畫主要係利用分離式延伸型場效電晶體(Separative Extended-Gate Field Effect Transistor, SEGFET)之架構結合射頻濺鍍法(Radio Frequency Sputtering, R.F. Sputtering)及網版印刷法(Screen Printing)，於可撓式塑膠基板上備製酸鹼感測器。首先以電流-電壓(Current-Voltage, I-V)量測系統，量測酸鹼度可求得SEGFET元件之I_D-V_G特性曲線，再以電壓-時間(Voltage-Time, V-T)量測系統測量遲滯效應之特性，由遲滯效應之理論可得知遲滯量亦隨量測迴路之酸鹼濃度變化，且隨其量測迴路時間長短亦有所改變。

本專題研究計畫以RuO_2作為感測材料，採用射頻濺鍍結合網版印刷技術備製酸鹼感測器，並以I-V量測系統測量感測元件之特性，於量測範圍pH2至pH12中之感測度為50.9 mV/pH，線性度為0.998，其酸鹼感測特性曲線如圖1所示，接著以V-T量測系統量測其遲滯效應，表1係於不同酸鹼迴路之遲滯量，其結果顯示遲滯量會隨迴路路徑增加而上升。

此外本專題研究計畫亦將鈣離子感測薄膜備製於酸鹼感測器上，並以 I-V 量測系統量測鈣離子感測器之感測特性，於 1M~10^{-5}M之氯化鈣水溶液中量測，其感測度高達29.43mV/pCa，線性度為 0.984，顯示本專題研究計畫備製之鈣離子感測器不僅感測度佳、檢測範圍廣且因採用網版印刷技術備製感測器，故亦具有備製簡單、低成本、高量產及可拋棄式之優點。

【研究項目適用領域】

1. 酸鹼感測
2. 鈣離子感測
3. 生醫感測技術

【主要具體貢獻】

1. 製程簡化
2. 提高感測度
3. 可撓式元件
4. 低成本高產量

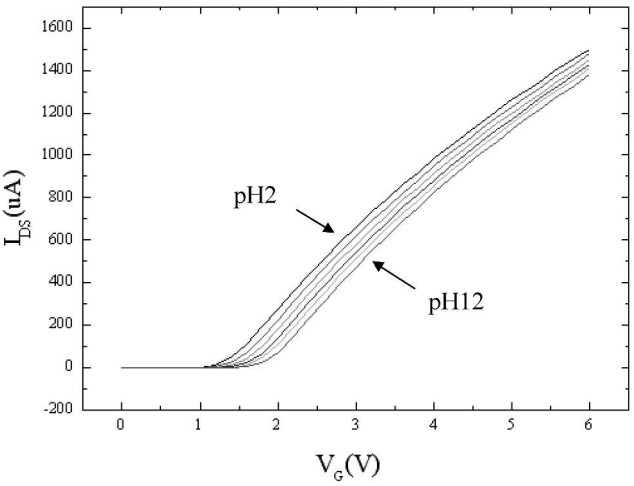


圖 1 酸鹼感測器之電流-電壓特性曲線圖

表 1 酸鹼感測器之遲滯量測數據彙整表

loop time(sec) / hysteresis(mV) / pH loop	300	600
4→1→4→7→4	0.73	2.35
4→7→4→1→4	3.99	12.56
5→1→5→9→5	4.41	9.79
5→9→5→1→5	14.88	22.86

奈米生化感測 CMOS MEMS 系統晶片研究

計畫編號：NSC 97-2221-E-018 -024 -

主持人：沈志雄　　單位：國立彰化師範大學 機電工程研究所
E-mail: hilbert@cc.ncue.edu.tw　　電話: 047-232105　ext. 7810

計畫簡介

本計畫主要目的在既有的 CMOS MEMS 微機電研究中的結構、元件、感測電路積體化結合本校奈米科技中心磁性材料、奈米製程、結構技術，期待將研究更進一步開拓磁性奈米感測與機電整合新領域。研究上將感測器微小化，由於感測材料的面積大大減少，將使得感測器的靈敏度大大降低，為了解決此問題，計劃採用製作微奈米結構及研究磁性催化在奈米感測上相關的特性。本年度為第一年，重點在於磁性奈米結構製程與 CMOS MESM 製程整合研究為主。目前建立於 CMOS MEMS　製程與積體電路之發展、已經完成兩項主要技術並陸續完成投稿與發表。在考量電子束微影以及 CMOS MEMS 後製程整合上，關鍵性的磁性奈米結構製作驗證，進一步希望能在磁性或是強磁性奈米結構對於生物感測的研究。

研究項目適用領域

1. 生物葡萄糖感測晶片
2. CO 氣體感測晶片
3. 磁性催化感測研究
4. CMOS MEMS 與奈米結構整合技術

主要具體貢獻

1. CMOS MEMS 可溫控氣體偵測晶片
2. 等溫電路設計與驗證
3. 奈米磁性感測電極
4. 溶凝膠感測層
4. Low offset FET 感測電路 (含 CDS 技術)

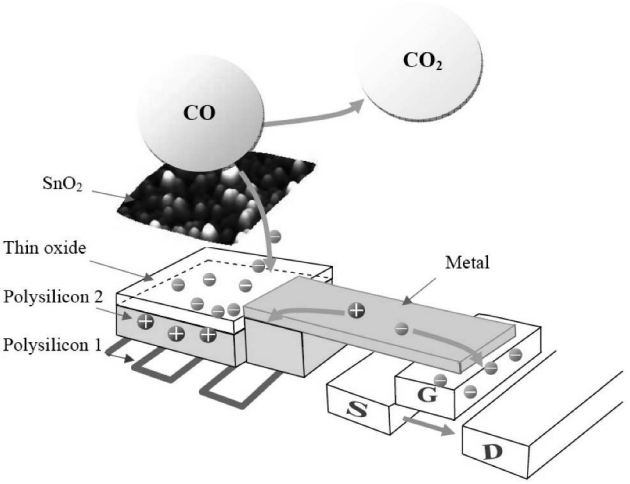


圖 1. CMOS MEMS FET 感測晶片原理

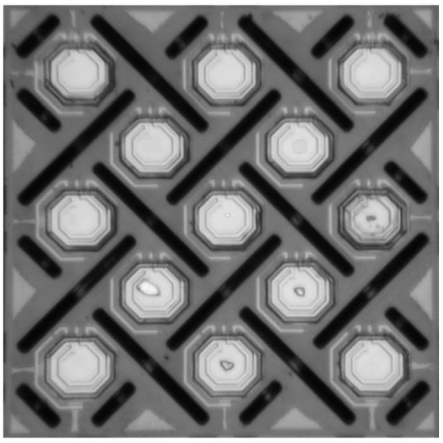


圖 2. 感測晶片懸浮結構成品照片

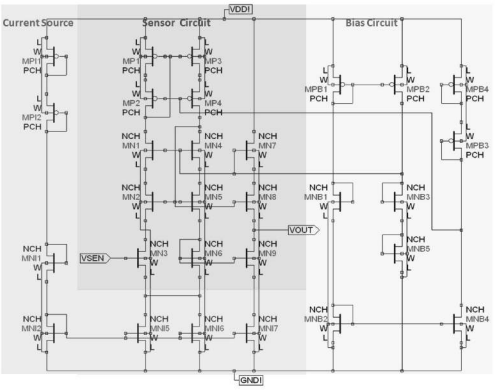


圖 3. FET 感測電路

釕金屬摻雜二氧化鈦微型化生醫感測系統之研製與應用(1/3)

計畫編號：NSC 97-2221-E-224-058-MY3

主持人：周榮泉　　單位：國立雲林科技大學電子工程系（所）
E-mail：choujc@yuntech.edu.tw　　電話：(05)5342601 Ext. 2600

【計畫簡介】

本研究計畫中係利用共濺鍍系統備製釕摻雜於二氧化鈦(Ruthenium Doped Titanium Dioxide, TiO_2:Ru)感測薄膜。其備製完成之 TiO_2:Ru 薄膜呈現為非晶形態與缺陷。TiO_2:Ru 之感測薄膜藉由傳統之熱退火(Conventional Thermal Annealing, CTA，Model: Lindberg/ Blue M TF55035A, USA)於 600°C 中作一小時之退火處理，可使得晶體重新排列。為探討 TiO_2:Ru 感測膜於熱退火後之表面形態，研究計畫以場發射掃描電子顯微鏡(Field Emission Scanning Electron Microscopy, FE-SEM)，如圖 1 所示。觀察 TiO_2:Ru 感測膜之表面形態為奈米級立方體結構，立方體尺寸介於 37 nm 至 43 nm。

薄膜之感測特性係以電流-電壓(Current-Voltage, I-V)量測系統(Keithley 236)量測 TiO_2:Ru 感測元件於 pH1 至 pH13 之感測度與線性度，如圖 2 所示，TiO_2:Ru 感測元件之感測度為 55.20 ± 2.81 mV/pH，線性度為 0.999。依據量測結果顯示 TiO_2:Ru 感測元件具有優異之感測特性。故 TiO_2:Ru 感測薄膜可應用於許多感測器如離子感測器(Ion Sensors)或生醫感測器(Biosensors)。

【研究項目適用領域】

1. 酸鹼感測器
2. 鈣離子感測器
3. 微型化感測器
4. 臨床與生物醫學檢測器
5. 整合式感測晶片

【主要具體貢獻】

1. 微型化
2. 製程簡化
3. 高感測度
4. 成本低
5. 適宜量產

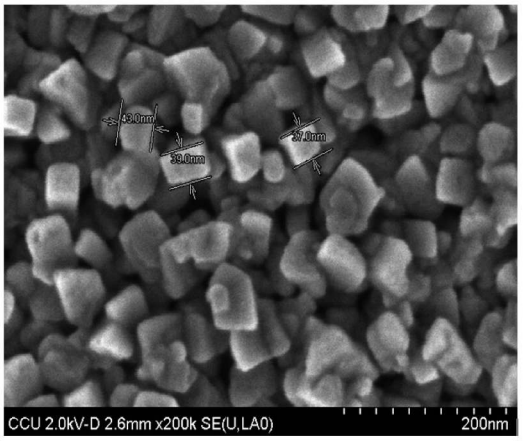


圖 1 由 FE-SEM 觀察 TiO_2:Ru 感測膜之表面形態

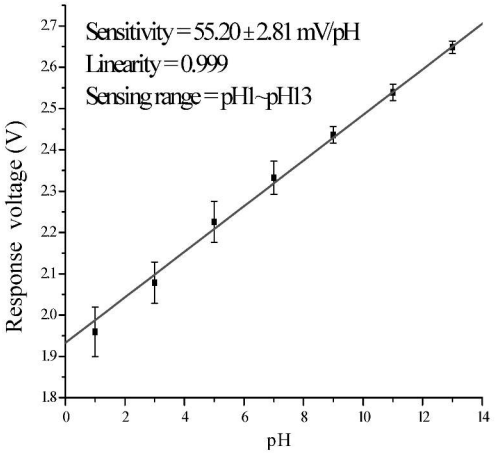


圖2　TiO_2:Ru感測元件於pH緩衝溶液中之氫離子感測度線性回歸圖

微型化酵素生物感測元件整合陣列遠端監控量測平台之研發(2/3)

計畫編號：NSC 96-2628-E-224-008-MY3

主持人:周榮泉　　單位:國立雲林科技大學電子工程系(所)
E-mail:choujc@yuntech.edu.tw　電話:(05)5342601 Ext. 2600

【計畫簡介】

本專題研究計畫提出以導電高分子改質方式備製一電壓式應用之新型且穩定的全固態微型化參考電極。此微型化參考電極可直接存放於空氣中而不需任何儲存溶液，亦不必如銀/氯化銀參考電極(Ag/AgCl electrode)需內電解層以保持氯離子之濃度，其於酸鹼、氯化鈉以及氯化鉀溶液中具有足夠之電壓穩定性與再現性，其中於酸鹼溶液範圍 pH2～pH12 中之電壓變化量僅 0.52 mV/pH，如圖 1 所示。於 1M - 10^{-5}M 範圍中之氯化鈉溶液中之電壓變化量為 7.45 mV/pNaCl，而於 1M - 10^{-5}M 範圍中之氯化鉀溶液中之電壓變化量為 2.14 mV/pNaCl。此外本研究計畫亦探討網版酵素電極（維生素 C）搭配此微型化參考電極於維生素 C 溶液中之感測度量測，如圖 2 所示。

【研究項目適用領域】

1.生醫感測技術
2. pH 感測
3.微生素 C 感測

【主要具體貢獻】

1.微型化特徵參考電極
2.穩定性佳之微型化參考電極
3.微型化酵素感測電極
4.網印刷感測電極

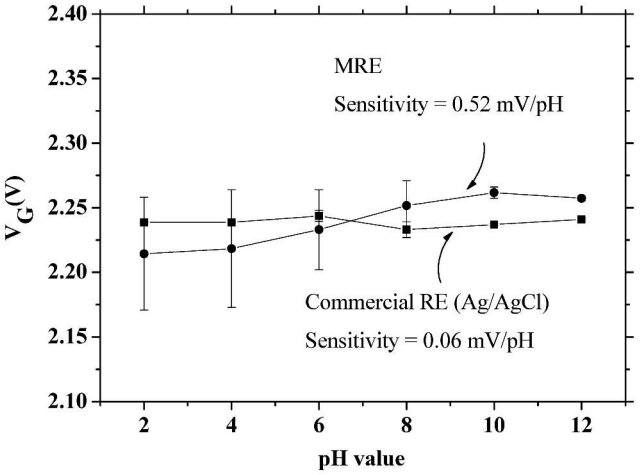


圖 1 微型化參考電極與商品化參考電極於 pH 溶液之感測度

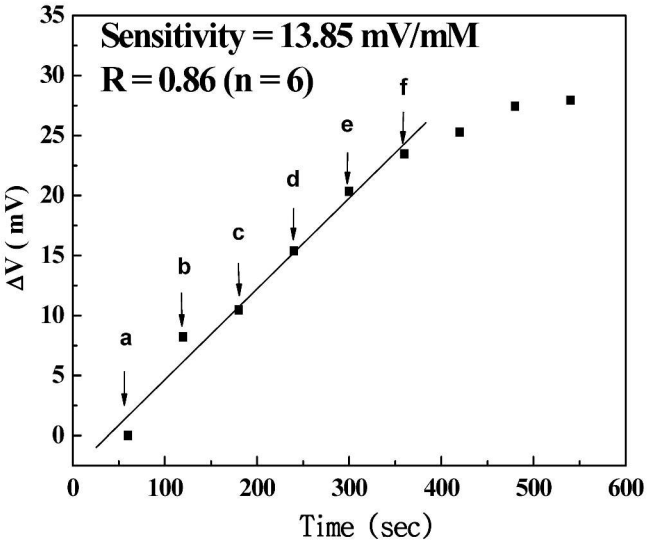


圖 2 感測器之校準曲線為線性範圍，其測定包含以下濃度(a) 0.02 mM;(b) 0.0625 mM;(c) 0.125 mM;(d) 0.25 mM;(e) 0.5 mM;(f)1mM

研製高靈敏度陣列式微量氫氣感測電路

計畫編號：NSC 97-2221-E-324-046

主持人：林坤緯　　單位：朝陽科技大學資訊工程系
E-mail: kwlin@cyut.edu.tw　　電話:04-23323000 ext7631

計畫簡介

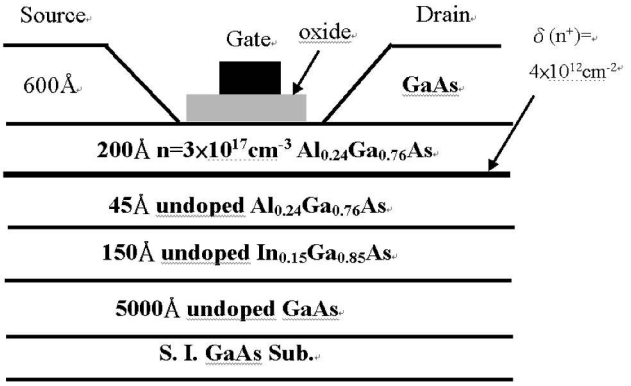
本計畫為一年期計畫，計畫第一年製作砷化鋁鎵二極體式氫氣感測器，第二年將依據第一年的技術，製作陣列是氫氣感測器，透過切換開關、解碼器以及輸出電路將感測器與晶片做整合，成為檢測氫氣的多功能智慧型感測晶片，目前透過CIC已經晶片完成，結合半導體式氫氣感測器以及感測晶片可達到輕薄短小以及低價格之氫氣感測晶片。

研究項目適用領域

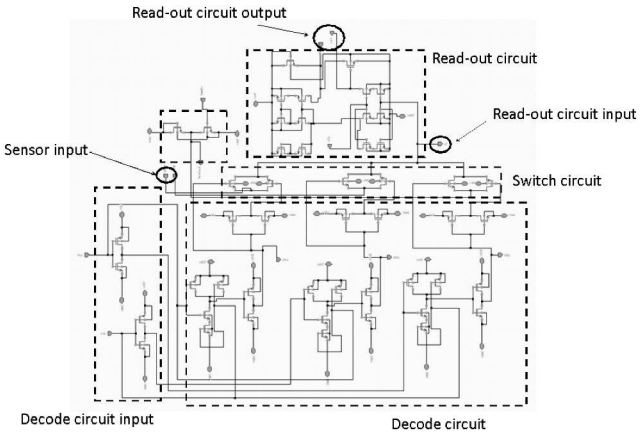
1. 微量氫氣感測
2. 偵測氫氣外洩
3. 氫燃料電池及氫燃料汽車
4. 可攜式氫氣偵測器

主要具體貢獻

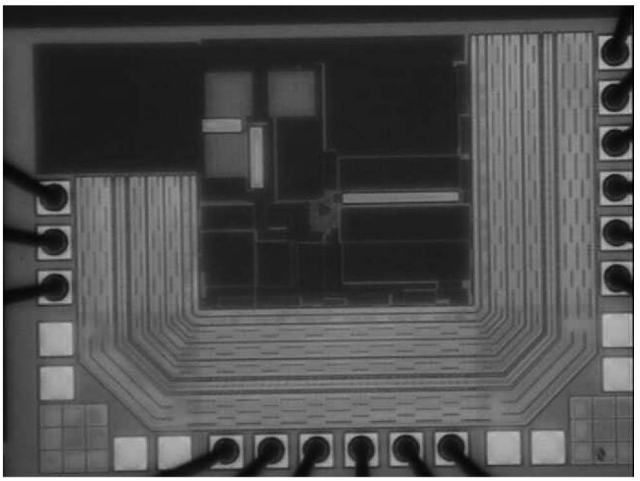
1. 消除蕭特基位障釘住效應，增加感測器靈敏度
2. 縮小氫氣偵測器體積、降低製造成本
3. 感測器與感測電路分離，若有損壞可單獨更換，本偵測器具有可重複使用性



圖一 半導體式氫氣感測器結構圖



圖二 感測晶片電路圖



圖三 下線晶片俯視圖

軟性電子關鍵技術之低溫 (200 ℃) 結晶矽膜技術開發與應用

計畫編號：NSC 97-2221-E-036-041

主持人：林烱暐 單位：大同大學光電工程研究所-快速元件實驗室

E-mail: lincw@ttu.edu.tw 電話:(02)25925252 Ext.2970 Ext.18

計畫簡介

本計畫主要目的為開發低溫矽結晶技術。研究發現，適當惰性氣體混合矽甲烷和氫氣能在低溫(200 ^{o}C)環境即可達成結晶品質優異之矽膜。由於惰性氣體在射頻電漿腔體中容易游離，可改善薄膜成長初期的核化活動狀況。因此本研究的薄膜沉積方式所需熱預算遠低於一般 LPCVD 方法。未來此結果將能允許電子元件在低溫基板上製作，如塑膠基板。

拉曼散射光譜儀的分析顯示(圖 1)，本計畫之低溫矽晶膜在波數 519.2 (cm^{-1})處出現明顯之結晶信號。若將波數 510 (cm^{-1})之混相信號一併考慮之後，此結晶矽膜傾向微晶矽薄膜結構(具有 80 %之結晶率)。

場發射電子顯微鏡觀察本研究結晶矽膜的表面型態(圖 2)，結果觀察到膜表面佈滿均勻之晶粒影像，其平均晶粒大小約為 44 nm。圖 3 為此計畫之低溫結晶矽膜製作薄膜電晶體與非晶矽薄膜電晶體之電氣特性技術比較。ON/OFF 電流比高達 6 個數量級，載子遷移率 0.58 (cm^2/V-s)與臨限電壓為 3.27 V。

研究項目適用領域

1. 軟性電子。
2. 顯示器。
3. 太陽電池與感測器。

主要具體貢獻

1. 無需更新目前業界使用之沉積設備即可完成新製程，降低開發成本。
2. 適合低溫基板之沈積，對於在軟性塑膠基板上製作軟性電子元件相當適合。

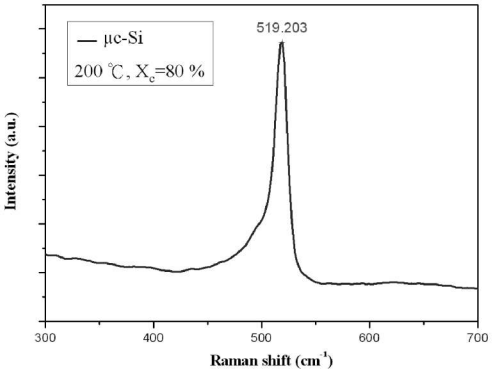


圖 1.本計畫結晶矽薄膜結晶率達 80 %。

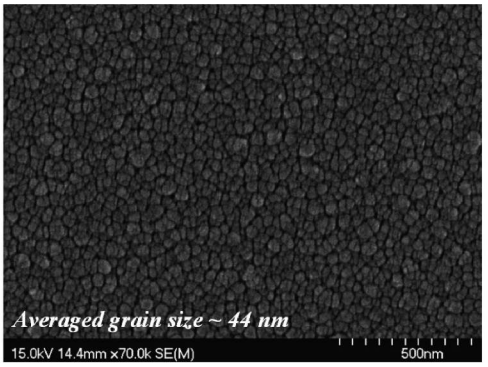


圖 2. 本計畫結晶矽薄膜之表面型態。

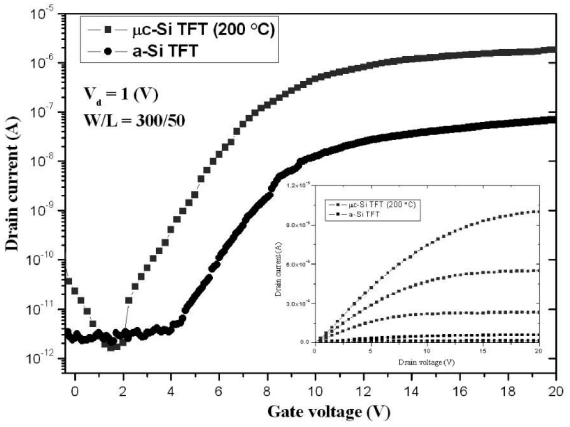


圖 3.本計畫結晶矽薄膜電晶體與非晶矽薄膜電晶體之電氣特性比較，插圖為本元件之輸出特性曲線。

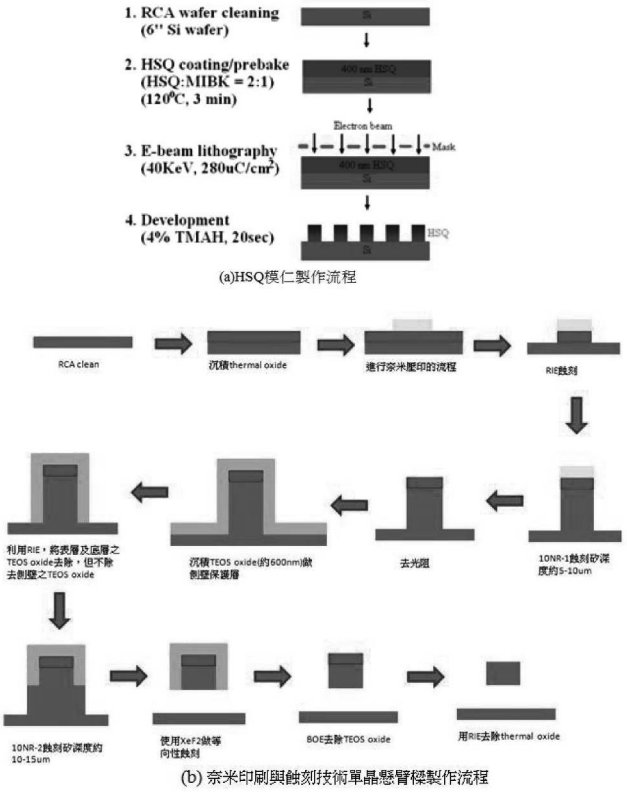
計畫名稱：使用奈米印刷技術研發一奈米線場效電晶體抗體感測器

計畫編號：NSC 97-2221-E-214-062
主持人：林啟元　　單位：義守大學
E-mail: kylam@isu.edu.tw 電話:07-6577711-6669

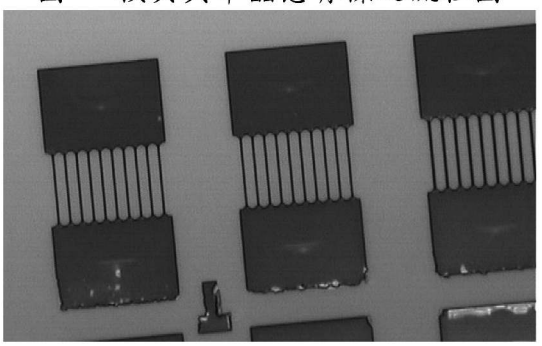
計畫簡介

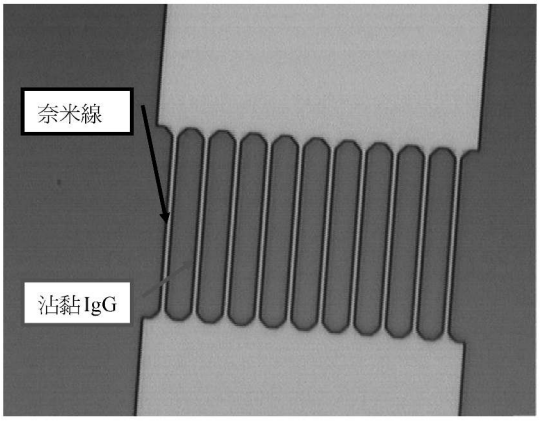
本計畫主要目的是利用奈米印刷技術與多重蝕刻技術，在矽晶片上製作出約 100 奈米線徑的單晶矽懸吊奈米線。並且，經由在奈米線表面以最佳的化學性結合方式形成一排列整齊之 anti-human IgG 自我聚集單層，作為分子辨認元件，製作出一個靈敏度高於 ug/ml 級數，且具有可攜帶性、高選擇性與即時測定功能的奈米線場效電晶體 IgG 抗體感測器。

圖一(a)為製作 HSQ 模仁的流程，首先以 RCA 清洗晶片，之後塗佈 HSQ，使用 E-beam 曝光，並進行顯影完成模具，圖一(b)為單晶懸臂樑製作流程，在矽晶片(100)進行 RCA 清洗後，成長 thermal oxide 500nm，並進行奈米壓印，使用 R I E 與 XeF_2 進行多重蝕刻蝕刻完成單晶懸臂樑，圖二是奈米壓印壓印完成後的 OM 圖。未來將可有效製作出矽奈米線，以做為奈米線場效電晶體 IgG 抗體感測器之用。



圖一 模具與單晶懸臂樑之流程圖





圖二 奈米線製作成果圖

研究項目適用領域

1. 奈米壓印技術(nanoimprint lithography, NIL)
2. 生物感測晶片

主要具體貢獻

1.-奈米壓印製作奈米級的奈米線

2.-製作出約 100 奈米線徑的單晶矽懸吊奈米線

3.-製作奈米線場效電晶體 IgG 抗體感測器

新穎影像偵測器架構之研究(II)

計畫編號：NSC 97-2221-E-007-134

主持人：徐永珍　　單位：國立清華大學電子工程研究所
E-mail: yjhsu@ee.nthu.edu.tw　　電話: (03)574-2594

計畫簡介

本研究計畫的目標是要以標準的 TSMC 0.35um SiGe BiCMOS 製程實現一個全新的影像偵測器架構，以突破目前 CMOS imager 所面臨的限制。此影像偵測器的 pixel 整合一個新型又高效能的 Phototransistor Photodetector (PTPD)，Column Amplifier 則為一個差動對數放大器。此新穎影像偵測器不以電容的充放電為機制，故其具有速度快之優點。又因 PTPD 之靈敏度高，因此影像偵測器具有可在低照度下運作的優勢。本計畫驗證 pixel level 及小 array level 的功能，希望能創造在相對便宜的標準製程下獲得低成本又高功能的全新 imager 的機會。

研究項目適用領域

1. 可見光與近紅外光影像偵測
2. 低照度影像偵測
3. 消費性低成本照相機與攝影機
4. 保全用影像偵測器

主要具體貢獻

1. 使用標準製程設計製作感測元件陣列和數位控制電路，驗證低成本、高動態範圍的影像感測器。
2. 成功驗證 3x3 像素陣列的高品質感光元件，並設計新型電流轉電壓讀出電路的，將大範圍的電流輸入訊號轉變為小範圍的電壓輸出訊號，提高動態範圍。
3. 完成設計後端 CDS 電路，消除像素與像素之間的固定圖樣雜訊。

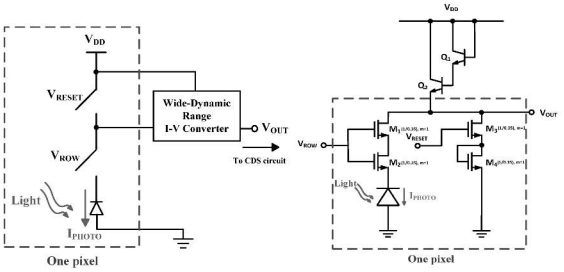


圖 1　像素及行放大器電路圖

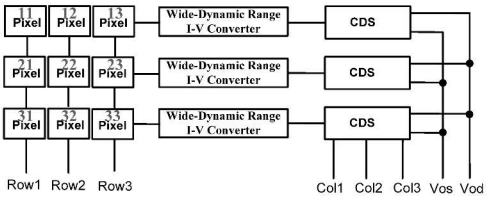


圖 2　3x3 像素陣列系統圖

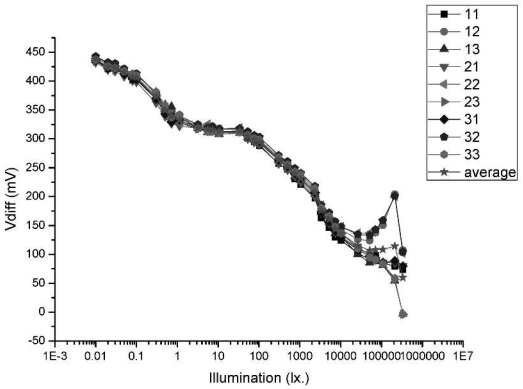


圖 3　九個像素雙端輸出隨照度變化量測結果

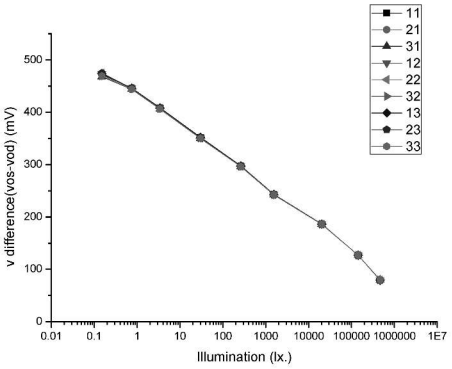


圖 3　九個像素雙端輸出隨照度變化模擬結果

CMOS MEMS 細胞阻抗晶片之研發(Ⅱ)

計畫編號：NSC 97-2221-E-006-247

主持人：張凌昇　　單位：國立成功大學 電機工程研究所
E-mail: lsjang@ee.ncku.edu.tw　　電話: (06)275-7575 ext 62443

計畫簡介

本計劃成果包含了此CMOS MEMS 晶片之設計與封裝。在 PDMS 上製作微流道及電極，並利用 PDMS 做晶片的封裝。完成封裝之後，針對封裝結構做應力測試。由測試結果發現，此封裝結構可承受 32.44 gm/mm^2 的壓力。最後，利用此 CMOS MEMS 晶片量測空氣、DI water 及 PBS (phosphate buffered saline)的阻抗。

研究項目適用領域

1. CMOS MEMS
2. Microfluidics
3. PDMS 封裝技術

主要具體貢獻

1. CMOS MEMS 阻抗晶片、微流道設計及封裝技術之整合
2. 在 PDMS 上建構電極以協助訊號導引，並利用鍍上電極之 PDMS 完成封裝
3. PDMS 封裝結構之應力測試

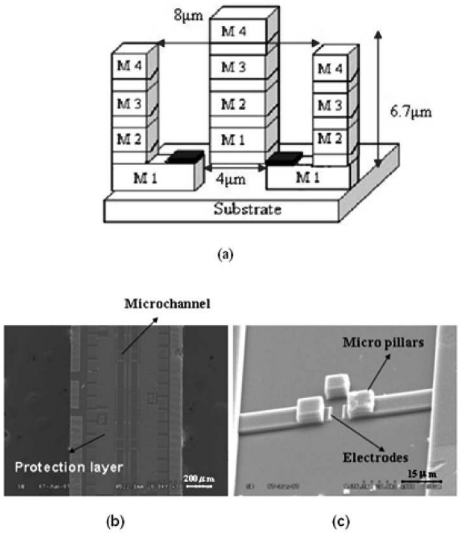


圖 1　CMOS MEMS 晶片示意圖

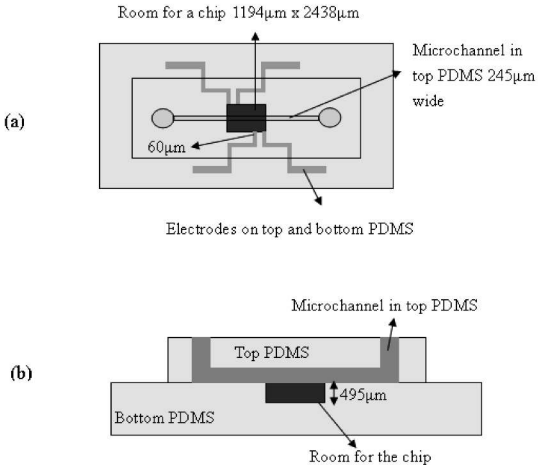


圖 2　封裝結構示意圖

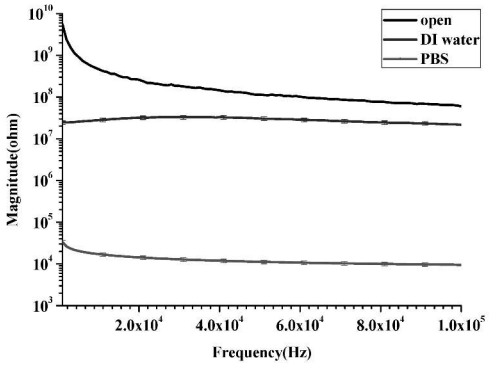


圖 3　空氣、DI water 及 PBS 阻抗量測

無磷光粉、高效能智慧型太陽光模擬光源的開發

計畫編號：NSC 97-2221-E-008-106-MY3
主持人：許晉瑋　　單位：國立中央大學　電機工程學系
E-mail: jwshi@ee.ncu.edu.tw　　電話(03)422-7151 ext:34466

計畫簡介

我們開發一種新穎的橫向接面白光發光二極體。利用多波長量子井和電流側向注入的技術，發光二極體可在不同電流偏壓下發出穩定的白光。和傳統螢光粉的白光發光二極體相比，此元件可直接電激發出白光，且不會因螢光轉換造成能量損失。此種元件因為並無牽涉到磷化物長達毫秒(ms)的放光時間，所以將會有較快的速度。我們成功展示使用再磊晶技術成長的橫向接面白光二極體。和傳統白光二極體相比其有六倍大的調制頻寬。在今年中，我們也將此結構實現在藍光二極體。也發現了和傳統的垂直接面藍光二極體相比，此結構可以有效的提升電流分布，光輸出強度，和外部量子效率。

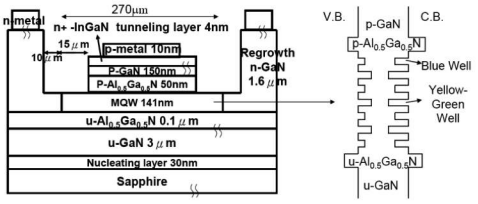
研究項目適用領域

1. 手機閃光燈、手機攝影
2. 高速攝影、室內照明

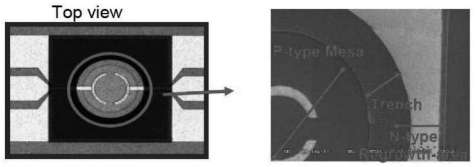
主要具體貢獻

1. 純電激發所發出的白光，不需螢光粉摻雜，可降低多餘的熱損耗，光電轉換效率可提升，並可以降低封裝成本。
2. 此發明因為電流從量子井側邊輸入，電流在每個井中分佈均勻。所以此發明的 LED 其放光頻譜不會隨著電流的增加而產生變化。其白光頻譜可藉由調整量子井結構和數目達成，不會受限於螢光粉本身的原子放光譜線使其白光頻譜穩定，不會隨著偏壓電流改變而改變。
3. 此發明最大優點就是可以藉由控制不同原色(RGB)的量子井數目，來達成所需要的白光成分。此種功能若是藉由圖一、二所示的傳統結構，因為電流分不均，和螢光粉光譜中各顏色的相對強度較難控制而難以達成。

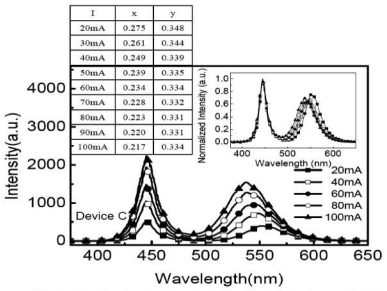
計畫成果圖



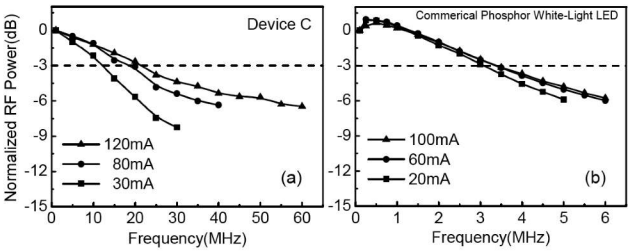
圖、橫向接面雙色量子井白光 LED 的橫截面示意圖



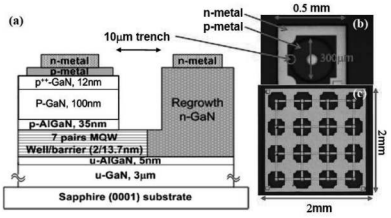
圖、橫向接面雙色量子井白光 LED 的俯視圖



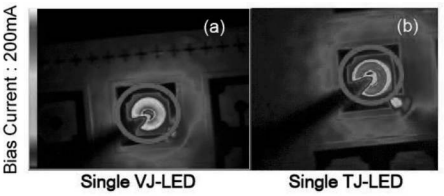
圖、橫向接面雙色量子井白光 LED 不同電流下的電激發頻譜



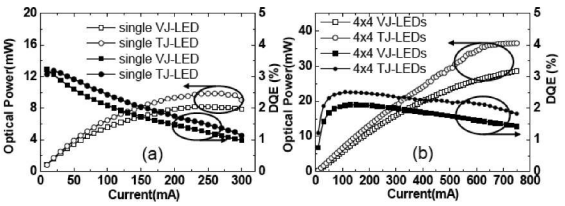
圖、橫向接面雙色量子井白光 LED(a) 和磷光粉白光二極體(b)不同電流下的速度表現



圖、橫向接面藍光 LED(a) 橫截面(b)俯視圖



圖、橫向接面藍光 LED 的近場光分布圖(a)單一顆(b)4*4 陣列



圖、橫向接面藍光 LED 的 L-I 曲線(a)單一顆(b)4*4 陣列

應用於太陽能電池之捲軸式奈米壓印技術

計畫編號：NSC 97-2221-E-260-025

主持人：陳建亨　　單位：國立暨南大學電機系
E-mail: henry@ncnu.edu.tw　　電話:049-2910960 ext. 4986

計畫簡介

本計畫之目的在於運用奈米壓印技術已改進太陽能電池之效率並降低成本，進行捲軸式奈米壓印技術於太陽能電池之應用研究，使其能製作週期性結構，以提高太陽能電池之發電效率。

為配合熱壓捲軸式奈米壓印系統之需求，進行奈米 Ni 捲筒(Roll-to-Roll)模具發展研究。延續現有電鍍經驗發展電鍍奈米 Ni 結構，完成可彎曲(flexible)之 Ni 模具製作研究，規劃製作流程如圖 1 所示，製作出微米(2um-10um)與奈米週期(100nm-300nm) Ni 模具，並進行表面結構分析。

圖 2(a)為電鍍奈米 Ni 結構之 SEM 剖面圖，其週期可達 100nm-300nm，圖 2(b)為該模具之 AFM 表面分析圖，圖 2(c)為該模具經彎曲後之照片，由圖可知，本實驗已成功製作出奈米週期之可彎曲 Ni 模具。

本計畫已有效運用奈米壓印技術，進行奈米週期之可彎曲 Ni 模具製作，未來將可應用於捲軸式太陽能電池製程，提高太陽能電池之發電效率並有效降低成本。

研究項目適用領域

1. 太陽能電池
2. 薄膜電晶體
3. 奈米電子元件與記憶體
4. 奈米機電系統

主要具體貢獻

1. 成功製作奈米模具
2. 成功完成 Ni Nano-wire 電鍍
3. 完成可彎曲(flexible)之奈米級 Ni 模具
4. 完成奈米級 Ni 模具之表面結構分析

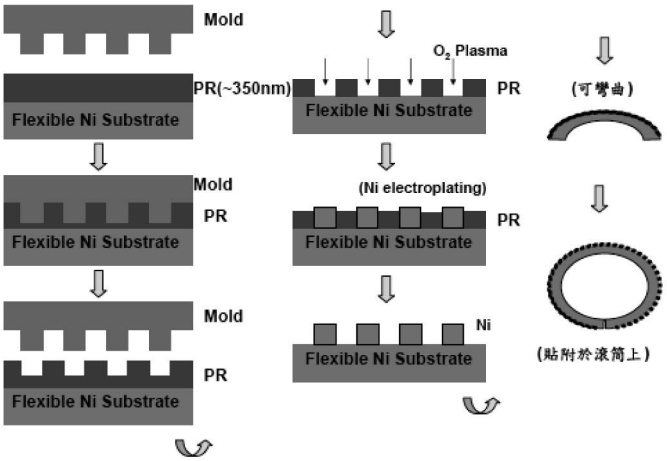
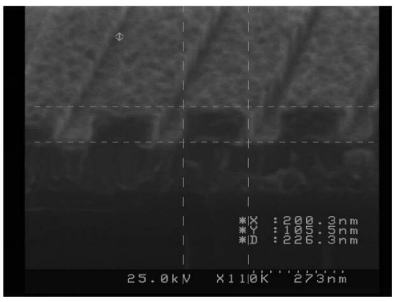
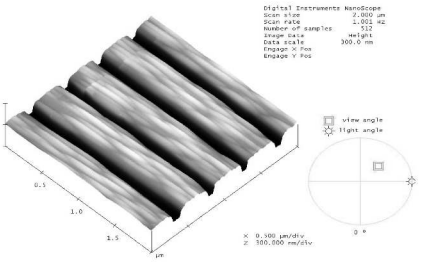


圖 1 可彎曲(flexible)之 Ni 模具製作流程.

(a)



(b)



(c)

圖 2 奈米 Ni 模具之(a)SEM, (b)AFM, 與(c)彎曲照片圖.

新穎性多樣氣體感測器之研製

計畫編號：NSC 96-2221-E-006-283-MY3
主持人：陳慧英　　單位：國立成功大學化學工程學系
E-mail: hueying@mail.ncku.edu.tw 電話：(06) 275-7575 ext. 62667

計畫簡介

本工作係“新穎性多樣氣體感測器之研製”三年期計畫之第二年研究，旨在研製一具有多孔性鈀/氧化矽/氮化鎵蕭特基二極體氫氣感測元件，並探討氫氣濃度(15-9970ppm)及溫度 (303-515K)對氫氣感測性能之影響。

實驗結果顯示本多孔性元件擁有低偵測極限（特別在 423K 下，偵測極限可達 ppb 等級）、寬偵檢範圍、高靈敏度與應答速率快等優點。在 423K 下，氫氣濃度 15ppm H_2/air 之感測靈敏度可高達 490%，1% H_2/air 時則靈敏度超過 10^4。此外，並進一步推導穩態熱力學及暫態動力學模式，以解析氫氣感測結果。

研究項目適用領域

1. 實驗室與工廠氫氣洩漏監控
2. 半導體製程
3. 氫能儲存、運送與製造
4. 燃料電池與氫動力車

主要具體貢獻

1. 成功開發新型多孔式 Pd/SiO_2/GaN 蕭特基二極體，作為一高效能之氫氣感測器，適用於極低濃度之檢測。
2. 利用 MOS 半導體元件取代 MS 結構，可有效地防止費米能階釘住效應，提升感測靈敏度。以多孔式取代緻密式鈀極，大幅提高元件靈敏度。
3. 元件靈敏度高： 490% （423K、15 ppmH_2/air）

   偵檢範圍廣：< 15 ppm ~ > 1%

   偵檢下限低：～ ppb（423 K）

   操作溫度廣：303-515 K

   應答速率快：2~13 s for 1% H_2/air

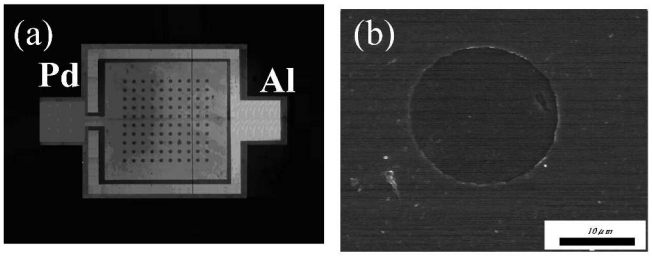


圖 1 (a) 元件表面結構，(b)孔洞大小之 SEM 圖

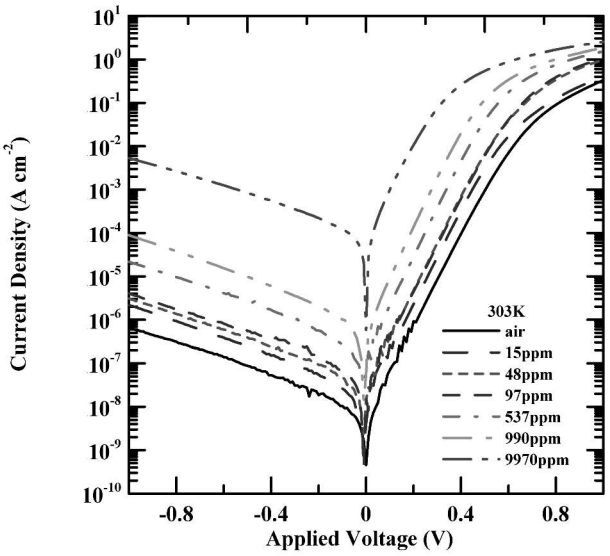


圖 2 各氫氣濃度下之電流-電壓關係圖

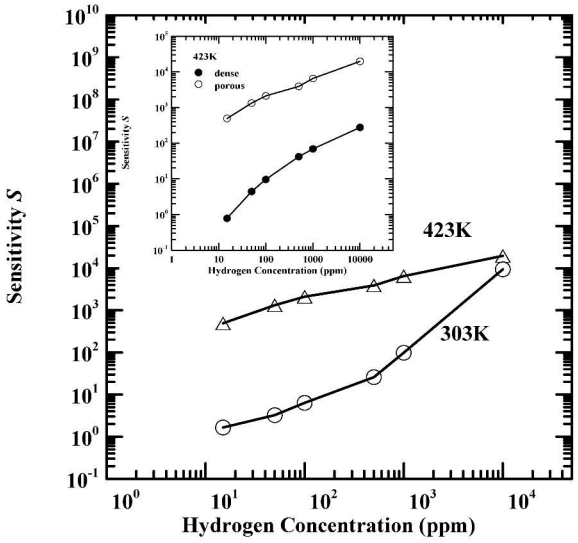


圖 3 元件在不同溫度下之感測靈敏度與氫氣濃度之關係（插圖為多孔式與緻密式元件之比較）

新式結構與高介電常數閘極介電層在複晶矽薄膜電晶體之應用(1/2)

計畫編號：NSC 97-2221-E-009-181
主持人：雷添福　　單位：國立交通大學電子研究所
E-mail: tflei@cc.nctu.edu.tw 電話: 03-5781115

計畫簡介

在系統面板與三維主動元件整合上，低溫複晶矽薄膜電晶體被認為是非常具有吸引力與潛力的元件。首先，在報告中我們整合氮化鈦金屬閘極和高介電常數氧化鐠閘極介電層來發展高效能之固相再結晶複晶矽薄膜電晶體。

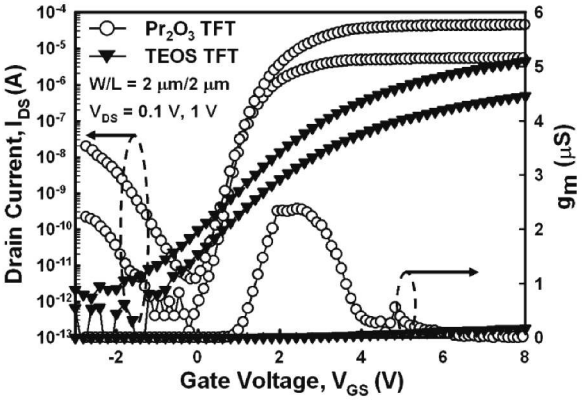
應用氧化鐠閘極介電層可得到較薄的等效氧化層厚度和較高的閘極電容密度並且可以使複晶矽通道區域誘發產生更大量的可移動載子。因此，複晶矽薄膜裡的晶粒邊界缺陷態位會被大量誘導產生的載子迅速的填滿，可以大幅的改善次臨界擺幅。即使在沒有額外施加氫化處理製程或採用先進的相結晶技術下，複晶矽氧化鐠閘極介電層薄膜電晶體的電性明顯地勝過傳統的複晶矽二氧化矽閘極介電層薄膜電晶體。

研究項目適用領域

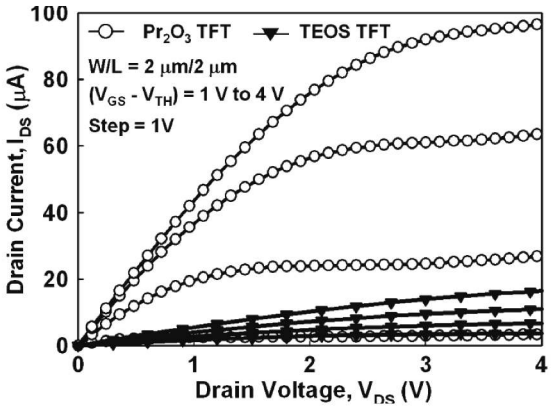
1. 複晶矽薄膜電晶體
2. 主動式陣列液晶顯示器

主要具體貢獻

1. 成功的製作出高效能氮化鈦金屬閘極及氧化鐠閘極介電層複晶矽薄膜電晶體。
2. 具有良好的元件操作特性如:更低的臨限電壓、更小的次臨限擺幅、更高的場遷移率與趨動電流。



(a)



(b)

圖一 氧化鐠與 TEOS 絕緣層多晶矽薄膜電晶體的(a)電性轉換特性曲線(I_{DS}–V_{GS})與(b)輸出特性曲線(I_{DS}–V_{DS})，元件尺寸為(W/L) =2 μm/2 μm。

SPC poly-Si TFT with various gate dielectrics	Pr_2O_3 [This work]	HfO_2 [10]	$LaAlO_3$ [11]	PECVD TEOS [This work]
$T_{Physical}$/ EOT	33.6 nm/ 6.5 nm	27.7 nm/ 7.3 nm	50 nm/ 8.7 nm	35 nm/ 42.6 nm
W/L (μm)	2/2	0.1/1	100/4	2/2
V_{TH} (V)	1.27	0.3	1.2	2.28
S.S. (V/decade)	0.22	0.28	0.31	1.08
μ_{EF} (cm^2/V-s)	40	39	40	23
I_{ON}/I_{OFF} ratio (10^6)	10.6	9.7	1.5	3.5

表一 由不同閘極絕緣層之固相結晶法多晶矽薄膜電晶體所量測及萃取出的元件參數，包括 HfO_2、 $LaAlO_3$ 及本研究中的 Pr_2O_3 和 TEOS。

高介電常數的三氧化鐠與三氧化釔閘極介電層在薄膜電晶體、快閃記憶體及離子感測電晶體應用

計畫編號：NSC 97-2221-E-182-050

主持人：潘同明　　單位：長庚大學 電子工程學系
E-mail: tmpan@mail.cgu.edu.tw　電話:(03)211-8800 ext 3349

計畫簡介

本計畫是利用高介電常數材料三氧化二鐠作為閘極氧化層的多晶矽薄膜場效電晶體，並在不同的N_2O 電漿功率下做比較，高介電常數三氧化二鐠的多晶矽薄膜電晶體在200 瓦強度的電漿處理下展現優越的特性，此外高介電常數三氧化二鐠多晶矽薄膜電晶體在200 瓦強度的電漿下做出的元件在熱載子效應和PBTI也擁有不錯的可靠性，因此使用高介電常數三氧化二鐠作為閘極氧化層並沉積氮氧化矽緩衝層的低溫多晶矽薄膜電晶體可擁有極佳的特性。

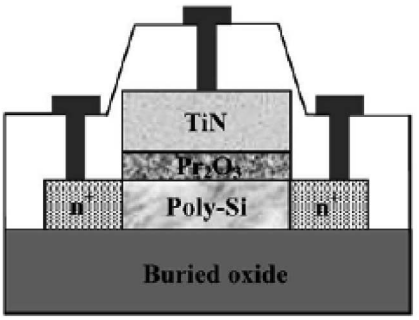


圖1:N_2O電漿處理後的高介電常數Pr_2O_3 Poly-Si TFT結構剖面圖。

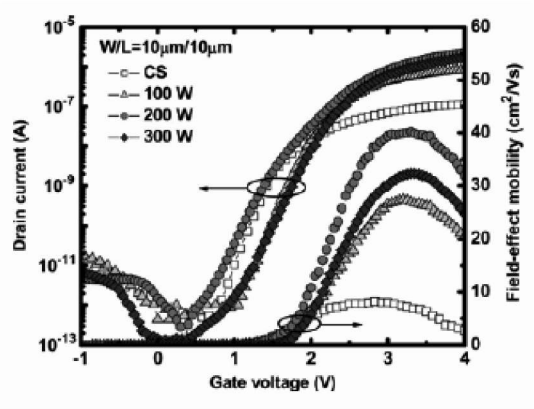


圖2:有無經過N_2O電漿處理的高介電常數Pr_2O_3 Poly-Si TFT的轉移特性和電子遷移率。

研究項目適用領域

1.低溫多晶矽薄膜電晶體(LTPS TFT)

主要具體貢獻

1. 高的電子遷移率(μ_{FE})
2. 高的驅動電流(Ion)
3. 小的次臨界斜率(S.S.)
4. 高的電流開關比(Ion/Ioff)

表1:不同功率N_2O電漿處理的高介電常數Pr_2O_3 Poly-Si TFT的電性參數。

Sample	CET(Å)	V_{th} (V)	μ_{FE} (cm^2/V-sec)	S. S. (mV/dec)	I_{ON}/I_{OFF} (@V_{DS}=0.1V)
Control sample	36	1.65	8.1	255	2.5×10^5
100 W	43	1.43	27.4	258	1.85×10^6
200 W	49	1.26	40.2	246	1.8×10^7
300 W	54	1.32	32.3	253	1.5×10^7

應用於電荷陷阱層之混成奈米晶體及其功函數調變效應研究

計畫編號：NSC 97-2221-E-150-072
主持人：鄭錦隆　　單位：國立虎尾科技大學 機械與機電工程研究所
E-mail: chengcl@nfu.edu.tw　　電話:886-5-6315396

計畫簡介

本計畫利用低溫化學氣相沉積法[Chemical Vapor Deposition (CVD)] 還原雙金屬氧化物奈米晶體深埋在高介電係數HfON層中，其雙金屬醋酸鹽溶液是以醋酸鈷[$(CH_3COOH)_2Co\cdot 4H_2O$]、醋酸鉬[$(CH_3COOH)_2Mo$]以及醋酸鐵[$(CH_3COOH)_2Fe\cdot 4H_2O$]之搭配組合，並以酒精當作溶液。藉由改變醋酸鹽重量百分比濃度、不同的醋酸鹽雙金屬組合、HfON之阻擋氧化層厚度（Blocking oxide）、不同的試片浸泡時間(Dip time)、利用滴落法以及HfON表面處理等條件，成長高效能雙金屬氧化物奈米晶體並應用於非揮發性記憶體元件。

利用 C-V 量測 Co_xMo_yO 雙金屬氧化物奈米晶體非揮發性記憶體元件，在±5 V 範圍的掃略下，可得到其遲滯範圍為 700 mV，其可捕捉陷阱密度為 $1.1\times10^{12}cm^{-2}$。由 SEM 圖可觀察到 Co_xMo_yO 雙金屬氧化物奈米晶體表面密度為 $1\times10^{11}cm^{-2}$，而直徑為 4-20 nm。由物性以及電性結果證實具備 Co_xMo_yO 雙金屬氧化物奈米晶體之非揮發性記憶體元件比具備 Fe_xCo_yO 或 Fe_xMo_yO 雙金屬氧化物之特性為佳。又由研究發現在 Co_xMo_yO, Fe_xCo_yO 以及 Fe_xMo_yO 寫入特性皆是以電洞捕捉為主要驅動電荷。

研究項目適用領域

1. 積體電路
2. 非揮發性記憶體元件
3. 半導體製造

主要具體貢獻

1. 利用低溫化學氣相沉積法[Chemical Vapor Deposition (CVD)] 還原雙金屬氧化物奈米晶體
2. 成長的雙金屬氧化物奈米晶體應用於非揮發性記憶體元件之電荷補捉層
3. Co_xMo_yO 雙金屬氧化物奈米晶體表面密度為 $1\times10^{11}cm^{-2}$，而直徑為 4-20 nm
4. 所成長的雙金屬氧化物奈米晶體以電洞捕捉為主要驅動電荷。

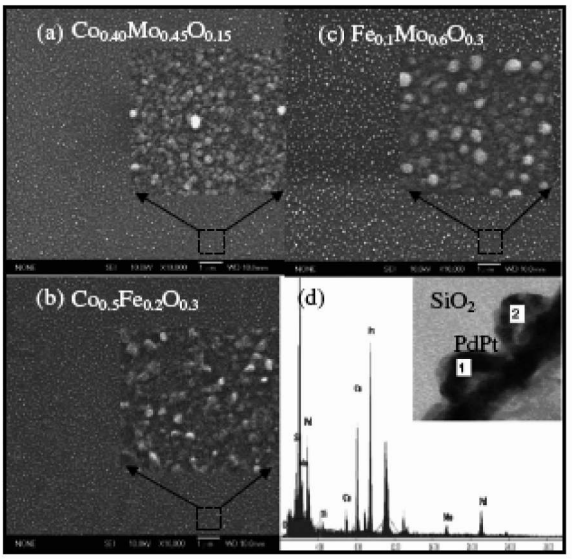


圖 1: 各種利用低溫化學氣相沉積法還原之雙金屬氧化物奈米晶體

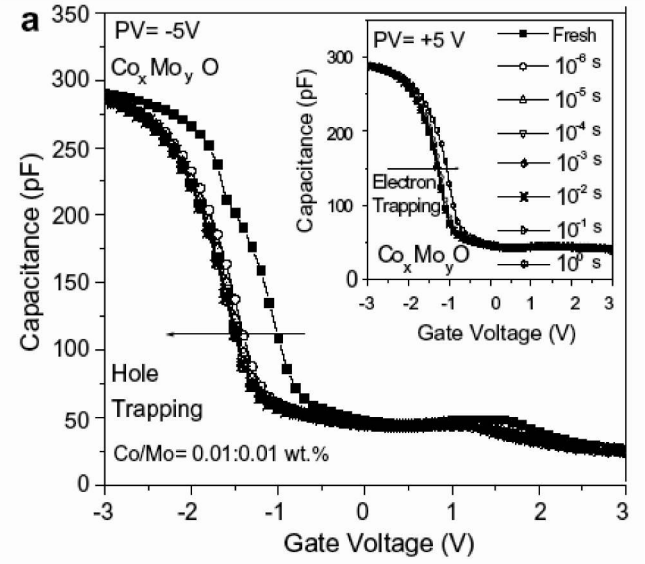


圖 2: Co_xMo_yO 雙金屬氧化物奈米晶體非揮發性記憶體元件之寫入特性

高效率矽奈米柱混成矽量子點太陽能電池之研製與其特性研究

計畫編號：NSC 96－2221－E－492－012－MY3

主持人：戴寶通　　單位：國研院國家奈米元件實驗室
E-mail: btdai@ndl.org.tw　　電話(03)5726100. ext.7719

計畫簡介

本計畫主要為研製一高效率矽奈米線混成矽量子點太陽能電池。第一，利用氣-液-固成長技術達成大面積成長具超高比表面積之矽奈米線。第二，於矽奈米線的表面以化學氣相沉積技術，製備不同吸收能隙之矽量子點而形成堆疊式元件結構，以大大提升電池效率，並將其應用於第三代太陽能電池。

研究成果

(1) Si 奈米線太陽電池: 光伏轉換效率約為 4.1%,填充因子(FF)74%。量測結果顯示，我們已克服 Si nanowires 與金屬接面問題。

(2) nano-texture 太陽電池: 此結構所製作的太陽電池轉換效率比無粗化結構提升大約 28%（7.2% →9.17%）。

研究項目適用領域

1. 矽晶太陽電池運用。
2. 薄膜型太陽電池運用。
3. 可撓式太陽電池運用。
4. 光感測元件運用。
5. 生物感測元件運用。

主要具體貢獻

1. 藉由 VLS 成長機制製作奈米線太陽電池。
2. nano-texture 太陽電池。
3. 碩士論文二篇，陳坤成(96)，楊麒翰(97)
4. A、國際期刊論文二篇

(1) C. L. Cheng, C. W. Liu, J. T. Jeng, **B. T. Dai** and Y. H. Lee "Fabrication and characterizations of black hybrid silicon nanomaterials as light trapping textures for silicon solar cells," Journal of The Electrochemical Society, Vol. 156, No. 5, pp. H356-H360, 2009. (SCI, RF: 1/18, IF: 2.483)

(2) J. Y. Yang, C. W. Liu, C. L. Cheng, J. T. Jeng, **B. T. Dai** and K. C. Chen, "Photovoltaic characterizations of crisscrossed silicon nanorods solar cells," IEEE Electron Device Letters. (In press) (SCI, RF: 23/229, IF: 3.049)

B.國際會議論文 4 篇

C.國內會議論文 4 篇

D.國內期刊論文 2 篇

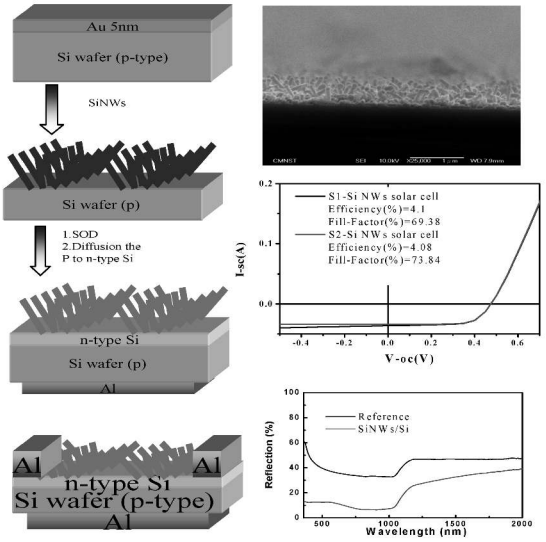


圖 1 Si 奈米線太陽電池

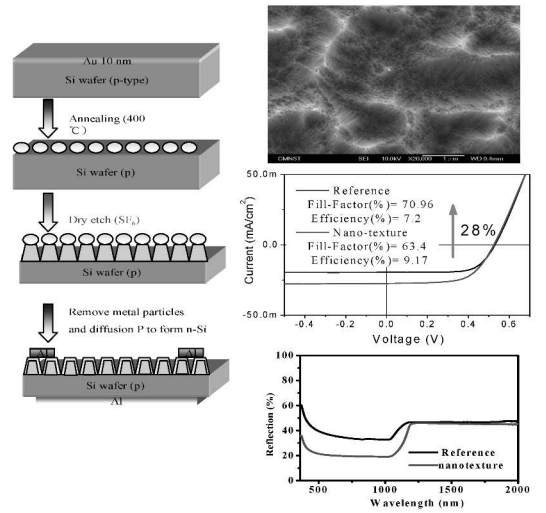


圖 2 nano-texture 太陽電池

變形性緩衝晶膜光伏元件研製與模型

計畫編號：NSC 97-2221-E-019-061

主持人：譚仕煒　　單位：國立台灣海洋大學電機工程學系
E-mail: tanshwei@mail.ntou.edu.tw　電話: 02-24622192 ext.6216

計畫簡介

本計畫主要是配合國家能源政策之重點科技發展，尤其是潔淨能源及減碳排放為主，提供 Si 上 GaAs metamorphic 磊晶技術及積極研發低成本、高轉換效率太陽能電池及其核心技術，並且建立量產式的分析技術以及太陽能電池的等效電路以期提昇國內相關元件與產品的開發與研究。

計劃內容區分如下技術層面：

(1) Metamorphic transition layer：採取包含 GaAsP graded layer，InGaP graded，InGaAsP graded，InAlAsP graded 等結合理論設計不同的成長法形成低濃度，高阻值，平坦，無缺陷的緩衝層，

(2) 鬆弛層的設計藉由近一步完成 relaxation rate 高的 M-buffer，並配合套裝軟體模擬的到參數最佳化。

以變形性緩衝晶膜實現矽上砷化鎵太陽能電池，實現砷化鎵太陽能電池的低成本化，因應未來新世紀潔淨能源及減碳排放的全球化議題，提早研發高轉換效率太陽能電池相關核心技術，以期佔有市場優勢。針對目前產業界需求及太陽能電池市場對相關零組件特徵參數利用 SILVACO 軟體進行模擬與訂定最佳化多樣化結構作為後續步驟之基礎點。接著針對矽上砷化鎵系列材料進行太陽能電池結構之突破改良。研發重點在提供一新型元件結構，一則簡化磊晶製程，提高晶膜品質；再則利用現有的製程技術配合窗層蝕刻技術之發展、高轉換效率、低成本元件之佈局製作高性能太陽能電池。技術重點包括：新型元件結構之理論分析及最佳化，含上述新型元件模擬，製作測試，此又包含一般電性，照光特性探討。

研究項目適用領域

1.分散式能源

2.行動能源

3.智慧型電網

主要具體貢獻

1.提供矽上砷化鎵太陽能電池磊晶片。

2.元件結構之理論分析及最佳化。

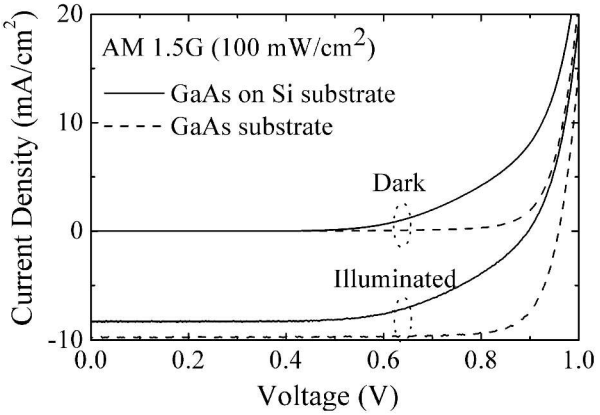


圖 1 矽上砷化鎵太陽能電池與砷化鎵太陽能電池特性

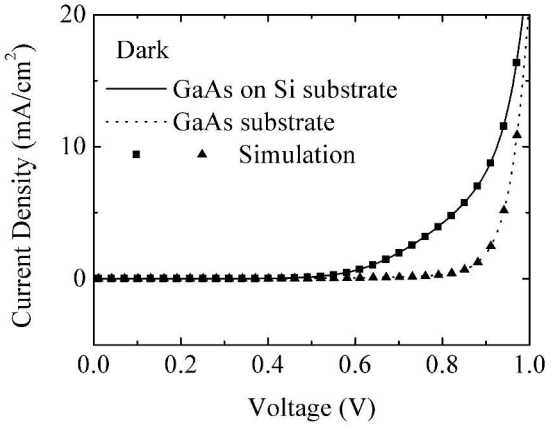


圖 2 未照光下太陽能電池實驗與模擬特性

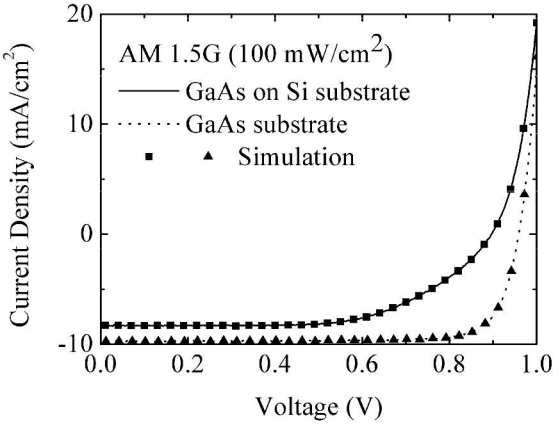


圖 3 AM 1.5G 下太陽能電池實驗與模擬特性