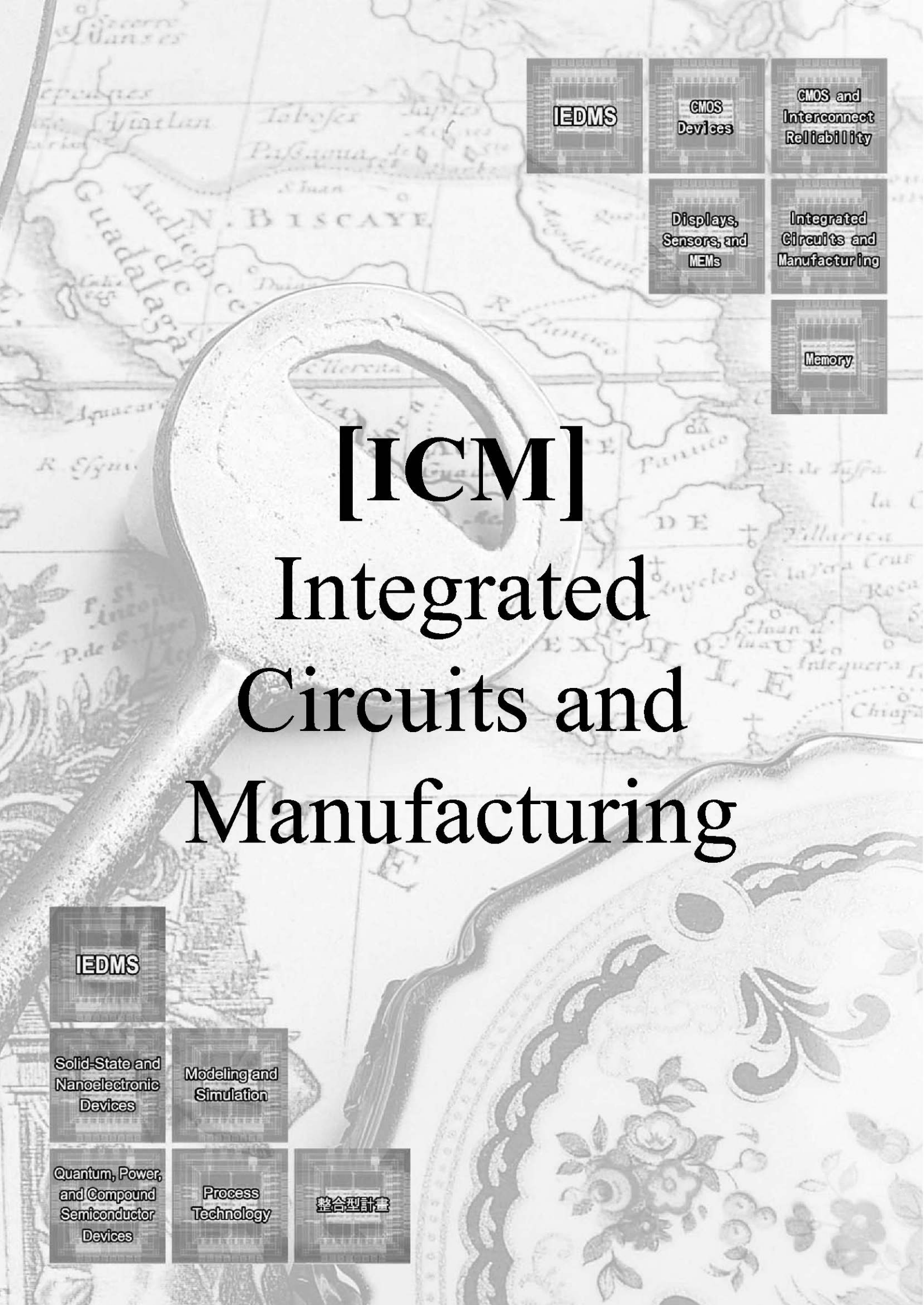

IEDMS
CMOS Devices
CMOS and Interconnect Reliability
Displays, Sensors, and MEMs
Integrated Circuits and Manufacturing
Memory
[ICM]
Integrated Circuits and Manufacturing
IEDMS
Solid-State and Nanoelectronic Devices
Modeling and Simulation
Quantum, Power, and Compound Semiconductor Devices
Process Technology
整合型計畫

Ku 頻段微波積體電路暨高功率微小化收發整合系統之研製

計畫編號：NSC 97-2221-E-006 -283

主持人：王永和 單位：國立成功大學微電子所
E-mail:YHW@eembox.ncku.edu.tw 電話：06-275-7575 ext. 62352

計畫簡介

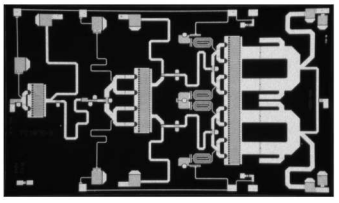
本計畫為期一年，主要目的在於承襲以往本實驗室所研製的 MOS-PHEMT 功率元件，及所修改更適用於 Ku 頻帶之小訊號與大訊號元件模型，配合高頻電路設計及電磁場分析等模擬軟體，此計畫第一年將設計研製應用於 Ku 頻帶之功率放大器(Power Amplifier)、Ku 到 Ka 頻帶倍頻器(Doubler) 與寬頻(mixer)混波器等單晶微波積體電路(MMIC)。藉由實際量測結果，今年度計畫成功地實現 Ku 到 Ka 頻帶各 MMIC 之設計與製作，包括：(A) 功率放大器在 16.2~16.8GHz 達到增益值約為 10dB (5W)。在輸出功率量測方面，頻率在 16.5GHz，其所對應之輸出功率 P_{3dB} 為 37.3dBm 與 25.2%功率增加效率(PAE)。(B) Ku 頻帶倍頻器，由量測結果在輸入訊號為 10 dBm 功率下，輸入頻率從 10~15GHz 的轉換損失約為 7.3 dB，而基頻抑制大於 24dB。(C) Ku 至 Ka 頻帶寬頻新式混波器方面，由量測結果在 LO 訊號 15 dBm 輸入功率下，且固定 IF 頻率為 1GHz 時，RF 頻率從 18~40GHz 的轉換損失介於 10.2~14.5dB，P1Db 飽和點約為 6dBm。整體而言，今年度計畫之執行與成果算是相當成功的。

研究項目適用領域

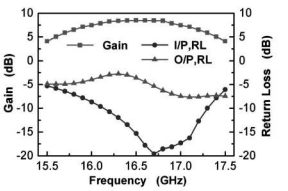
1. 單晶微波積體電路設計
2. Ku 頻帶通訊系統

主要具體貢獻

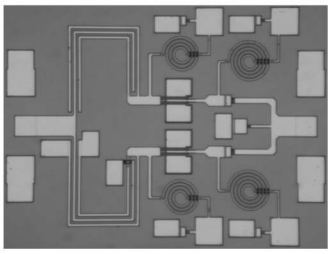
1. Ku 頻帶 5W 放大器之研發設計與製作
2. Ku 頻帶平衡式倍頻器之研發設計與製作。
3. Ku 至 Ka 頻帶寬頻新式混波器之研發設計與製作
4. 高頻電磁場模擬分析與高頻電路量測



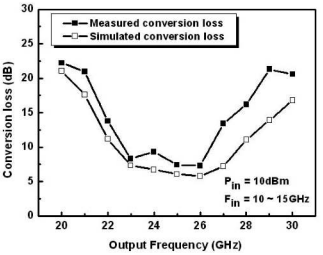
圖一、Ku 頻帶功率放大器實際晶片圖



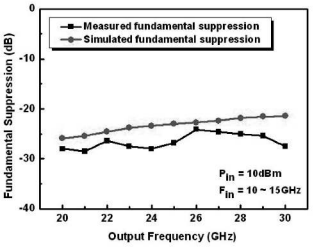
圖十一、增益/輸出功率對頻率之響應圖



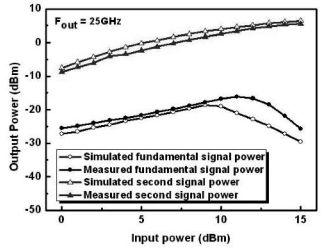
圖十三、 Ku 頻帶平衡式倍頻器實際晶片圖



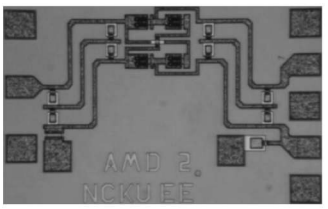
圖十四、轉換損耗與輸出頻寬之量測結果



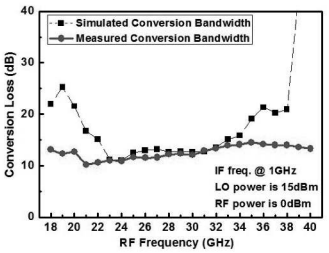
圖十五、基頻抑制能力之量測結果



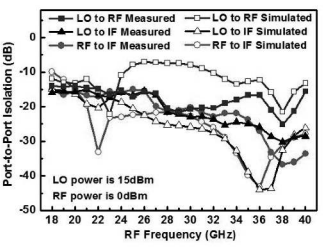
圖十六、基頻與二倍頻輸出功率之量測結果



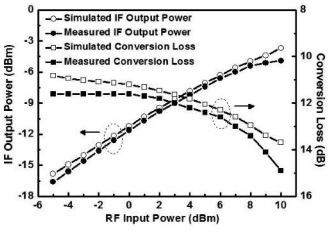
圖十七、Ku 至 Ka 頻帶寬頻混波器實際晶片圖



圖十八、轉換損耗頻寬之量測結果



圖十九、隔離度對 RF 頻率的量測結果



圖二十、轉換損耗與 IF 輸出功率對 RF 功率的量測結果

應用於 Ku 及 Ka 雙頻段之關鍵性元件 MMIC 及發射器系統之開發與研製(3/3)

計畫編號：NSC 95-2221-E-006-428-MY3
主持人：王永和 單位：國立成功大學微電子所
E-mail:YHW@eembox.ncku.edu.tw 電話：06-275-7575 ext. 62352

計畫簡介

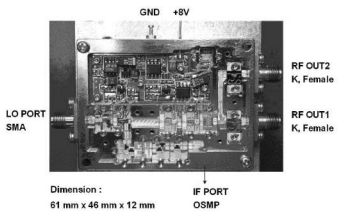
本計畫第三年主要目的在於承襲第二年所研製的 Ka/Ku 頻帶 MMIC，搭配高頻陶瓷基板電路，並同時整合直流控制電路與溫度補償電路於其中，將整個系統組裝於 Housing 中，完成整個 Ka 頻段 1W 發射器系統的設計，大幅縮小電路的面積，達到小型化的目的。藉由實際量測結果，今年度計畫成功地實現 Ka/Ku 頻帶發射器系統與各 MMIC 之設計與製作，包括：(1) Ka 頻帶 1W 發射器系統，當頻率為 34GHz 時射頻輸出功率為 29.4dBm，溫度從-35°C 到 25°C 與 25°C 到 85°C，RF 輸出功率變化分別為 0.4dBm 與 1.8dBm。(2) Ka 頻帶 3.5W 三級功率放大器從 28 到 36GHz 的小訊號增益均大於 20dB，固定頻率為 35GHz 時，P1dB 壓縮點為 34dBm 此時 PAE 為 14.5%。(3) Ka 頻帶積體小型化升頻器，當射頻頻率由 27 到 38GHz 時，轉換增益介於 10 至 13dB，LSB 抑制能力在同頻段均大於 20dB，2 倍 LO 頻段之抑制能力為 20dB 左右。(4) Ka 頻帶雙平衡星型二極體混頻器在 LO 訊號 13dBm 輸入功率下，RF 頻率從 24~40GHz 的轉換損失介於 6.6~10.6dB，IF 頻寬約為 15GHz。整體而言，今年度計畫之執行與成果算是相當成功的。

研究項目適用領域

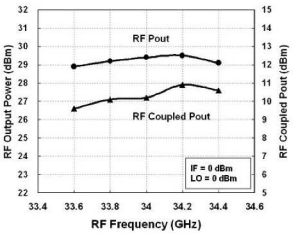
1. 單晶微波積體電路設計
2. Ku/Ka 頻帶通訊系統

主要具體貢獻

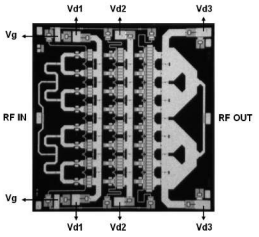
1. Ka 頻帶 1W 發射器系統之研發與製作。
2. Ka 頻帶 3.5W 三級功率放大器之研製。
3. Ka 頻帶積體小型化升頻器之研製。
4. Ka 頻帶雙平衡星型二極體混頻器之研製。



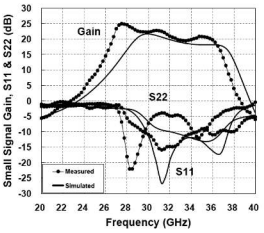
圖一、Ka 頻帶 1W 發射器系統其實際製作完成之 housing 圖



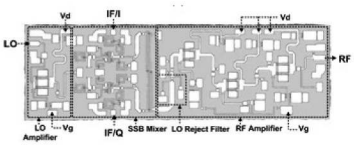
圖二、發射器輸出功率對頻率的量測結果



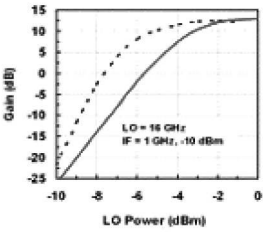
圖三、Ka 頻帶 3.5W 功率放大器實際製作完成之晶片



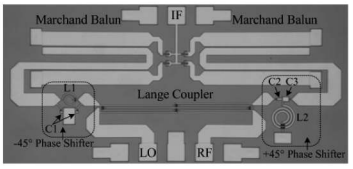
圖四、小訊號增益與輸入輸出埠的返回損耗的量測結果



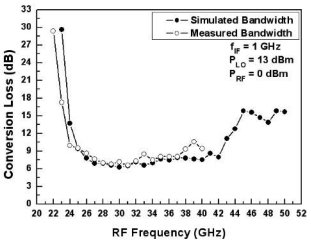
圖五、Ka 頻帶積體微小化升頻器實際晶片圖



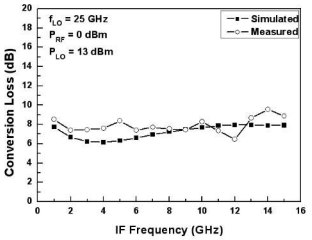
圖六、轉換增益對 LO 功率的量測結果



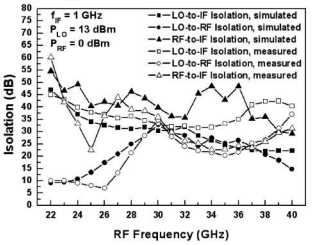
圖七、Ka 頻帶雙平衡二極體混頻器晶片圖



圖八、轉換損耗對射頻頻率的量測結果



圖九、IF 頻寬的量測結果



圖十、隔離度對 RF 頻率的量測結果

毫微米電晶體在高頻除三除頻器電路的應用性研究(I)

計畫編號：NSC 97-2221-E-011-138

主持人：張勝良　單位：國立台灣科技大學 電子工程學系
E-mail：sljjj@mail.ntust.edu.tw 電話：(02)27376383

計畫簡介

本計畫提出一個寬鎖定範圍的除三注入鎖定除頻器，使用聯電 90 奈米 1P9M 金氧半技術製作完成。此除頻器由 nMOS 交相耦合 LC 振盪器與兩個注入 MOSFET 串聯注入所組成。直接注入鎖定除頻器是由兩個線性的混波器形成，且共享相同的直流電流，可得一個低功率的直接注入鎖定除頻器電路。在 0.7 伏特的電壓供應下，振盪頻率是從 10.18 ~ 11.56 GHz，除頻器的電流與功耗不包含緩衝器，各別是 2.8 mA 和 1.96 mW。當注入功率為 0 dBm 時，總注入鎖定除頻範圍是 4.74 GHz，注入頻率可從 29.96 到 34.70 GHz

研究項目適用領域

1. Phase Locked Loop (PLL)
2. Carrier Recovery
3. Ka band (26 GHz ~ 40 GHz)
4. Communications Satellite

主要具體貢獻

1. We proposes a wide operation and wide-locking range ÷3 ILFD employing two transformers.
2. The ILFD circuit has been successfully implemented in the UMC 90nm 1P9M CMOS technology.
3. The circuit has a good performance of large operation locking range under the condition of lower power consumption.

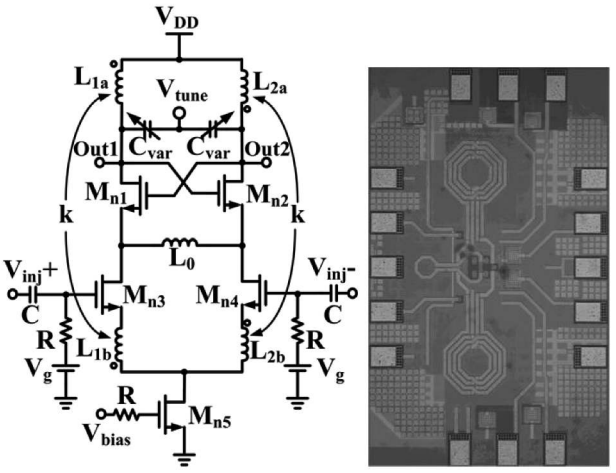


Fig. 1. (a) Schematic of the proposed divide-by-3 injection-locked frequency divider. (b) Chip photo of the divide-by-3 ILFD.

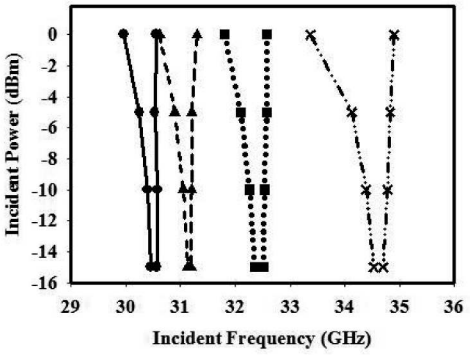


Fig. 2. Measured input sensitivity of the ILFD with 3 division ratio. VDD = 0.7 V, Vg = 0.5 V, Vbias = 0.7 V and Vtune = 0.0, 0.5, 0.7, and 1.0 V from the left to the right.

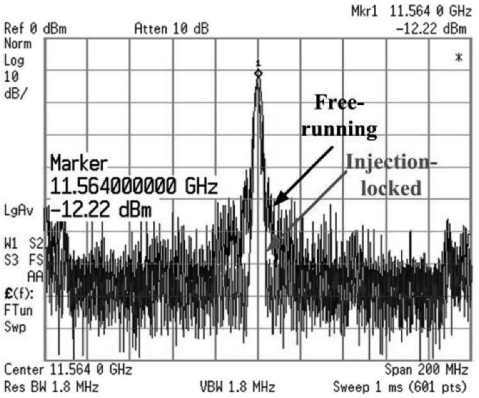


Fig. 3. Measured output spectra of the divide-by-3 ILFD before and after locking.

應用於 S-, X-, 及 Ku-頻段高功率氮化鎵線性放大器研製

計畫編號：NSC 97-2221-E-155-070

主持人：許恆通　　單位：元智大學
E-mail: htbeckhsu@saturn.yzu.edu.tw　　電話:(03)4638800 Ext.7311

計畫簡介

本計畫最主要為開發作操作在 S-, X-, 及 Ku 頻段之高功率氮化鎵線性放大器，計畫中採用氮化鎵高電子遷移率電晶體(GaN HEMT)做為放大器，並配合閘極電場板(Field Plate)改善氮化鎵於高偏壓下操作時所面臨的 current slump 現象，它能有效抑制氮化鎵的 surface state，增加元件的功率輸出，並同時緩和閘極邊緣的電場分布，達到增加崩潰電壓的效果。

計畫中所使用的磊晶結構如圖一所示，基板為藍寶石基板，元件結構包含 3μm GaN 及 30nm AlGaN，鋁含量為 25%，該元件的電子遷移率為 1300 $cm^2/V\text{-}s$。源極-汲極間距為 7μm，閘極線寬為 1μm，閘極電場板大小亦為 1μm，元件閘極長度為 100μm。

該元件的飽和電流為 550mA/mm (V_g=0)，轉導值為 140mS/mm，元件的崩潰電壓為 160V。當操作在 30V，電流為 100mA/mm 時，元件在 2GHz 下的輸出功率為 25.4dBm，增益為 15.4dB。當使用 W-CDMA 數位調變訊號作為輸入進一步分析其線性度特性，當元件操作在 30V 下，電流密度分別為 50、100 和 150mA/mm 時，在 P_{1dB} 下的線性度分別為 -37.9、-36.2 和-33.8dB。圖三為電流密度為 100mA/mm 時的 W-CDMA 數位調變訊號頻譜圖。

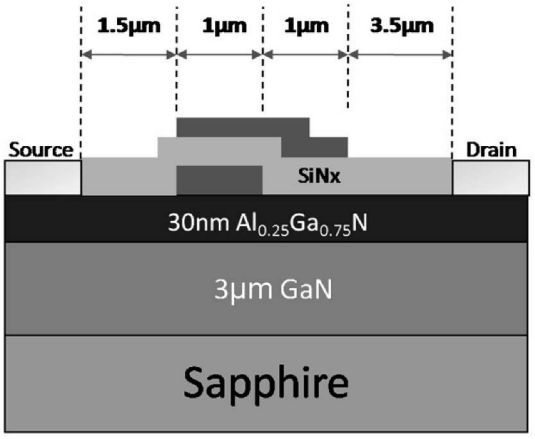


圖 1 元件及閘極電場板示意圖

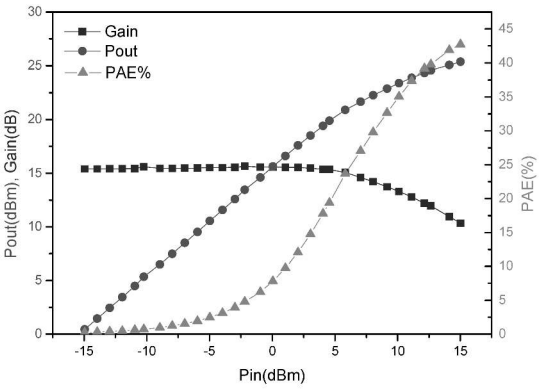


圖 2 功率特性量測結果

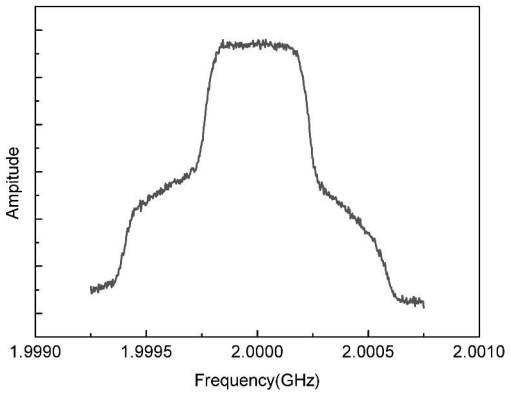


圖 3 W-CDMA 數位調變訊號頻譜

研究項目適用領域

1. 相位陣列雷達收發模組
2. 微波功率放大器
3. 高頻開關

主要具體貢獻

1. 高崩潰電壓
2. 高功率輸出
3. 高線性度

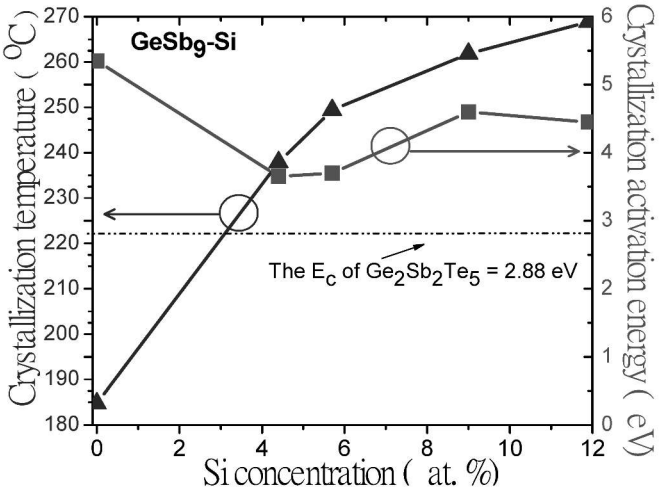
IEDMS
CMOS Devices
CMOS and Interconnect Reliability
Displays, Sensors, and MEMs
Integrated Circuits and Manufacturing
Memory
[M]
Memory
IEDMS
Solid-State and Nanoelectronic Devices
Modeling and Simulation
Quantum, Power, and Compound Semiconductor Devices
Process Technology
整合型計畫

相變化記憶體材料暨元件開發研究

計畫編號：NSC 96-2221-E-007-162-MY3
主持人：周麗新　單位：國立清華大學 材料科學工程學系
E-mail: lhchou@mx.nthu.edu.tw 電話: (03)5742612

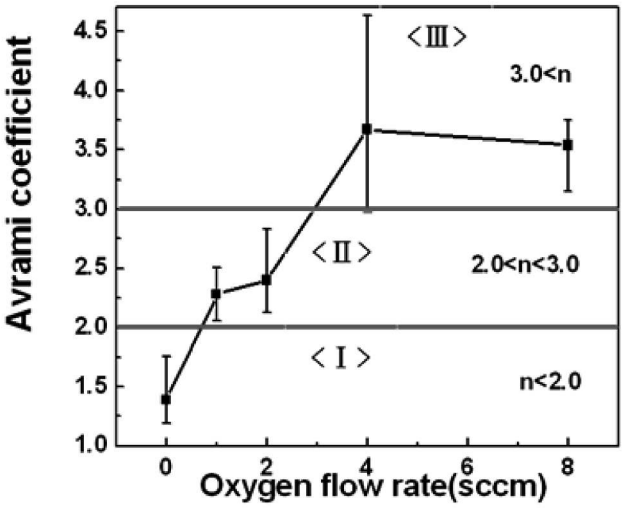
計畫簡介

本計畫主要目標為(1)開發超快速相變化記憶體材料。$GeSb_9$ 在高濃度矽摻雜之下明顯提高其結晶溫度，並具一定程度的非晶相熱穩定性，亦改善了記憶膜的電性，使其在結晶與非晶相的電阻係數均向上提升並擁有 18 ns 的超快速結晶時間。(2)建立電性系統，藉由恆溫實驗瞭解 $GeSb_9$ 摻氧後的結晶動力學行為; 並由等升溫實驗觀察記憶層厚度變化時材料熱性質變化。(3)利用黃光微影製程製作相變化記憶體元件，量測在元件尺度下相變化材料之電性及熱性。



研究項目適用領域

1. 薄膜材料
2. 相變化材料
3. 相變化型記憶體
4. 相變化型光記錄媒體

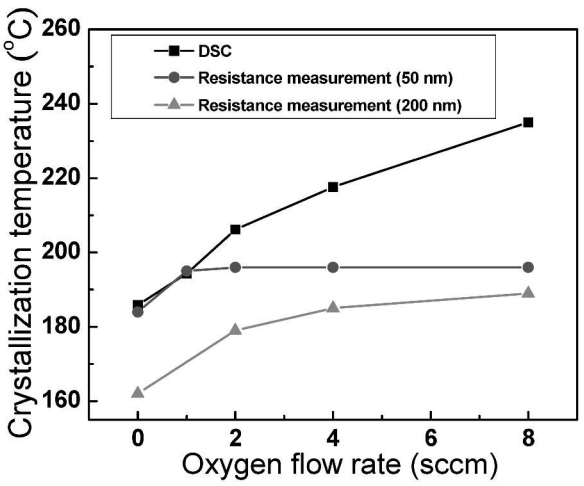


主要具體貢獻

1. $GeSb_9$ 摻雜高濃度矽原子(up to 11.9 at.%)可明顯改進記憶膜的熱性、電性等，並保有超快速的結晶時間使其更適於相變化記憶體的應用。

2. 溫度越低下退火持溫，孕核時間會隨著氧原子摻雜量的增加而越長；而由 JMAK plot 所求得的動力學指數顯示氧原子的摻雜確實會使 GeSb9 的結晶機制改變。

3. 製作 $GeSb_9$ 相變化記憶體元件，並觀察元件尺度下材料的物理性質。



鋯酸鍶基電阻式非揮發性記憶體之特性研究

計畫編號：NSC 98-2218-E-259-001

主持人：林群傑　　單位：國立東華大學 電機工程學系
E-mail: chunchieh@mail.ndhu.edu.tw　電話: (03) 863-4096

計畫簡介

近年來，隨著可攜式電子元件的蓬勃發展，非揮發性記憶體的需求量大增，鋯酸鍶基電阻式非揮發性記憶體具有優異的非揮發性，且具有操作電壓低、操作速度快、記憶時間長、製成簡單、非破壞性讀取等優點，是極有可能取代快閃式記憶體的新式記憶體。本計劃採用溶液凝膠法製備具有釩摻雜之鋯酸鍶基電阻式記憶體，操作電壓在 6V 以內；記憶時間(retention)可達 10^5 秒以上；耐久力(endurance)可達 50 次，相關的研究成果將發表於 2009TACT 國際研討會。

研究項目適用領域

1. 可攜式電子元件
2. 非揮發性記憶體
3. One Time Programmable Read Only Memory

主要具體貢獻

1. 探討鋯酸鍶基電阻式記憶體之電阻轉換機制
2. 降低鋯酸鍶基電阻式記憶體之操作電壓
3. 提升鋯酸鍶基電阻式記憶體的均勻性以降低元件之變異性

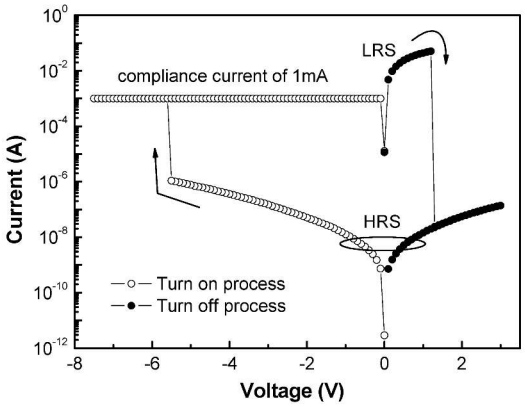


圖 1 鋯酸鍶基電阻式記憶體之操作模式

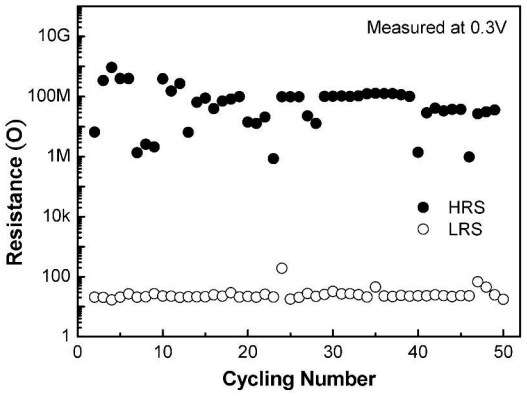


圖 2 鋯酸鍶基電阻式記憶體之耐久力

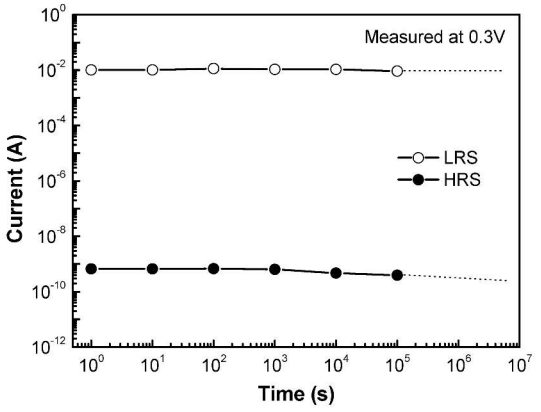


圖 3 鋯酸鍶基電阻式記憶體之記憶時間

以過渡金屬氧化物為基礎的新世代非揮發性電阻式記憶體(1/3)

計畫編號：NSC 97－2218－E－009－039－MY3

主持人：侯拓宏　　單位：交通大學電子研究所

• E-mail: thhou@mail.nctu.edu.tw 電話: 03-5712121-54261

計畫簡介

為了克服傳統記憶體的限制，有許多人都在研究下一世代的非揮發性記憶體。在這其中，因為電阻式記憶體具有低功率消耗、高速操作和高密度整合，因此它是非常具有潛力的。

在本年度的報告中，我們成功建立起氧化鎳電阻式記憶體的標準製程並探討不同成長條件對於元件特性的影響。而且我們也完成了以氧化鈦為基礎的氧化物二極體。本計畫研究發展氧化鎳氧化鈦電阻式記憶體元件技術，在實驗結果中，以氧化鎳為基礎的電阻式記憶體中，有一大的記憶窗口(memory window)且有良好的資料持久性(data retention)。以氧化鈦為基礎的氧化物二極體具有高順向電流密度和高開關電流比。

研究項目適用領域

1. 奈米微電子
2. 奈米材料

主要具體貢獻

1.將過渡金屬材料之氧化物導入新世代非揮發性記憶體之應用

2.利用氧化鎳為基礎的電阻式記憶體具有高窗口及良好的資料持久性

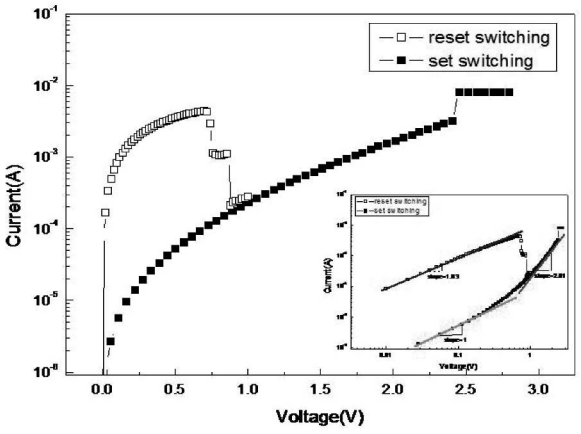


圖 1 氧化鎳電阻式記憶體電流-電壓特性曲線圖

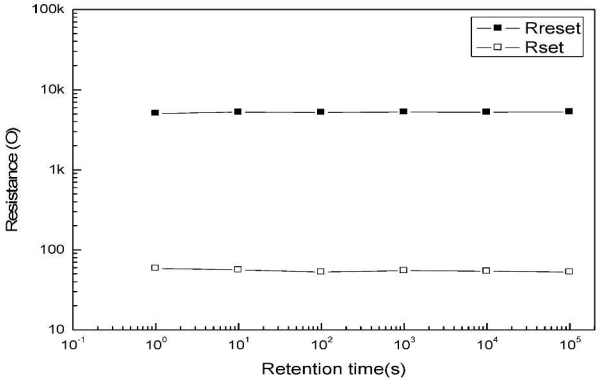


圖 2 氧化鎳電阻式記憶體資料持久特性曲線

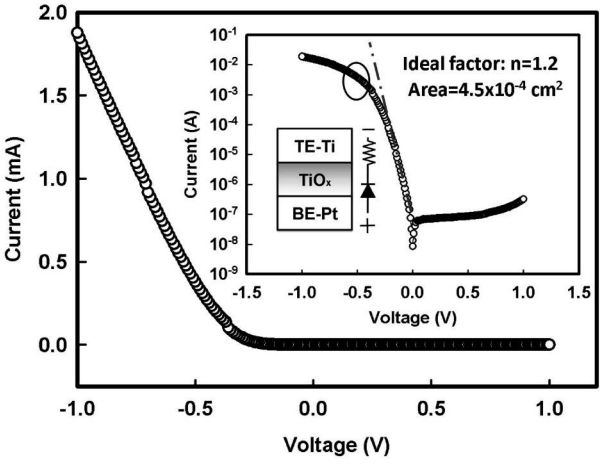


圖 3 氧化鈦氧化物二極體電流-電壓曲線圖

新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與研究

計畫編號：96-2221-E-009-202-MY3
主持人：張俊彥 教授　　單位：交通大學電子工程系
E-mail: cyc@mail.com.tw　電話:03-5712121ext. 59318

計畫簡介

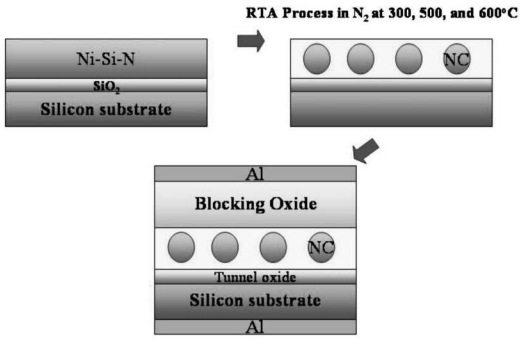
在本計畫中，新穎非揮發性金屬奈米點記憶體將被系統性地研究，不同金屬奈米點及介電層的記憶體特性皆被詳細研究，實驗結果顯示金屬奈米點可以成功自我組裝於元件中並可作為良好的電子儲存單元，表現出極佳的記憶體窗口，同時，奈米點記憶體在容忍度(endurance)與保存能力(retention)的測試中也展現了相當優異的特性，可達到一百萬次的寫入抹除操作及超過十年的保存能力。未來的實驗目標將會朝更佳的記憶體特性努力。

研究項目適用領域

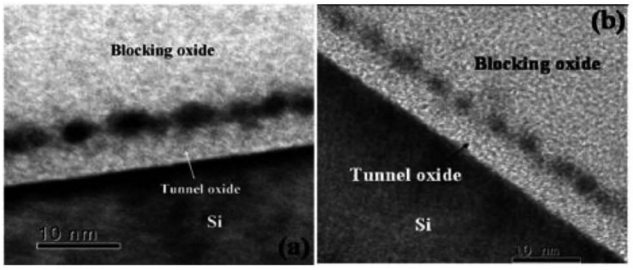
1. 非揮發性記憶體
2. System-on-a-chip(SoC)

主要具體貢獻

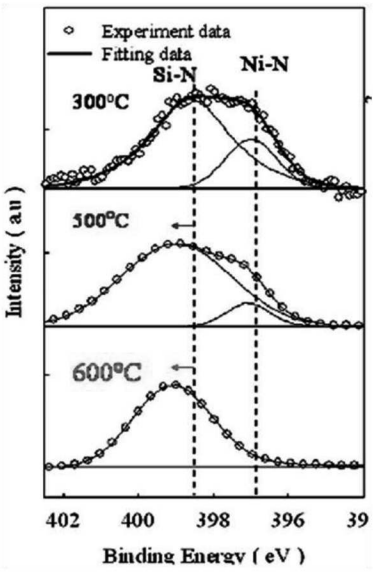
1. 高性能記憶體
2. 自我組裝技術
3. 金屬奈米點之應用



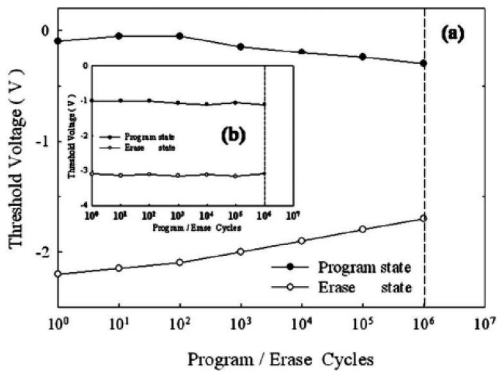
圖一、MOIOS結構及實驗流程示意圖。



圖二、Ni-Si 奈米晶體分別埋入於(a)二氧化矽及(b)氮化矽 Ni-Si 之 TEM 截面圖。



圖三、Ni-Si-N 於不同退火溫度下之 XPS 分析



圖四、Ni-Si 埋入(a)二氧化矽及(b)氮化矽層之非揮發記憶體耐操特性表現。

應用於非揮發性記憶體與軟性電子關鍵技術研究-電阻式記憶體電阻層特性與低溫製程之研究

計畫編號：NSC 97--2221-E131-025

主持人：張麗君　　單位：明志科技大學 材料系

E-mail: lcchang@mail.mcut.edu.tw　　電話: 02-29089899 ext 4401

計畫簡介

本計畫以有阻抗交換特性及鈣鈦礦結構的 $CaCu_3Ti_4O_{12}$(CCTO)薄膜，可以有效的應用在電阻式記憶體，其製程溫度降到 500℃時，可獲得具應用價值之 V_{SET}、V_{RESET} 及高低電阻比值之數值。於退火溫度研究過程中發現氧化亞銅於電阻特性中扮演重要角色，於本計畫中亦開發出室溫製程及具透明之電阻層。

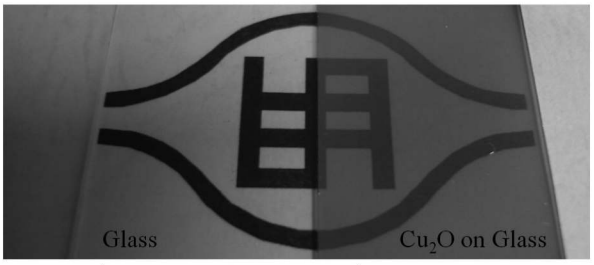


圖 1 左邊為玻璃基板，右邊為 ITO/Cu_2O/ITO /Glass，放置在明志科技大學校徽上。

研究項目適用領域

1. 非揮發性記憶體
2. 介電元件

主要具體貢獻

1. 新材料研製
2. 低溫製程
3. 軟性電子

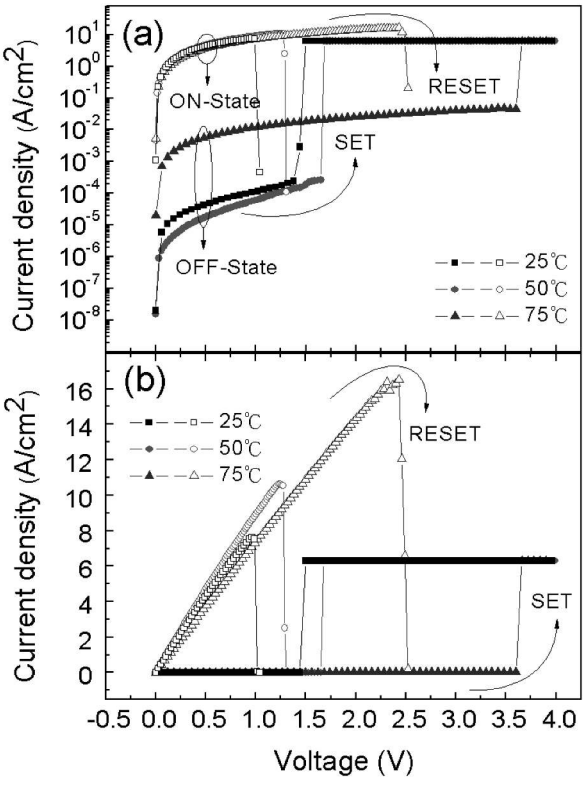


圖 2 在不同溫度條件下量測之 Ni/CCTO/Pt 電容的 I-V 曲線

利用溶凝膠法製作鈦酸鋯基電阻式記憶體材料之研究

計畫編號：NSC 97-2622-E-239-005-CC3

主持人：許正興　　單位：國立聯合大學電機工程學系
E-mail:　hsuch@nuu.edu.tw　　電話: (037)381401

計畫簡介

本計劃主要目的為利用溶凝膠法製作 $ZrTiO_4$ (ZrO_2-TiO_2)介電薄膜與其電特性，並探討其應用於電阻式記憶體之記錄層的材料進行研究。 本計畫執行期間為一年，除了成功於 ITO 基板上成長 $ZrTiO_4$ (ZrO_2-TiO_2)介電薄膜且擁有較佳之漏電流效應，可適用於晶片電容與閘極氧化層，並於特定之製程條件下發現其有電阻式記憶體材料之漏電流轉態效應與電阻轉換特性。

研究項目適用領域

1. Sol-Gel method
2. Dielectric thin films
3. CMOS and RRAM device

主要具體貢獻

1.溶凝膠法 $ZrTiO_4$ (ZrO_2-TiO_2)薄膜製作完成

2.低漏電流 $ZrTiO_4$ (ZrO_2-TiO_2)薄膜

3.具有電阻轉換效應之 $ZrTiO_4$(ZrO_2-TiO_2)薄膜

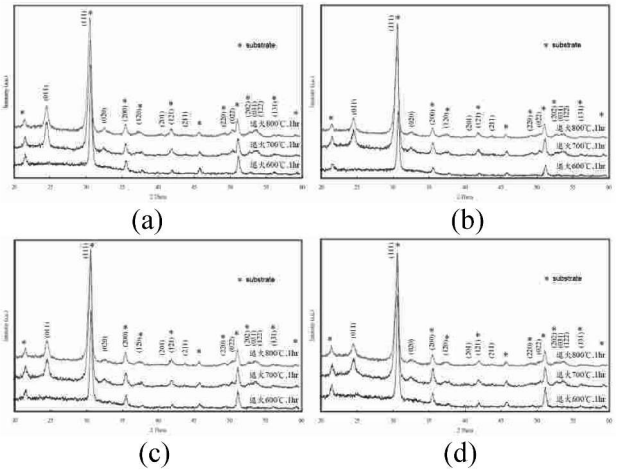


Fig. 1 不同退火溫度下薄膜之 X-ray 繞射圖(a) 無焦化 (b) 焦化 250°C (c) 焦化 350°C (d) 焦化 450°C

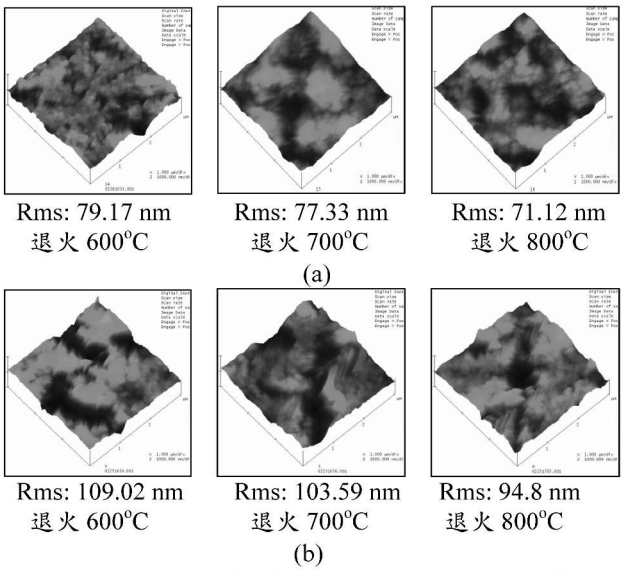


Fig. 2 不同退火下薄膜之 AFM 圖(a)焦化 450°C (b) 無焦化

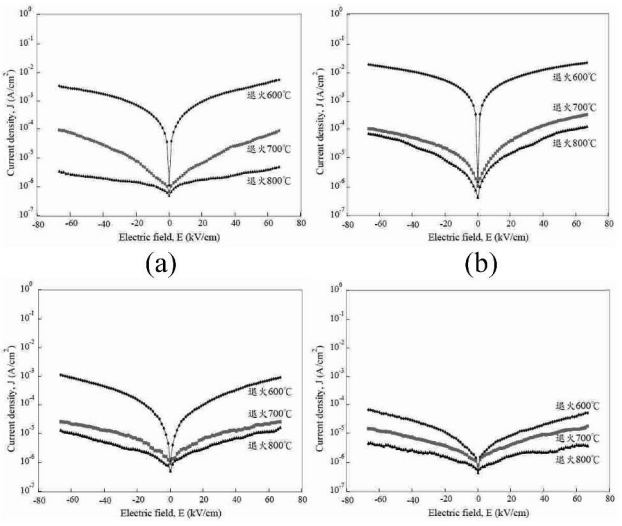


Fig. 3 不同退火溫度下薄膜之漏電流密度與電場關係圖 (a) 無焦化 (b) 焦化 250°C (c) 焦化 350°C (d) 焦化 450°C

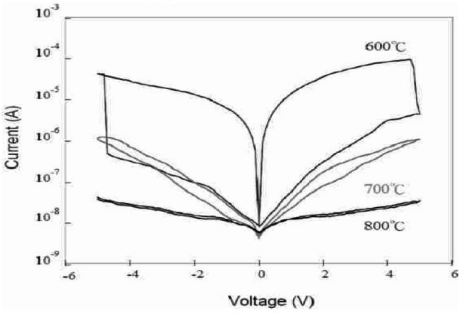


Fig. 4 無焦化處理且不同退火處理溫度下之電阻變化特性

次世代量產型操作於低電壓電流之高速奈米非揮發性記憶體

計畫編號：NSC 97-2221-E-182-051-MY3

主持人：麥凱　　單位：電子系

E-mail:sidhu@mail.cgu.edu.tw 電話:03-2118800 ext 5785

計畫簡介

Nanoscale nonvolatile memory devices with low power operation and high performances are strongly demanded in future 22 nm technology node. To meet these requirements, IrO_x metal nanocrystals embedded in high-κ Al_2O_3 films with a small size of ~3 nm and high density of $>10^{13}/cm^2$ have been achieved by sputtering and subsequent high temperature annealing processes. It is observed that the memory window is larger for the double layers of nanocrystals as compared to that of single layer nanocrystals. The IrO_x nanocrystals memory devices with a small EOT of ~6 nm have good endurance up to 10^4 cycles with a small program/erase voltage of 5V and moderate pulse width of 100ms, and moderate retention up to 10^3 s. The protein-mediated Au nanocrysatals with a diameter of <10 nm and a high density of $>10^{12}/cm^2$ are also formed for nanoscale memory device applications. The high-κ Hf-based nanocrystal memory devices are also fabricated with small EOT of ~7 nm. Excellent endurance and retention characteristics are also achieved for the Hf-based nanocrystal memory devces as compared to that of pure HfO_2 charge trapping layers.

Low power resistive switching memory devices with GeSe or Ta_2O_5 solid-electrolyte are investigated. The resistive memory devices with sizes of 0.2 μm -8 μm have been fabricated. The films are deposited by E-gun or sputtering system. The GeSe resistive memory devices can be operated with a very small current of 1 nA. The ON-state resistance can be decreased with increasing current compliances from 1nA-500 μA, but the threshold voltage is independent of current compliances. The threshold voltage can be controlled by both the Cu filament and GeSe solid electrolyte. A high resistance ratio of $>10^2$ with 150 measurement devices is achieved with a current compliance of 200 μA. The endurance of $>10^5$ cycles and excellent retention at 85°C up to 50 hrs have been achieved. The high-κ Ta_2O_5 resistive memory device can be operated as low current as 5 pA, which is achieved first time as compared to the many companies in the world. The resistive memory devices with low current operation of 5 pA-1 mA, multi-level operation and excellent retention at 150°C have been achieved. A strong Cu metallic filament formation in the solid-electrolyte under external bias can be investigated by monitoring the negative current. The resistance ratio of $>10^3$ is also achieved with a current compliance of 100 μA. It is also observed that Ta_2O_5/GeSe bi-layer solid-electrolyte has very good resistive switching properties as compared to that of single layer of solid-electrolyte. The resistive memory devices can be operated with a low current of ~1 pA and low voltage of <2V, which is very useful in future 22 nm technology node.

研究項目適用領域

1. Super computer/Modern Laptop memory
2. Video/Digital camera
3. Smart Mobile Phone and MP3 player
3. iPOD and USB flash
4. Future replacement of DRAM

主要具體貢獻

1. -Low voltage and low current operation
2. -Good endurance/Excellent data retention
3. -Multi-level operation
4. -High scalability potential

Acknowledgment: Thanks a lot to NSC for the financial support.

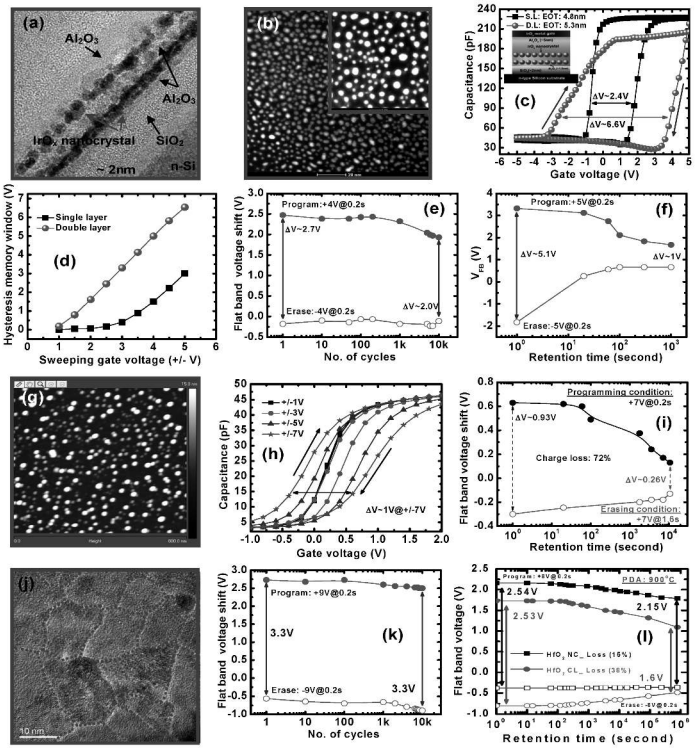


Fig. 1 Double layers of IrO_x nanocrytals embedded in high-κ Al_2O_3 films; (a) HRTEM image, (b) plane view TEM, (c) C-V hysteresis, (d) hysteresis memory window, (e) endurance and (f) retention: Protein-mediated Au nanocrystals with (g) AFM image, (h) C-V hysteresis, and (i) retention; Hf-based nanocrystals with (j) plane view TEM, (k) endurance, and (l) excellent data retention.

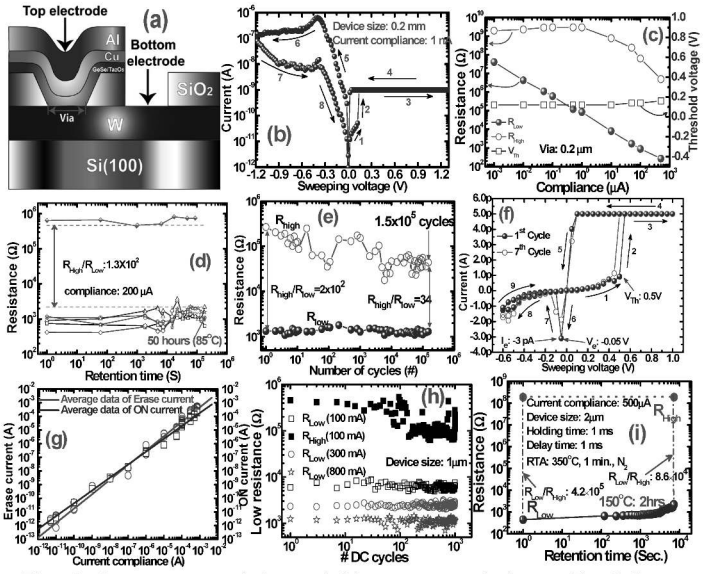


Fig. 2 Low power resistive switching memory devices with GeSe solid-electrolyte; (a) schematic device structure of 0.2 μm via, (b) I-V switching with 1 nA current compliance, (c) resistance and threshold voltage with different current compliances, (d) retention at 85°C up to 50 hrs, and (e) endurance of > 10^5 cycles. Resistive memory devices with high-κ Ta_2O_5 solid-electrolyte; (f) I-V switching with a smallest current compliance of 5pA, (g) negative current and ON-resistance with different current compliances, (h) endurance with different current compliances, and (i) retention at 150°C up to 2 hours.

整合化學置換與無電鍍鎳應用於積體電路製程研究

計畫編號：NSC97-2221-E-035-091

主持人：楊文祿　　單位：逢甲大學 電子工程學系
E-mail：wlyang@fcu.edu.tw 電話：(04)24517250 ext 4967

計畫簡介

本研究針對半導體後段金屬連線製程部份共提出兩個相關研究，第一研究部份為高可靠度的極低介電常數薄膜之製作與研究，第二研究部份為利用化學置換法自我形成 (self-formed)錳矽氧化合物阻障層。在第一部份的研究中，研發出一種新穎的極低介電常數薄膜沉積方法，在製備多孔薄膜之溶凝膠內加入丙酮基丙酮溶劑有助於極低介電常數多孔薄膜提高薄膜表面的可靠度與製程之成功率；另一方面，則利用電將處理的方式來降低奈米孔洞低介電常數薄膜吸附水氣的能力，亦能改善其薄膜漏電流與機械強度。第二研究部份的研究中，利用化學置換法自我形成 (self-formed) 銅錳合金，再藉由退火製程自我形成錳矽氧化合物阻障層，這樣的方式有較低的製程溫度、比 PVD 更好的階梯覆蓋性，比 CVD 有更低的製作成本，與選擇性沈積。選擇性沈積可以只在介電層的界面才形成擴散阻障層，進而減少垂直導線的串聯阻值，如此一來，可以減少後段金屬連線的 RC delay。

研究項目適用領域

1. 先進半導體後段製程

主要具體貢獻

1. Ultralow K film
2. High reliability porous silica
3. Self-formed Cu-Mn alloy interconnect

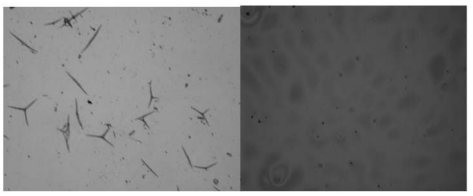
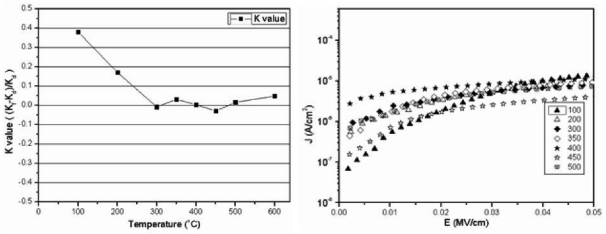
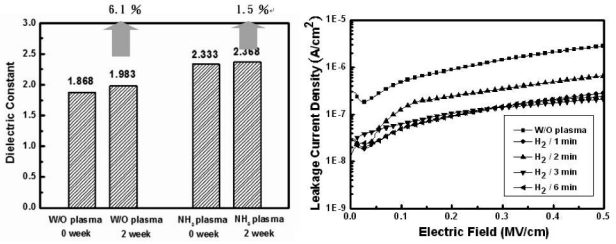


圖 1 在 OM 下，未添加/添加丙酮基丙酮之樣品表面圖

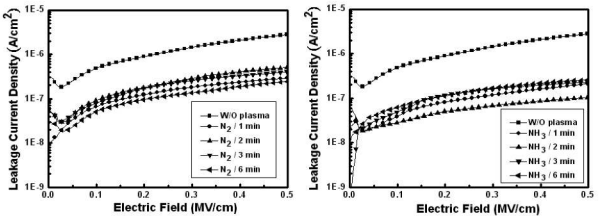


(a)　　(b)

圖 2 不同熱處理溫度下，(a)介電常數變化的絕對比值(b)漏電流密度-電場關係曲線

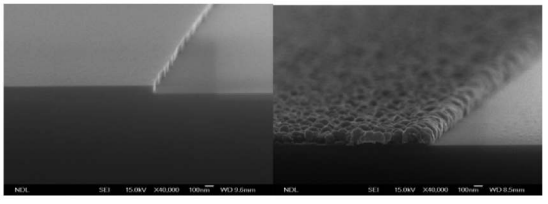


(a)　　(b)



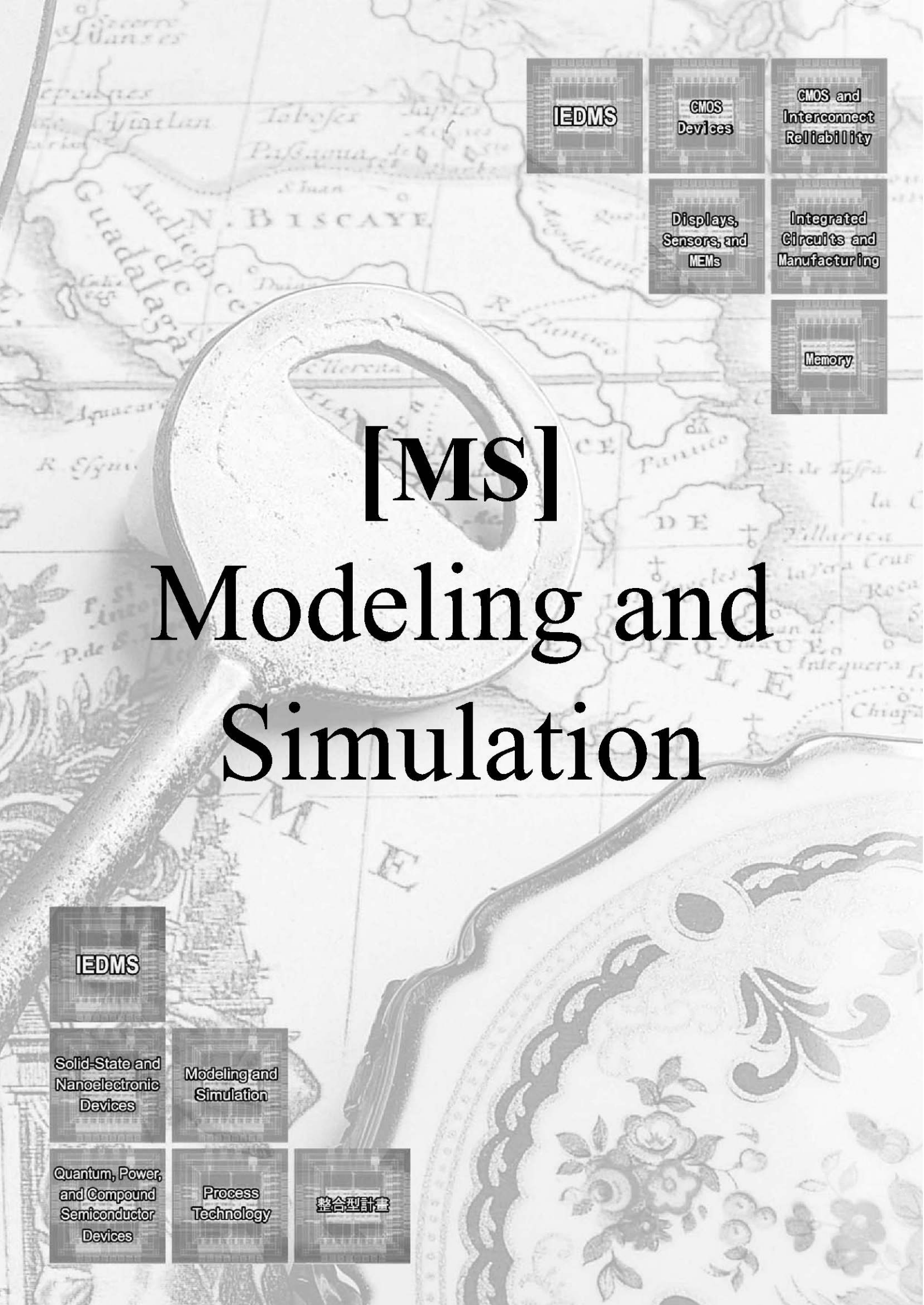
(c)　　(d)

圖 3 (a)放置不同時間的未電漿處理與氨電漿處理低介電常數多孔薄膜之介電常數值變化比較 (b)、(c)、(d) 各為不同時間氫、氮、氨電漿處理低介電常數多孔薄膜下，漏電流密度-電場關係曲線圖



(a)　　(b)

圖 4 (a)非晶矽線 (b)非晶矽線置換成銅錳合金

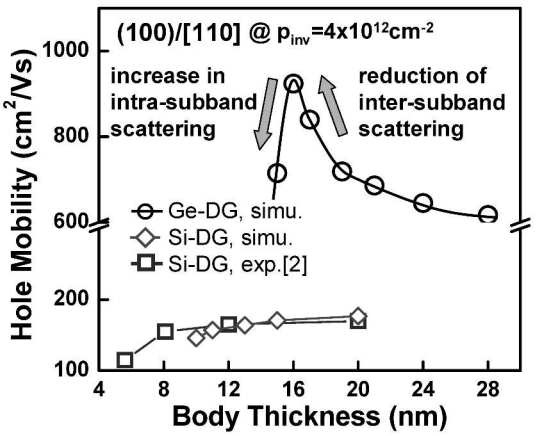

IEDMS
CMOS Devices
CMOS and Interconnect Reliability
Displays, Sensors, and MEMs
Integrated Circuits and Manufacturing
Memory
[MS]
Modeling and Simulation
IEDMS
Solid-State and Nanoelectronic Devices
Modeling and Simulation
Quantum, Power, and Compound Semiconductor Devices
Process Technology
整合型計畫

次 32 奈米 CMOS 元件可靠性分析，量子結構效應，與蒙地卡羅電荷傳輸模擬(2/3)

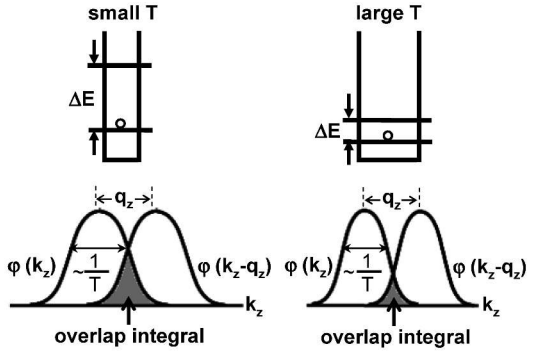
計畫編號：NSC 96-2628-E-009-165-MY3
主持人：汪大暉　　單位：國立交通大學電子工程學系
E-mail: twang@cc.nctu.edu.tw 電話: (03)5712121 ext 54143

計畫簡介

雙閘極金氧半電晶體(double gate MOSFET)和鰭式場效電晶體(FinFET)已被認定可以用來取代平面式金氧半電晶體(bulk MOSFET)，因為具有較好之短通道效應之免疫性。具有高載子遷移率之材料，例如鍺或 III-V 族材料，已引起重大的關注。同時，載子遷移率在量子結構中可被提升，此現象已由實驗所證明[1,2]。吾人利用 Luttenger-Kohn 模型計算次價電帶結構，自洽求解薛丁格及泊松方程式，應用於矽及鍺通道之雙閘極金氧半電晶體。利用蒙地卡羅(Monte Carlo)方法求得電洞遷移率。由模擬結果得知，(100)/[110]矽通道之電洞遷移率隨著通道厚度減少而變小。然而，(100)/[110]鍺通道之電洞遷移率隨著通道厚度減少而先上升後下降。此乃因為 intra-subband scattering 和 inter-subband scattering 交互作用所導致。同時，吾人亦計算單軸壓縮應力(uniaxial compressive stress)對不同晶面/通道之電洞遷移率影響。



電洞遷移率與通道厚度之關係圖



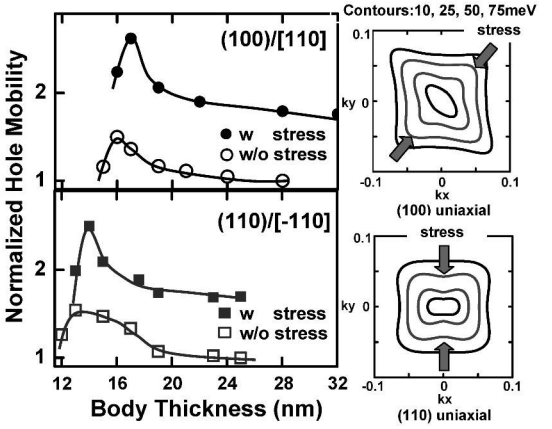
較薄之通道厚度具有較高之重疊因子(overlap factor)

研究項目適用領域

1. germanium channel
2. hole mobility
3. Monte Carlo method
4. double gate
5. uniaxial compressive stress

主要具體貢獻

1. The quantum confinement effects on hole mobility in Si and Ge double-gate pMOSFETs are studied by a Monte Carlo method.
2. The results had been accepted in 2009 APL.



單軸壓縮應力對電洞遷移率之影響

[1]G. Tsutsui et al., Tech. Dig. VLSI Symp. 2005, pp.76.
[2]S. Kobayashi et al., in Tech. Dig.IEDM 2007, pp.707.

次 50 奈米二位元儲存氮化矽快閃式記憶體元件之結構、電荷傳輸與可靠性研究(3/3)

計畫編號：NSC 95-2221-E-009-303-MY3
主持人：汪大暉　　單位：國立交通大學電子工程學系
E-mail: twang@cc.nctu.edu.tw 電話: (03)5712121 ext 54143

計畫簡介

在 NOR-type SONOS 方面，由於採用熱電子寫入(hot electron program)，以致於寫入時操作電壓無法低於 3.5V 而限制閘極長度之微縮。在本計劃，吾人將利用在奈米尺度電子呈現之非平衡傳輸(non-equilibrium transport)現象，提出一種新的熱電子操作方式，可將寫入時的操作電壓降至 2.5V 以下，以解決 punch-through 問題。

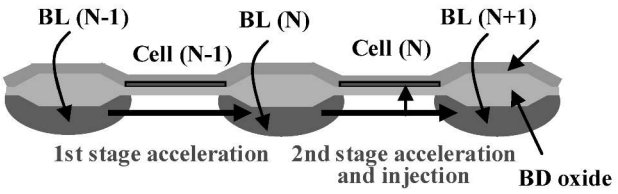
傳統之熱電子寫入係在同一元件內加速電子與寫入。當元件尺度縮小，電子傳輸呈現非平衡傳輸，亦即電子傳輸特性(例如電子能量)與電場並非處於平衡狀態。在圖一中，吾人利用電子在前一個元件(Cell(N-1))內加速，當越過 bit-line(n^+ region)時，根據非平衡傳輸特性，電子能量不會立即消失，當部份電子進入 program cell(Cell N)時，仍具有部份能量，如此可提高熱電子寫入效率。此新式寫入方法亦由蒙地卡羅模擬來驗證。此研究顯示當位元線微縮時，此新式寫入方法將越有效率。

研究項目適用領域

1. Nor-type SONOS
2. hot electron program
3. Monte Carlo simulation

主要具體貢獻

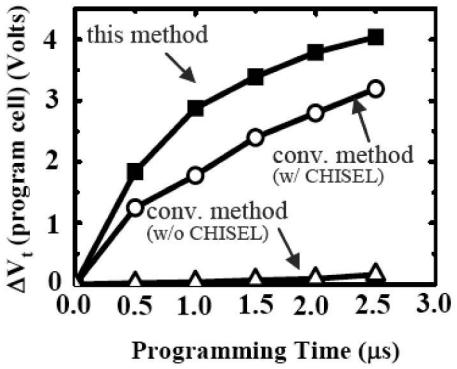
1. We propose a new hot electron programming method with a low drain-to-source voltage in a buried diffusion bit-line SONOS memory array.
2. The results had been published in 2009 IEEE EDL.



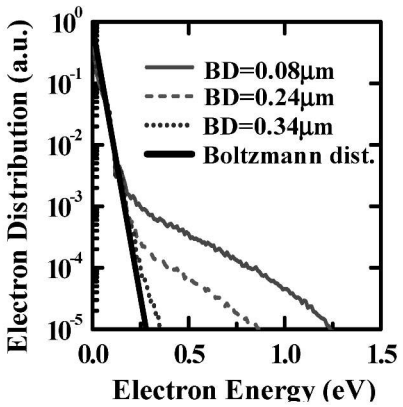
新式熱電子寫入方式之示意圖

voltages / methods	$V_{BL(N-1)}$	$V_{BL(N)}$	$V_{BL(N+1)}$	V_{WL}
A (this method)	0.0V	2.0V	4.5V	9.5V
B (w/ CHISEL)	floating	2.0V	4.5V	9.5V
C (w/o CHISEL)	floating	0.0V	2.5V	9.5V

三種寫入方式所採用電壓。(A)方式為吾人提出。(B)及(C)為傳統熱電子寫入方式。其中(B)方式有二次電子注入，(C)方式無。



臨界電壓漂移與寫入時間之關係圖



利用蒙地卡羅模擬比較不同 bit-line 寬度對電子能量分佈之影響

計畫名稱

砷化鎵基含銻化合物半導體材料與元件之研究

計畫編號：NSC 96-2628-E-002-247-MY3

主持人：林浩雄　　單位：國立台灣大學電子研究所
E-mail: hhlin@ntu.edu.tw　　電話: (02)33663670

計畫簡介

本計畫研究利用 InAs 量子點所產生的應力及電荷局部來改變 $GaAs_{0.7}Sb_{0.3}$/GaAs 第二型量子井介面上的位能。可造成位能的局部波動，增加載子侷限的能力。我們在低溫可以觀察到加了量子點的 GaAsSb/GaAs 量子井具有較長的 PL 波長，證實量子點產生的應力效應。升溫之後，PL 波長並未變長，但半寬變大，強度變強，顯示量子點電洞穿入量子井造成空間局部電場，使位能局部波動，PL 變強。我們並將此複合結構應用於邊射型雷射元件的主動層。我們發現使用 InAs 量子點與 $GaAs_{0.7}Sb_{0.3}$/GaAs 第二型量子井構成的複合主動層雷射，具有能夠降低雷射的起振電流密度和內部損耗，並提高特徵溫度的優點。

研究項目適用領域

1. InAs 量子點與 GaAsSb 量子井的成長技術
2. InAs 量子點與 GaAsSb 量子井的結構、光學特性的物理研究與元件應用。
3. InAs 量子點與 GaAsSb 量子井半導體雷射元件。可應用於長波長半導體雷射。

主要具體貢獻

1. 開發 InAs 量子點與 GaAsSb 量子井的新型複合結構，並研究其結構與光學特性。
2. 利用 InAs 量子點與 GaAsSb 量子井的新型複合結構完成雷射二極體的製作。並證實複合結構具有比量子井結構較佳的特性。包括起振電流密度與特徵溫度等。

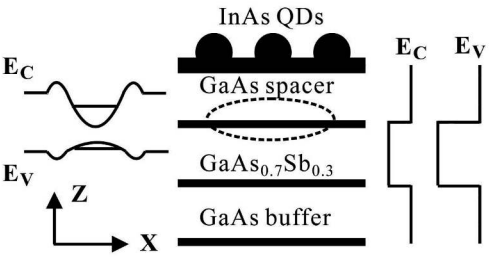


Fig.1 砷化銦量子點當做應力子結合銻砷化鎵第二型量子井複合結構的能帶圖。

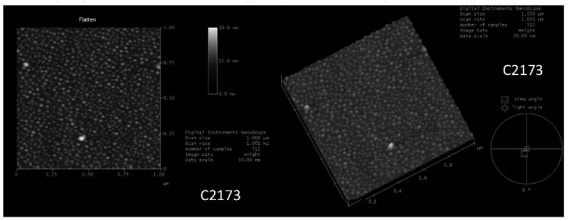


Fig. 2 複合結構 AFM 表面影像圖。

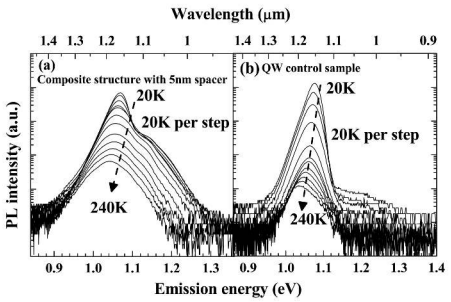


Fig. 3 變溫螢光頻譜(a)5nm GaAs 間隔層複合結構(b)$GaAs_{0.7}Sb_{0.3}$ 單量子井結構。激發光源功率密度為 100 W/cm^2。

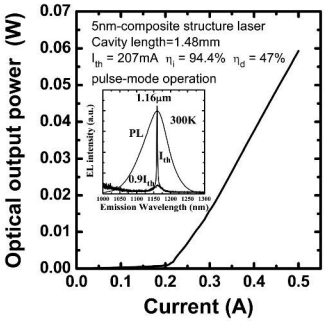


Fig. 4 主動區為使用 5 nm GaAs 間隔層複合結構雷射之電流與光功率關係圖。

97 年度國科會微電子學門固態電子領域成果簡介

應用於超淺接面之摻雜活化原子模型(2/2)

Atomistic Modeling of Dopant Activation for Ultra-Shallow Junction

計畫編號：NSC96-2221-E-182-046-MY2

計畫簡介:

半導體元件的微縮需要發展超淺接面之技術，為了降低片電阻，超淺接面之摻雜濃度必須提高。高濃度的摻雜卻也造成摻雜原子聚集的現象，這些聚集使得摻雜原子活化程度無法提高。動態蒙地卡羅(KMC)提供了模擬摻雜原子反應之平台，摻雜的擴散取決於各原子的移動機率，而移動機率則由各種反應的活化能所決定。在此計畫中，我們利用動態蒙地卡羅之技術分析在高濃度磷摻雜的晶片中，附近磷原子直接結合形成原子團塊的機率及其對活化濃度之影響。

研究項目適用領域:

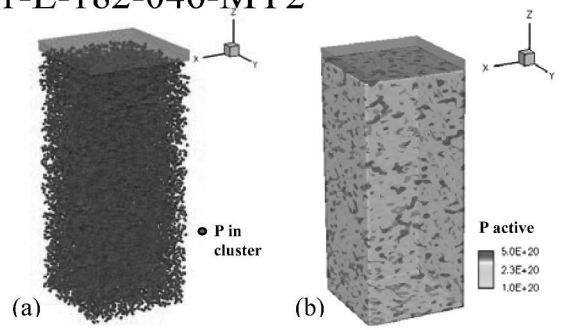
1. 半導體元件摻雜模擬
2. 超淺接面技術開發

主要具體貢獻:

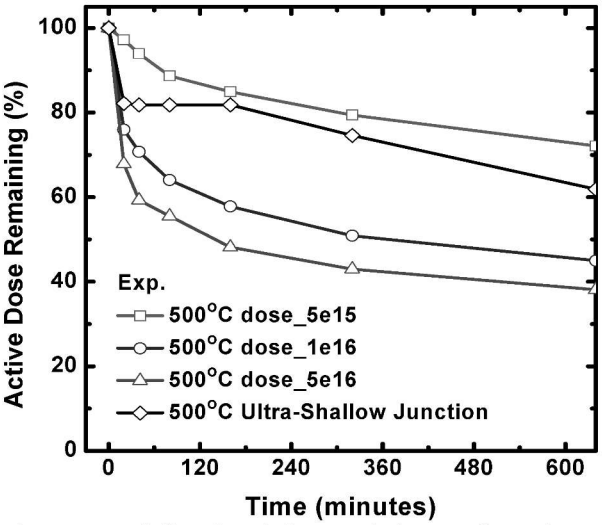
1. 研究磷原子在低溫之去活化反應
2. 發展磷摻雜去活化之原子模型

聯絡方式:

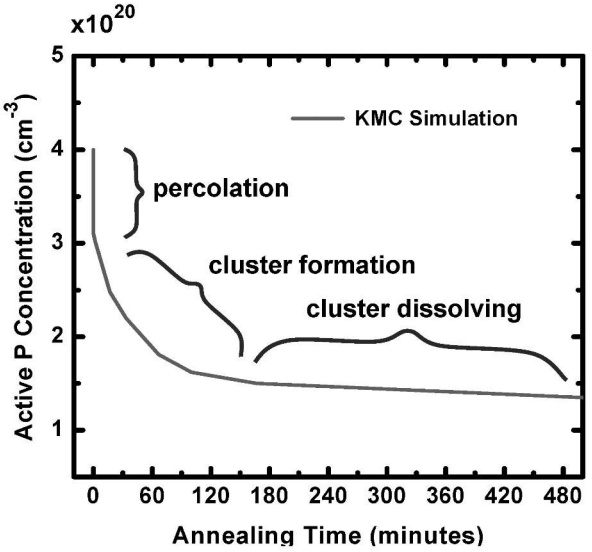
主持人: 張睿達 長庚大學電子系
Email: crd@mail.cgu.edu.tw
Phone: 03-2118800 ext.5782



圖一、高濃度摻雜下磷與較遠磷原子反應後的濃度分布 (a)非連續磷原子聚集 (b)磷活化之連續濃度分布圖。



圖二、不同磷摻雜與超淺接面之試片於 500°C 退火下，磷原子活化程度與退火時間之關係圖。



圖三、動態蒙地卡羅模擬磷原子於 600°C 退火下，活化程度與退火時間之關係。

基於晶圓級四埠量測之射頻金氧半場效電晶體模型製作與電路設計(2/3)

計畫編號：NSC 96-2221-E-492-011-MY3
主持人：黃國威 單位：財團法人國家實驗研究院 國家奈米元件實驗室
E-mail: gwhuang@ndl.org.tw 電話:(03)5726100 ext 7718

計畫簡介

為了建立更精確的 RF CMOS 等高頻元件模型及發展多埠元件與差動電路測試驗證所需之測試技術，本三年計畫擬建立晶圓級的多埠高頻量測技術，並應用於多埠元件量測與 RF CMOS 模型建立。首先我們將建立準確的系統校準程序，以去除系統誤差；接著以多埠參數與傳輸線概念改良傳統之去嵌化程序，並設計四埠 RF CMOS 元件，利用建立之多埠高頻量測技術進行測試並發展元件模型，最後並以射頻電路製作及測試分析驗證此模型。本年度為第二年，已利用四埠網路分析儀，對射頻金氧半場效電晶體進行晶圓級四埠散射參數量測，並根據量測所得之資料，建立小訊號等效電路模型，以供後續電路設計使用。

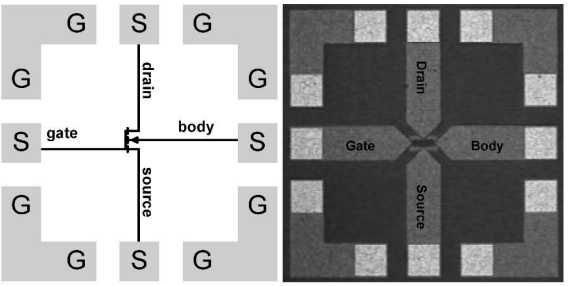


圖 1 四埠組態之 RF CMOSFET。

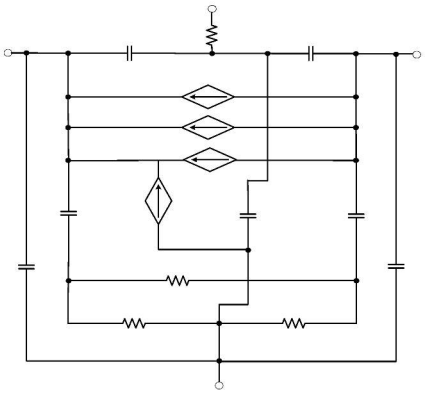


圖 2 RF CMOSFET 之小訊號等效電路模型。

研究項目適用領域

1. 四埠散射參數量測
2. RF CMOSFET 散射參數量測
3. RF CMOSFET Modeling
4. LNA 設計

主要具體貢獻

1. 完成 RF CMOSFET 之四埠散射參數量測。
2. 由四埠散射參數粹取 RF CMOSFET 之小訊號等效電路參數。
3. 完成四埠量測資料與小訊號等效電路模型模擬資料之比對驗證。

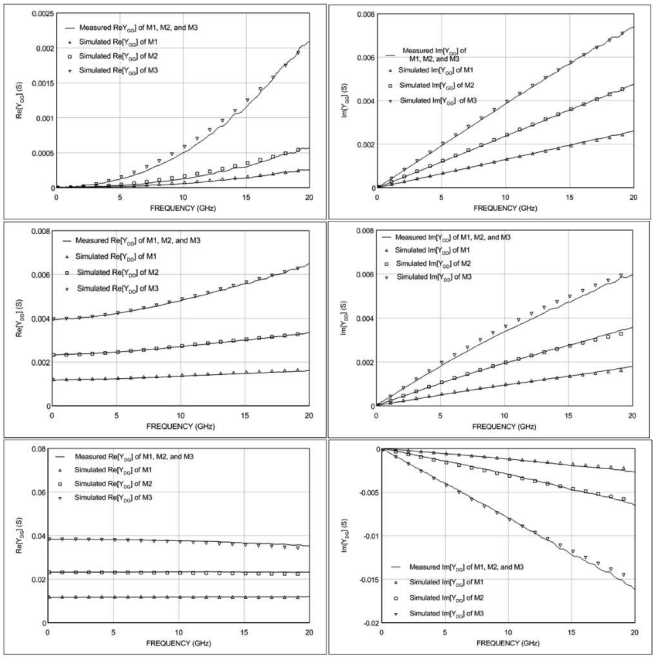
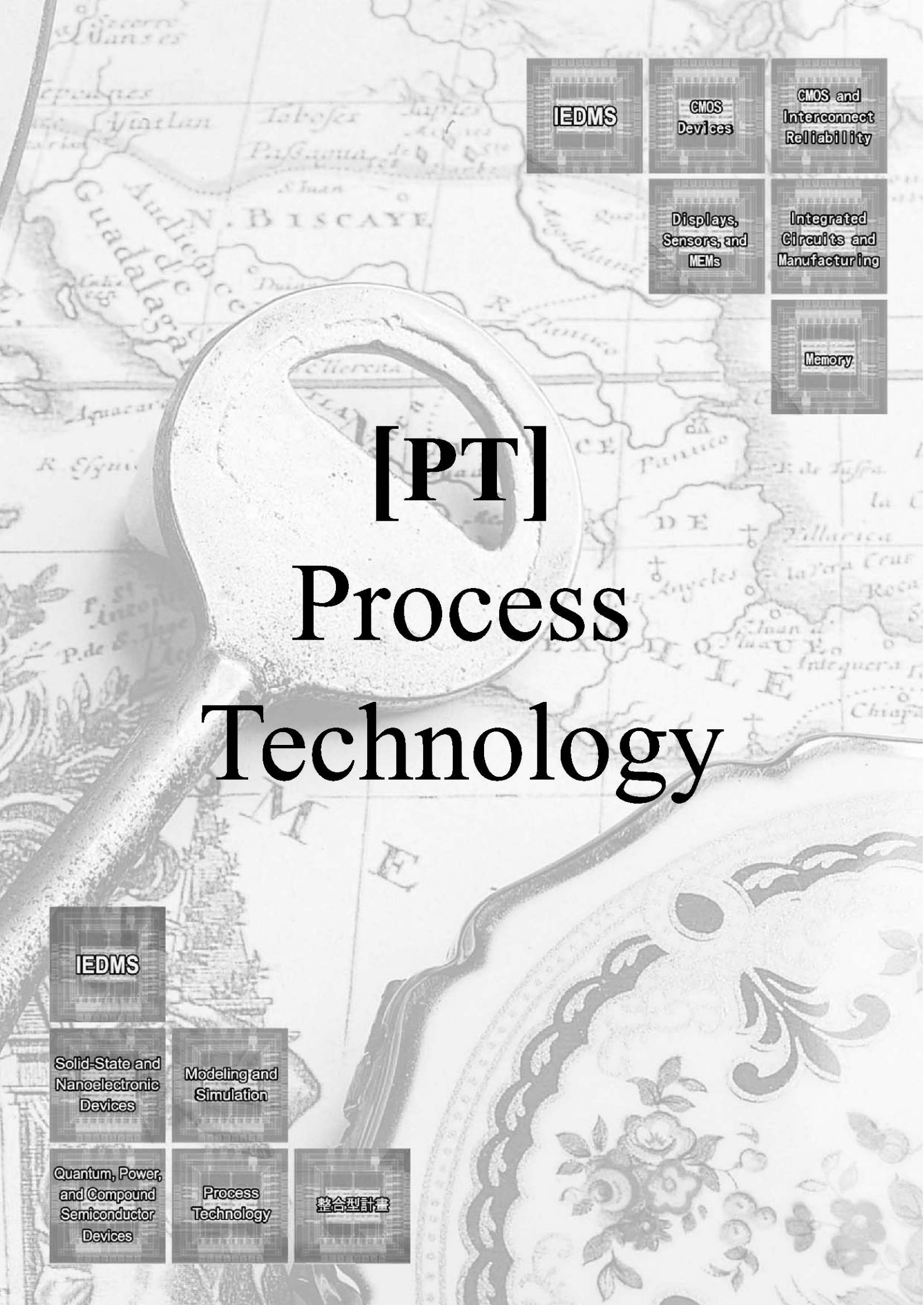


圖 3 量測與模擬資料比對圖。


IEDMS
CMOS Devices
CMOS and Interconnect Reliability
Displays, Sensors, and MEMs
Integrated Circuits and Manufacturing
Memory
[PT]
Process Technology
IEDMS
Solid-State and Nanoelectronic Devices
Modeling and Simulation
Quantum, Power, and Compound Semiconductor Devices
Process Technology
整合型計畫

以原子層沈積技術生長高品質二氧化鈦膜為閘極氧化層製作 Si 與 III-V MOSFETs

計畫編號：NSC 95-2221-E-110-109-MY3

主持人：李明達　　單位：中山大學電機系
E-mail: mklee@mail.ee.nsysu.edu.tw　電話: 886-7-5252000 ext. 4120

計畫簡介

以傳統MOCVD生長之TiO2薄膜是多晶結構(polycrystalline)，其晶界(grain boundary)及 TiO_2/GaAs 狀態密度會產生高漏電流。GaAs 因其不穩定的原生氧化層(native oxide)使其擁有高的界面能態密度(interface state density, Dit)而影響界面品質造成 C-V 曲線有拉伸(stretch-out)的現象以及高的漏電流。在本計畫中擬使用硫化銨($(NH_4)_2S_x$)水溶液對 GaAs 進行表面硫化處理(S-GaAs)，可以有效去除原生氧化層以及填補 GaAs 表面懸鍵，使其界面品質大幅改善。

另外利用來自液相沈積法(Liquid Phase Deposition)生長 SiO_2 (LPD-SiO_2)溶液中的氟離子可鈍化 ALD-TiO_2 薄膜晶界上之懸鍵及半導體表面，故在漏電流方面可大為改善。

另一種鈍化 ALD-TiO_2 薄膜的方法為金屬熱處理法(post-metallization annealing (PMA))。利用鋁和存在於 ALD-TiO_2 的氫氧根(hydroxyl)作用而產生的活性氫離子(active hydrogen)進入 TiO_2 薄膜以及 GaAs 表面進行鈍化作用，有效改進漏電流以及界面品質。

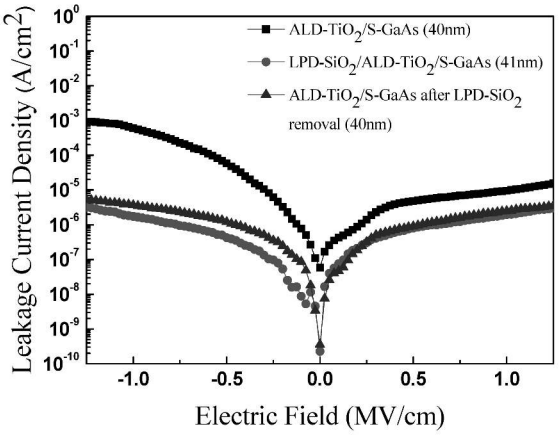


圖 1　I-V 圖

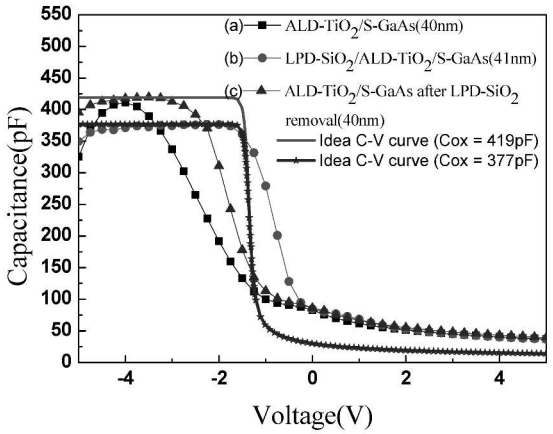


圖 2　C-V 圖

研究項目適用領域

1. MOCVD ALD
2. High k 材料
3. MOSFET
4. III-V 族半導體

主要具體貢獻

1. ALD 技術應用於 GaAs 基板
2. 低漏電流應用
3. 高 k 值應用

生長氧化鋅奈米柱結構及相關光電元件之製作

計畫編號：NSC 97-2221-E-110-073

主持人：李明逵　　單位：國立中山大學 電機工程學系
E-mail: mklee@mail.ee.nsysu.edu.tw　電話:07-5252000 ext.4120

計畫簡介

氧化鋅是目前最受注目的材料，因氧化鋅具有高能階與高束縛能特性，它可以成長為薄膜或是許多種不同奈米結構，本計劃採用濺鍍法生長氧化鋅薄膜，並調節參數控制導電型態及載子濃度，並作為生長奈米結構之緩衝層。所生長之 p 型氧化鋅薄膜如圖一所示。

本計劃中並以液相沉積法於 60 ~ 70°C 溫度環境區間內，使用硝酸鋅($Zn(NO_3)_2$)混合六次甲基四胺(HMT)或氨水(NH_4OH)來成長氧化鋅薄膜與奈米結構。所生長之氧化鋅奈米針及奈米管分別示於圖二及圖三。

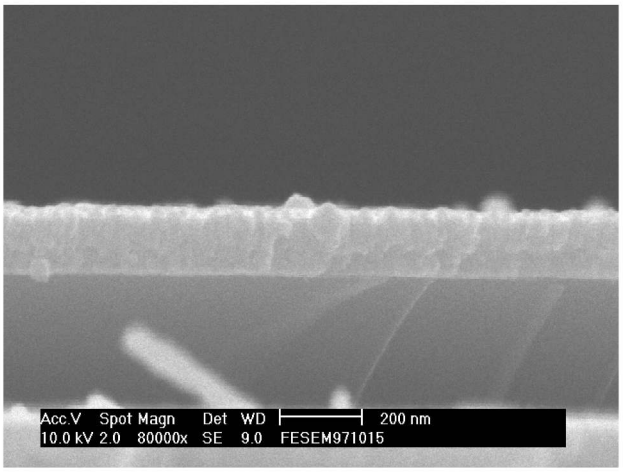


圖 1 p 型氧化鋅薄膜

研究項目適用領域

1. p-n 奈米柱二極體
2. 染料敏化太陽能電池
3. 光觸媒

主要具體貢獻

1. 氧化鋅奈米柱、氧化鋅奈米針、氧化鋅奈米管
2. p 型及 n 型氧化鋅薄膜

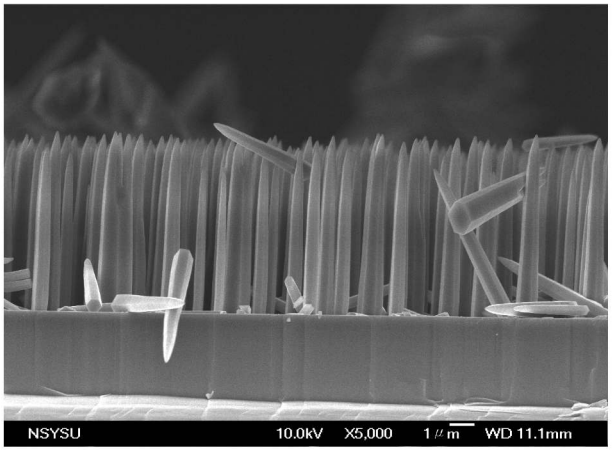


圖 2 氧化鋅奈米針

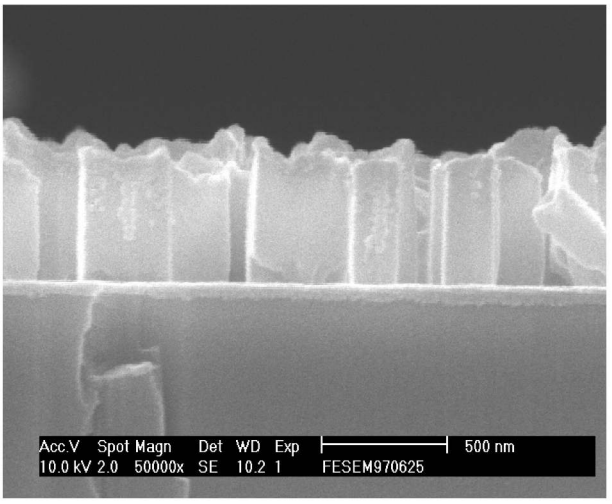


圖 3 氧化鋅奈米管

計畫名稱：寬能隙氧化物薄膜製備與檢測技術之研發(II)

計畫編號：NSC 97-2221-E-218-049
主持人：林克默　　單位：南台科技大學機械系
E-mail:kemo@mail.stut.edu.tw 電話: (06) 2533131 # 8202

計畫簡介

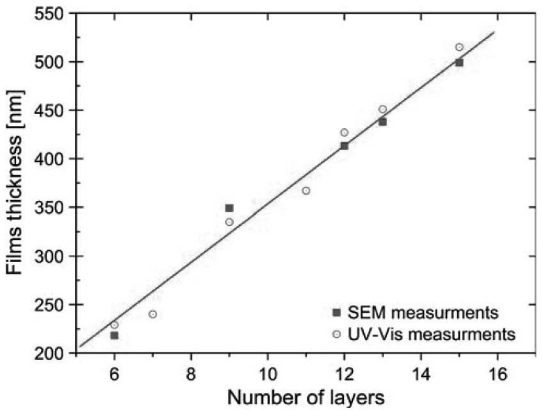
本計畫第一部分主要將橢圓儀建模技術推展至玻璃基板上 TCO 薄膜性質之檢測，並搭配分光光譜儀技術以建立完整 TCO 薄膜光學性質（n、k、t、T 和相對密度等）之檢測技術。第二部分則探討利用快速升溫爐控制薄膜成長之技術，並討論各式摻雜對 ZnO 薄膜電性的影響。

研究項目適用領域

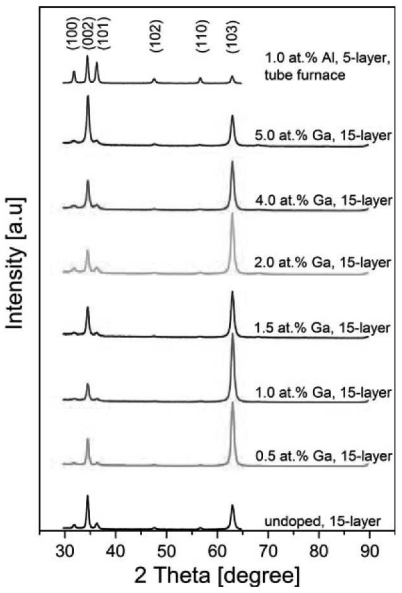
1. 金屬氧化物半導體
2. 透明導電膜薄之濕式製程
3. 大面積、低成本薄膜太陽能電池透明電極之製作

主要具體貢獻

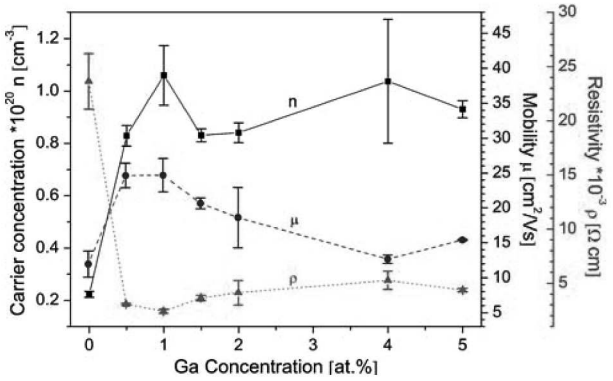
1. 掌握製作高效能透明導電膜濕式快速製程之關鍵技術。
2. 建立透明薄膜膜厚之橢圓儀及分光光譜儀量測步驟，和 SEM 測量值之誤差 <10%。
3. 最佳 ZnO:Ga 樣品片電阻 49Ω/sq，電阻率 2.20×10^{-3} Ωcm，光穿透率大於 80%。



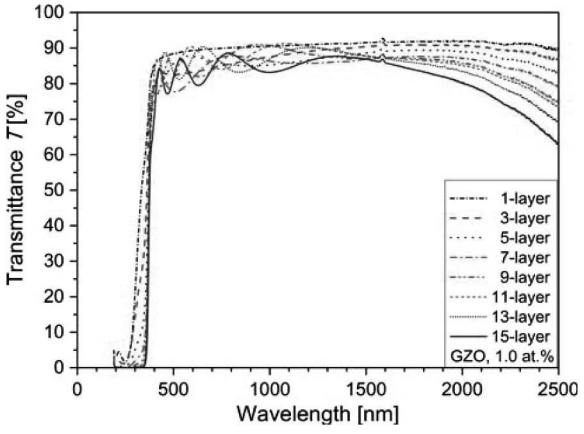
圖一：Comparison of the thicknesses of the GZO films measured with SEM and optical methods, 1.0 at.% Ga



圖二：X-ray diffraction patterns of ZnO films with different Ga concentration, 0.3 mol/L, 15-layer.



圖三：n, μ, ρ in dependence on Ga concentration, 0.3 mol/L, 15-layer.



圖四：Film transmittance with different coating number, 1.0 at.% Ga.

1. 部分內容已發表於 K. Lin et al., J. Sol-gel Sci. Techn., 2009/8.
2. 及 6th International Symposium on Transparent Oxide Thin Films for Electronics and Optics, Tokyo, Japan (2009).

高品質高敏感度之矽鍺奈米感測元件平台之開發

計畫編號：NSC 97-2221-E-009-163

主持人：張國明　　單位：國立交通大學電子工程學系及電子研究所
E-mail: kmchang@cc.nctu.edu.tw　　電話: (03) 571-2121 ext 31887

計畫簡介

本計畫主要目的在利用側壁式矽鍺奈米線結構製作高敏感度蛋白質以及 PH 感測元件。我們利用矽以及矽鍺所開發之側壁式非均質矽奈米線可以將敏感度提高到 30~40 %，相較於其他類型的感測器 20 %高出許多，研究中我們發現當鍺濃度上升時，感測元件的敏感度也會跟著提高，且側壁式矽鍺奈米線結構製作可以與 CMOS 製程相容，適合大量生產以及降低成本，相關論文已發表於 2008 *IEEE International Nanoelectronics* 國際會議。

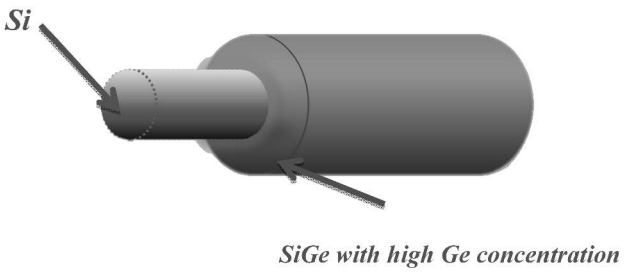


圖 1 計畫相關圖表

研究項目適用領域

1. 蛋白質檢測
2. 高密度多功能架構生醫感測器
3. 低功率感測元件系統

主要具體貢獻

1. High sensitivity sensor
2. High density structure
3. Low cost sensor

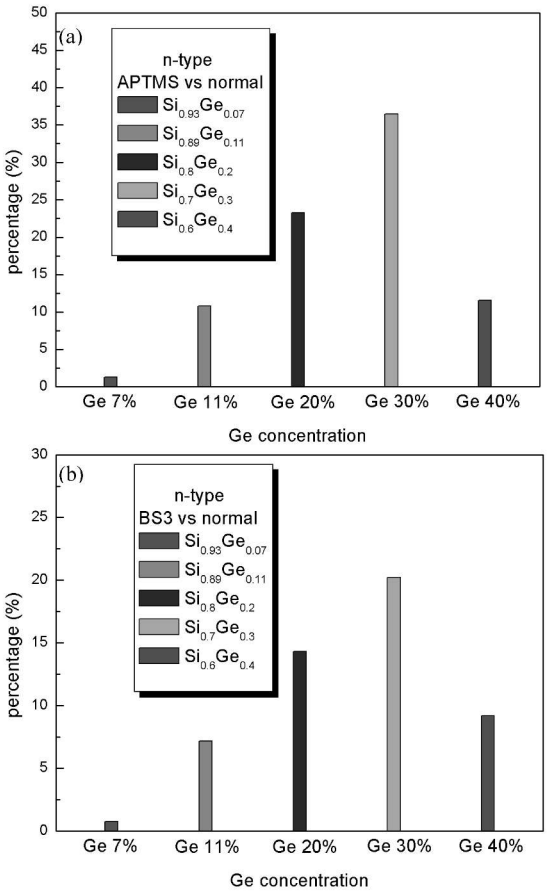


圖 2 計畫相關圖表

非揮發性記憶體元件電荷陷阱層與金屬閘極之製程與量測研究

計畫編號：NSC 96-2221-E-007-161-MY3

主持人：張廖貴術　　單位：清華大學工程與系統科學系
E-mail: lkschang@ess.nthu.edu.tw　電話: 03-5742674

計畫簡介

當非揮發性記憶體元件繼續朝向微小化時，必須以 Charge-trapping-type 來取代傳統 floating gate 型式元件。然而在元件朝向微小化、低操作電壓發展時，在寫入時會遇到電荷儲存層較高的穿隧能障，使寫入效率下降。本研究藉由 ALD 系統沉積不同 Hf/Al 組成比的 Hf_xAl_yO 來作為快閃記憶體的電荷儲存層，以尋找具熱穩定性佳、高電荷缺陷密度和適合的能隙差。實驗結果顯示，由 HfO_2 電荷儲存層添加 Al_2O_3 約 66%，可使快閃記憶體的寫入/抹除的操作性能獲得明顯改善，同時有不錯的電荷保存力，寫入/抹除耐久測試之記憶窗沒有變窄。

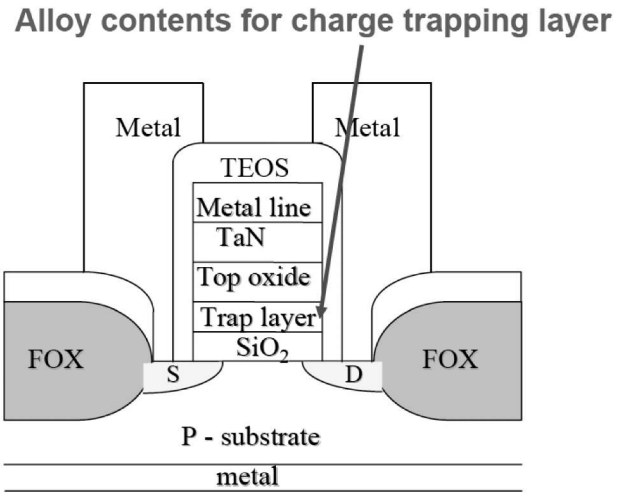


圖 1 本研究計畫所探討快閃記憶體具有不同合金比例之電荷陷阱層

研究項目適用領域

1. 快閃記憶體元件製程研發
2. 高介電係數(high-k)電荷陷阱層應用
3. ALD 應用於快閃記憶體元件製程研發
4. 快閃記憶體元件操作研究
5. 快閃記憶體元件可靠性分析

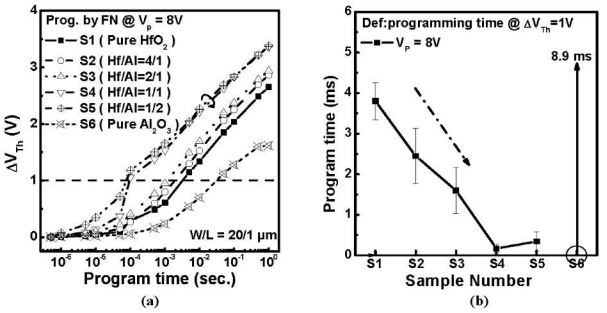


圖 2　快閃記憶體具有不同合金比例之電荷陷阱層的寫入速度

主要具體貢獻

1. 最佳合金比例的 high-k 電荷陷阱層可改善快閃記憶體元件之操作效能
2. 適當合金比例的 high-k 電荷陷阱層可增進快閃記憶體元件之可靠性
3. 快閃記憶體元件之可靠性分析與物理機制探討
4. 研究成果已發表在 IEEE EDL 等，並申請專利中

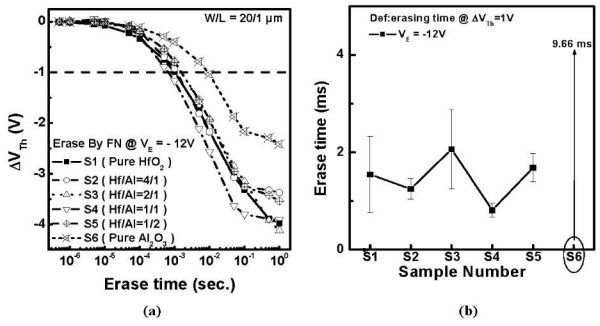


圖 3　快閃記憶體具有不同合金比例之電荷陷阱層的抹除速度

計畫名稱: 內嵌矽奈米點之 SONOS 記憶體元件

計畫編號：NSC 97-2221-E-009-152-MY3

主持人：趙天生 教授　　單位：國立交通大學電子物理系
E-mail: tschao@mail.nctu.edu.tw　　電話: 03-5131367

計畫簡介

在此次報告中，我們成功在氮化矽層內嵌矽奈米晶體之 SONOS 記憶體，並且提出利用臨場與非臨場方法在氮化矽層內嵌矽奈米晶體做為電子儲存層，此新結構跟傳統結構比較擁有許多較好的特性，例如:較大的記憶窗口和較長的資料儲存時間，同時我們利用 N_2O 和 O_2 兩種不同方式成長穿隧氧化層，並使其擁有相同厚度，我們發現利用 N_2O 成長穿隧氧化層有較佳的特性，如果使穿隧氧化層厚度增加，其資料儲存能力可同時提升。我們也提出利用臨場方法自我聚集成長矽奈米晶體於但化矽層內，利用 SiH_2Cl_2 將可達成臨場方法自我聚集，並且可達到高密度矽奈米晶體，較大的記憶窗口和長時間的載子保存性。

研究項目適用領域

1. 奈米元件製作技術
2. 矽奈米晶體 *in-situ* 成長技術
3. 可攜帶式記憶體
4. 非揮發性記憶體元件

主要具體貢獻

1. 增加記憶窗口大小
2. 提高資料保存時間
3. 提出低成本、製成簡單、高產能和一般 CMOS 相容之 *in-situ* 矽奈米晶體製程

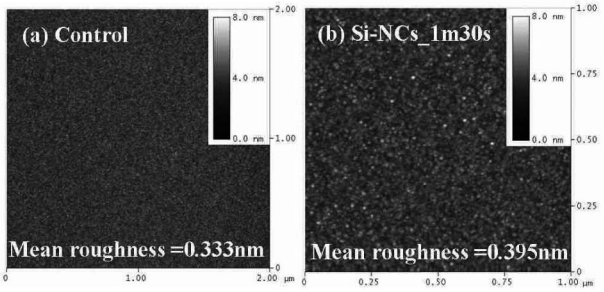


圖 1: 矽奈米晶體大小與密度分別約為(a)氮化矽層無矽奈米晶體、(b)8nm 和 6.7×10^{11}

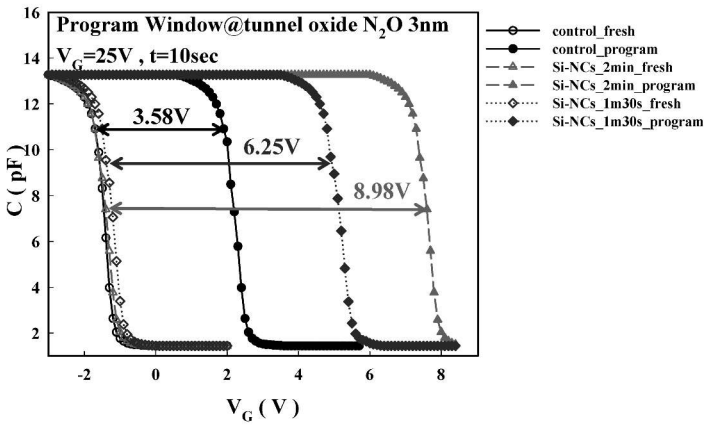


圖 2: 在相同偏壓及秒數下，不同樣品之記憶窗大小。

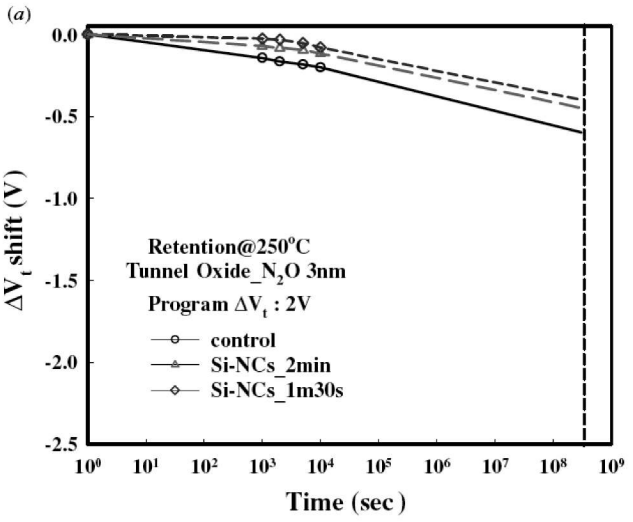


圖 3:不同沈積時間與樣品之電荷保存特性。

45奈米節點相同劑量下全程禁止間距及圖罩偏差增大因子之改善與相關薄膜研製

計畫編號：NSC 97-2221-E-009-159

主持人：龍文安　　單位：國立交通大學應用化學系
E-mail: loong@mail.nctu.edu.tw　　電話: (03)5731786

計畫簡介

本計畫重點在45奈米節點禁止間距及圖罩偏差增大因子之改善與相關薄膜研製。

以Prolith模擬製備45奈米二維接觸孔，使用本實驗室研發之新型相移圖罩，如圖一(b)，相較於其他圖罩，焦深較長，圖罩偏差增大因子亦可維持～1；缺點為所需照射劑量較高，如過高，將造成側葉光強過強而顯影。此缺點可用光敏較佳阻劑克服。

圖一(b)所需之減光層（背景層），經光學參數計算，可以 SiO_xN_y 電漿濺鍍薄膜製備。

研究項目適用領域

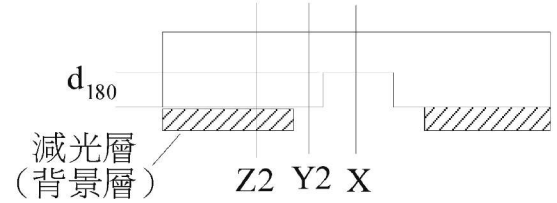
1. 微影解像度增進技術
2. 增加焦深技術
3. 散條薄膜研製

主要具體貢獻

1. 研發適用於接觸孔製備之新型相移圖罩
2. 改善禁止間距之相關因子探討
3. 減少圖罩偏差增大因子之相關理論探討

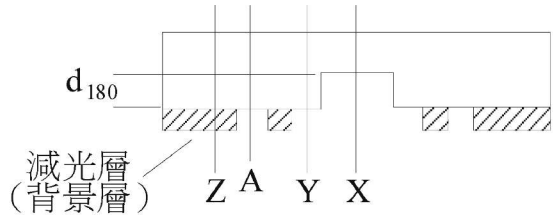
Δϕ：相對相移角度（相對相位差）
T%：透射率

(a) 減光-緣邊型
原名：半透-緣邊(Halftone-Rim)



X：Δϕ=0°，T%~100
Y2：Δϕ=π，T%~100
Z2：Δϕ=π+π=2π，T%~6
以正規嵌附層作爲背景層

(b) 減光-外架-緣邊型



X：Δϕ=0°，T%~100
Y：Δϕ=π，T%~100（Y爲緣邊）
A：Δϕ=π，T%~100（同Y, A爲外架）
Z：Δϕ=π+π=2π，T%~6
以正規嵌附層作爲背景層

圖 1 計畫主持人實驗室先後研發之二種新型相移圖罩示意圖