召集人序

各位微電子學門先進與同仁：

弟於 98 年 1 月 1 日接任學門召集人以來，承蒙關照與支持，深感榮幸有此機會為各位服務。

97 年度國科會工程處微電子學門「固態電子」領域成果發表會，如同往年假年度 IEDMS Symposium 之會議場地舉行。為配合年度成果發表會議，學門已請各位計畫主持人提繳精簡成果報告；成果集彙整編印過程感謝各位先進與同仁的配合。

本年度「固態電子」領域共有 156 件計畫案，137 位計畫主持人。156 件計畫中包括 95 年度三年期計畫 11 件、96 年度兩年期以上計畫 34 件、及 97 年度計畫 111 件，研究主題豐富且多元，足見學門充沛的研發實力，與廣泛的技術應用範圍。

本次成果集目錄依據去年的分類方式編列，方便相關領域的研究人員翻閱與交流。期待經由本次成果集的彙編及成果發表會的舉行，提供同仁們充分的技術交流及合作機會。

敬祝

研究順利 平安健康

微電子學門召集人 王進賢 謹識

九十八年十一月二十日

微電子學門97年度成果發表會
固態電子領域

議　　程 日期：98年11月20日　　地點：桃園長庚大學 第二醫學大樓	
時　　間	**內　　容**
13：10～13：30	報　　到
	海報張貼
13：30～14：00	學門召集人業務報告
14：00～15：00	**口頭成果報告** **主持人：王進賢教授** 14:00~14:20 清華大學 電子工程研究所 葉鳳生教授 計畫名稱：以紫外光奈米壓印技術製造鑲嵌式金屬奈米晶粒快閃記憶體 (第一年) 計畫編號：NSC 97-2221-E-007-132-MY3 14:20~14:40 交通大學 電子工程學系　蘇彬副教授 計畫名稱：次32奈米多重閘極元件的特性分析與模式建立 計畫編號：NSC 97-2221-E-009-162 14:40~15:00 長庚大學 電子工程學系 潘同明教授 計畫名稱：高介電常數的三氧化鐠與三氧化釔閘極介電層在薄膜電晶體、快閃記憶體及離子感測電晶體應用 計畫編號：NSC 97-2221-E-182-050
15：00～15：20	**NDL服務說明** 簡報主題：NDL整合元件遠距服務平台 主講人：國家奈米元件實驗室 楊富量主任
15：20～16：00	學門海報展示及複審時間
16：00～	圓滿結束

目　　錄

CD：CMOS Devices

奈米線電晶體的微縮特性之研究	江孟學	p1
利用形變矽及矽鍺技術實現高性能互補式金氧半場效電晶體(III)	吳三連	p2
在奈米尺度之動態應力下薄閘極氧化層之退化與崩潰	吳幼麟	p3
多孔矽為應力源製作絕緣層應變矽材料製作之研究	李天錫	p4
矽鍺基奈米點之製作及應用性質之研究(I)	李勝偉	p5
16奈米矽多重閘極電晶體中隨機摻雜導致之特性擾動及其抑制方法	李義明	p6
高介電薄膜在積體電路元件的可靠度與界面特性研究	邱福千	p7
氮化鋁鎵/氮化銦鎵/氮化鎵系列材料金氧半異質接面場效電晶體之研製	施博文	p8
高頻操作時 Low k 層介電偏移效應對被動元件影響之研究	洪茂峰	p9
超薄絕緣層新穎製程開發及其在矽金氧半元件之應用	胡振國	p10
金屬閘極及高介電係數介電質材料在奈米電子元件的應用	荊鳳德	p11
高性能多閘極奈米元件技術	崔秉鉞	P12
碳摻雜矽奈米線全包覆式閘極元件技術研究	崔秉鉞	p13
電流截止頻率大於 500GHz 之砷化銦通道高電子遷移率電晶體其製作與高速邏輯應用之評估	張　翼	p14
高速操作及高資料保存特性 SONOS 型式快閃記憶體之研究	莊紹勳	p15
混合基片奈米CMOS元件技術中各種應力效應對傳輸特性及可靠性影響的研究	莊紹勳	p16
考慮淺壕溝隔離之奈米絕緣體上矽金氧半元件之精簡模型	郭正邦	p17
非揮發性記憶體奈米尺寸陷阱物理暨相關可靠性物理之嶄新研究	陳明哲	p18
高度微縮金氧半電晶體應變工程及物理機制之研究	陳明哲	p19
應用於矽/鍺奈米尺寸堆疊結構之表面與應力研究	劉致為	p20

CIR：CMOS and Interconnect Reliability

新穎多孔性氮碳化矽材料及氣隙內連接可行性之研究	呂志鵬	p21
奈米元件高介電常數閘極介電層靜電突波損傷之可靠度研究	林成利	p22
p 通道橫向擴散矽金氧半元件之可靠度研究	陳志方	p23
次世代奈米積體電路元件之電化學銅合金化內連接導線製程研發	陳錦山	p24
新穎奈米連線研究	游萃蓉	p25
互補金氧半靜電防護元件電路之分析和設計	黃至堯	p26
具有形變通道與完全金屬矽化閘極之互補式金氧半電晶體的製造與分析	黃調元	p27

DSM：Displays, Sensors, and MEMs

新穎全透明式氧化鋅(ZnO)薄膜電晶體運用於高解析度大尺寸平面顯示器之研究	方炎坤	p28
可撓式有機電晶體臨界特性調變與摻雜技術研究	王右武	p29
系統面板的前瞻複晶矽非揮發記憶體元件之結構，操作機制與可靠度研究	吳永俊	p30
具有高響應度之氮化鎵光電晶體紫外光偵測器之研究	李明倫	p31
應用可撓式塑膠基板研發陣列式離子量測系統	李蒼松	p32
奈米生化感測 CMOS MEMS 系統晶片研究	沈志雄	p33
釔金屬摻雜二氧化鈦微型化生醫感測系統之研製與應用	周榮泉	p34
微型化酵素生物感測元件整合陣列遠端監控量測平台之研發	周榮泉	p35
研製高靈敏度陣列式微量氫氣感測電路	林坤緯	p36
軟性電子關鍵技術之低溫 (200℃) 結晶矽膜技術開發與應用	林炯暐	p37
使用奈米印刷技術研發一奈米線場效電晶體抗體感測器	林啟元	p38
新穎影像偵測器架構之研究(II)	徐永珍	p39
CMOS MEMS 細胞阻抗晶片之研發(II)	張凌昇	p40
無磷光粉、高效能智慧型太陽光模擬光源的開發	許晉瑋	p41
應用於太陽能電池之捲軸式奈米壓印技術	陳建亨	p42
新穎性多樣氣體感測器之研製	陳慧英	p43
新式結構與高介電常數閘極介電層在複晶矽薄膜電晶體之應用(1/2)	雷添福	p44
高介電常數的三氧化鐠與三氧化釓閘極介電層在薄膜電晶體、快閃記憶體及離子感測電晶體應用	潘同明	p45
應用於電荷陷阱層之混成奈米晶體及其功函數調變效應研究	鄭錦隆	p46
高效率矽奈米柱混成矽量子點太陽能電池之研製與其特性研究	戴寶通	p47
變形性緩衝晶膜光伏元件研製與模型	譚仕煒	p48

ICM：Integrated Circuits and Manufacturing

Ku 頻段微波積體電路暨高功率微小化收發整合系統之研製	王永和	p49
應用於 Ku 及 Ka 雙頻段之關鍵性元件 MMIC 及發射器系統之開發與研製	王永和	p50
毫微米電晶體在高頻除三除頻器電路的應用性研究(I)	張勝良	p51
應用於 S-, X-, 及 Ku-頻段高功率氮化鎵線性放大器研製	許恆通	p52

M：Memory

相變化記憶體材料暨元件開發研究	周麗新	p53
鋯酸鍶基電阻式非揮發性記憶體之特性研究	林群傑	p54
以過渡金屬氧化物為基礎的新世代非揮發性電阻式記憶體	侯拓宏	p55
新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與研究	張俊彥	p56
應用於非揮發性記憶體與軟性電子關鍵技術研究-電阻式記憶體電阻層特性與低溫製程之研究	張麗君	p57
利用溶凝膠法製作鈦酸鋯基電阻式記憶體材料之研究	許正興	p58
次世代量產型操作於低電壓電流之高速奈米非揮發性記憶體	麥　凱	p59
整合化學置換與無電鍍鎳應用於積體電路製程之研究	楊文祿	p60

MS：Modeling and Simulation

次 32 奈米 CMOS 元件可靠性分析，量子結構效應，與蒙地卡羅電荷傳輸模擬	汪大暉	p61
次 50 奈米二位元儲存氮化矽快閃式記憶體元件之結構、電荷傳輸與可靠性研究	汪大暉	p62
砷化鎵基含銻化合物半導體材料與元件之研究	林浩雄	p63
應用於超淺接面之摻雜活化原子模型	張睿達	p64
基於晶圓級四埠量測之射頻金氧半場效電晶體模型製作與電路設計	黃國威	p65

PT：Process Technology

以原子層沉積技術生長高品質二氧化鈦膜為閘極氧化層製作 Si 與 III-V MOSFETs	李明逵	p66
生長氧化鋅奈米柱結構及相關光電元件之製作	李明逵	p67
寬能隙氧化物薄膜製備與檢測技術之研發(II)	林克默	p68
高品質高敏感度之矽鍺奈米感測元件平台之開發	張國明	p69
非揮發性記憶體元件電荷陷阱層與金屬閘極之製程與量測研究	張廖貴術	p70
內嵌矽奈米點之 SONOS 記憶體元件	趙天生	p71
相同劑量下 45 奈米節點微影全程禁止間距及圖罩偏差增大因子之改善與相關薄膜研製	龍文安	p72

QPCSD：Quantum, Power, and Compound Semiconductor Devices

應用於新穎發光元件、嵌入有機或無機主動材料之微共振腔	毛明華	p73
剪向模態薄膜體聲波共振器之研製及其應用	吳信賢	p74
砷化鎵系列金氧半-高電子移動率電晶體之模擬與研製(II)	李冠慰	p75
銻化物基材之量子結構及元件	李建平	p76
氮化鋁鎵/氮化鎵高頻佐置空間轉移電晶體機制與特性之研究	李清庭	p77
新型銻/氮摻入稀釋通道異質場效電晶體之技術開發	李景松	p78
新穎垂直式大面積 GaN-基微型 LED 之設計製造與光電特性改善(II)	汪楷茗	p79
新穎微電子元件	林吉聰	p80
高性能微波及發光元件之研究	林育賢	p81
超低功率及超高速之銻化物異質接面場效電晶體元件的開發(II)	林恆光	p82
半導體量子點寬頻光源	林國瑞	p83
低極化場效應高亮度綠光發光二極體磊晶技術研究	林瑞明	p84
量子點負微分電容特性研究	林聖迪	p85
高介電係數氧化物原子層沈積技術在氮化鎵金氧半場效電晶體與微波切換開關之開發	邱顯欽	p86
週期性粗化之表面形貌對發光二極體特性影響之研究	洪瑞華	p87
低溫濺鍍氮化鋁氮化鎵異質接面之沉積機制及其新型光電與聲波元件之設計研製(II)	高慧玲	p88
整合 MBE 與 MOCVD 磊晶技術於三族氮化物高頻功率電晶體磊晶結構之開發(1/3)	張俊彥	p89
氮化物半導體高效率全波段太陽能電池及太陽能光電解氫氣生成元件之研究	許進恭	p90
異質結構光電元件之研究與製作	郭德豐	p91
射頻側向擴散式金氧半場效電晶體於功率放大器應用之模型化技術	陳坤明	p92
具液相沉積二氧化矽的矽鍺金氧半紅外光檢測器之製造與模型探討(II)	黃俊達	p93
應用全光譜之多能帶串接式量子井太陽能電池	黃家華	p94
氮化鎵基板之製備與高功率氮化鎵整流二極體之研製	綦振瀛	p95
可應用於生物醫療之化合物半導體式微量氣體感測器之研製	劉文超	p96
具有低溫蕭特基接觸製程之異質結構場效電晶體之研製	劉文超	p97
四族光電元件：光偵測器、發光二極體、以及類雷射元件	劉致為	p98
設計與研製應用於光纖通訊之同調耦合垂直共振腔面射型雷射陣列	蔡家龍	p99
積體化摻雜通道擬晶性異質結構場效電晶體之研究及邏輯電路應用(II)	蔡榮輝	p100
具非退火式的歐姆接觸之改良型砷化銦鋁/砷化銦鎵變晶性高電子移動率電晶體	鄭岫盈	p101
高功率之氧化鋅/氮化鎵-金氧半場效電晶體的研究	薛光博	p102
功能型光電晶體與 VCSEL 之數位電光交換電路、邏輯閘電路	羅文雄	p103

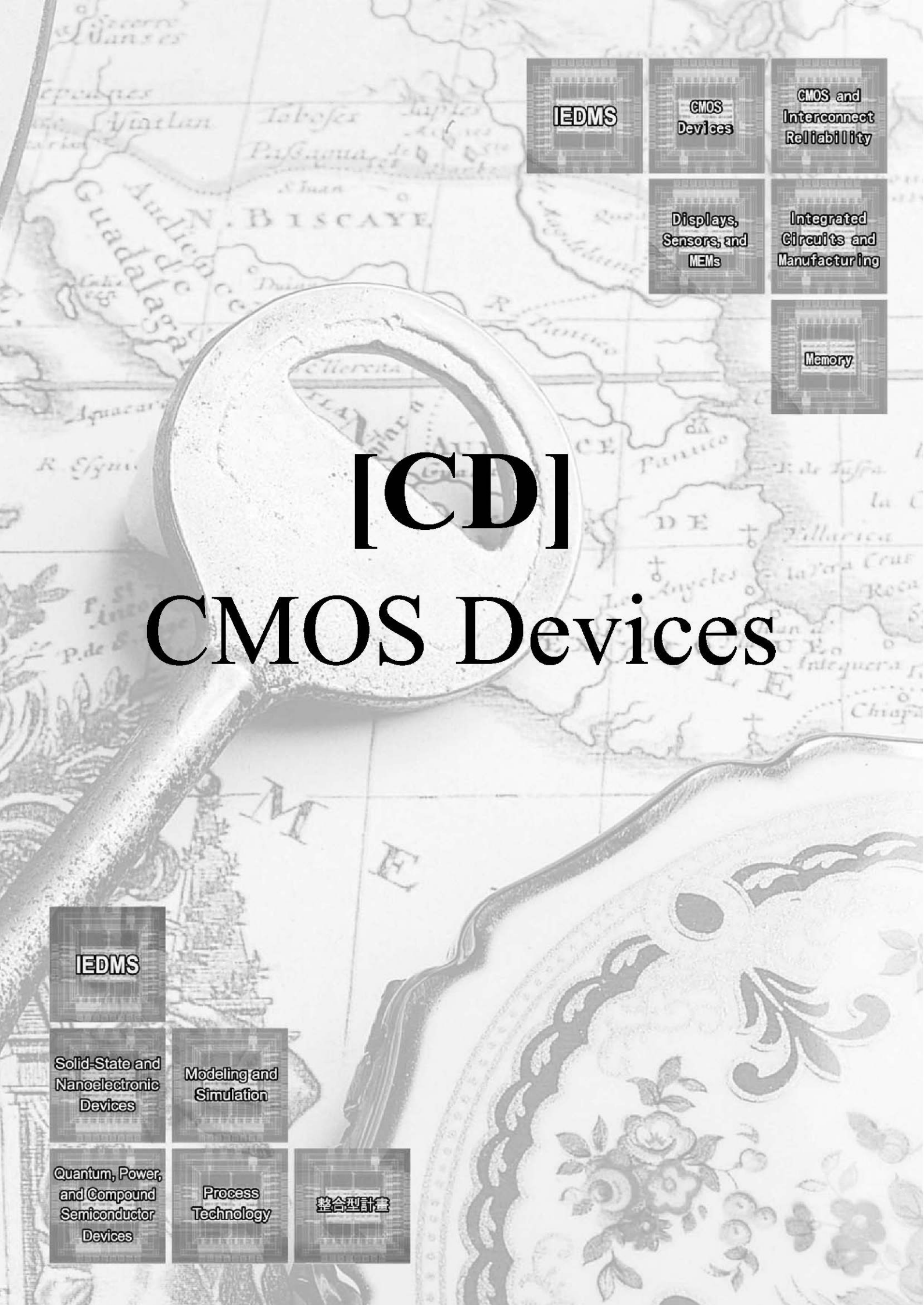
SSND：Solid-State and Nanoelectronic Devices

以矽化鎳成長單壁碳奈米管及其與金屬電極近似歐姆接觸之研究	丁志華 p104
新穎鎢基奈米線成長技術之開發及其於多極場發射真空微電子元件之應用研究	王水進 p105
硫屬單晶半導體之固態及光電性質研究	何清華 p106
低電阻率金屬矽化物奈米元件及其特性研究	吳文偉 p107
多孔矽多層結構應用於光學式生化感測器之研製	吳坤憲 p108
矽晶圓上具鍺通道之奈米晶體記憶體: 元件結構與製程技術之開發	巫勇賢 p109
軟性基板上奈米鍺量子點元件及其驅動電晶體	李敏鴻 p110
用於電子紙顯示器之軟性能量回收主動式矩陣電路	李嗣涔 p111
一維新穎複合金-氧化鎵奈米光電元件製作	周立人 p112
新型多晶矽功率電晶體開發與熱效應之研究	林智玲 p113
以新異電蝕製程進行奈米級多孔矽薄膜於太陽能吸收/轉換元件與可見光放射元件之應用及其於能源與照明之光電轉換效率改善	林嘉洽 p114
用於先進邏輯元件件與感測器應用之新式矽奈米線電晶體技術	林鴻志 p115
串接式矽基薄膜太陽電池之優化設計與熱燈絲化學氣相沉積實作分析	武東星 p116
奈米點記憶體元件之製作與物理機制研究(1/2)	施　敏 p117
高介電材料結合 SONOS 之新穎非揮發性記憶體元件製作與物理特性研究(1/2)	施　敏 p118
利用擴散與相分離製作矽量子點之熱電子式太陽能電池	施權峰 p119
金屬-絕緣層-半導體奈米矽晶太陽能電池之開發	施權峰 p120
多位元鍺奈米晶體快閃記憶體單胞元之研製	洪志旺 p121
高性能長壽命可撓式有機薄膜電晶體元件之製作與研究(II)	范慶麟 p122
具有保護性子基板之微波元件覆晶技術研究	張連璧 p123
以異質結構通道層來形成極佳電性之複晶矽薄膜電晶體	莊敏宏 p124
以極少數奈米晶粒為電荷存取中心之矽奈米線非揮發記憶元件研究	許鈺宗 p125
製作規則排列之矽及矽化物奈米結構陣列及其光電性質之研究(II)	許薰丰 p126
電荷缺陷儲存式快閃記憶體其理論發展及實作分析(II)	連振炘 p127
高速矽鍺電制吸收光調變器	郭宇軒 p128
獨立式低維金屬矽化物奈米結構成長與應用	陳力俊 p129
鍺及矽鍺基電子元件製程技術開發(II)	陳邦旭 p130
透明金屬氧化物半導體能帶結構與場效傳導特性之研究	陳奕君 p131
電荷轉移 P 型半導体鑽石及其創新高性能電子運用	曾永華 p132
新世代電阻式非揮發性記憶元件之製作與特性研究	曾俊元 p133
低成本高性能高可靠度先進氧化鋅奈米線場發射元件之研究	曾俊元 p134
電流變奈米粒子顯示器	黃建榮 p135
應用超級接面之橫向高電壓 4H 型碳化矽金氧半場效電晶體研發	黃智方 p136
以紫外光奈米壓印技術製造鑲嵌式金屬奈米晶粒快閃記憶體	葉鳳生 p137
離子的高敏感度交流電性量測並以紅外線頻譜作輔助分析	管傑雄 p138

以原子層累積技術沉積氧化鉿電阻層應用於非揮發性電阻式記憶體之研究	劉國辰 p139
高效能氮化銦鎵太陽能電池之研製與應用之研究	劉博文 p140
多功能性有機/無機介電層對有機薄膜電晶體電特性的影響研究	鄭弘隆 p141
在 $Mg(Ta_{1-X}Nb_X)_2O_6$ 微波介電陶瓷基板上設計製作雙頻與四頻陶瓷帶通濾波器	鄭建民 p142
以矽化物及碳為射極之高性能真空微電子關鍵製程與元件技術之研究	鄭晃忠 p143
新型矽鍺光定址電位感測元件在過氧化氫及自由基檢測之應用	賴朝松 p144
含自組裝矽量子點之奈米孔洞氧化矽複合材料閘極之電晶體技術	謝嘉民 p145
半導體兆赫波主被動元件之研究	顏順通 p146
次 32 奈米多重閘極元件的特性分析與模式建立-變異性與微縮性，高頻類比特性，以及介觀現象的探討	蘇　彬 p147

整合型計畫

總計畫	胡振國 p148
子計畫一：碳化矽上新穎絕緣層技術	胡振國 p149
子計畫二：後矽電子之鍺錫通道及施應力技術	劉致為 p150
子計畫四：碳、錫與應變對矽鍺 CMOS 元件之能帶結構與載子遷移率的影響	張書通 p151
子計畫五：絕緣層上鍺錫基板之製作及應用性質之研究	李勝偉 p152
總計畫	朱聖緣 p153
子計畫一：有機薄膜太陽能電池轉換效率提昇之研究	許渭州 p154
子計畫二：螢光材料應用於玻璃基板低溫成長多晶矽低成本高效能無機及有機-無機異質接面太陽能電池之研製(1/3)	方炎坤 p155
子計畫三：提高太陽能電池效率之螢光材料開發及其特性探討	朱聖緣 p156


IEDMS
CMOS Devices
CMOS and Interconnect Reliability
Displays, Sensors, and MEMs
Integrated Circuits and Manufacturing
Memory
[CD]
CMOS Devices
IEDMS
Solid-State and Nanoelectronic Devices
Modeling and Simulation
Quantum, Power, and Compound Semiconductor Devices
Process Technology
整合型計畫

利用形變矽及矽鍺技術實現高性能互補式金氧半場效電晶體(III)

計畫編號：NSC 97-2221-E-230-021

主持人：吳三連　　單位：正修科技大學電子系(所)
E-mail:slwu@csu.edu.tw　　電話:07-7310606#3200

計畫簡介

第三年計畫中，我們針對雙軸伸張應力對應變矽 CMOS 元件中直流特性進行探討，並利用低頻雜訊(1/f)量測技術檢測應力實施後介面特性之變化，完成低頻雜訊模型。由量測結果發現，結合載子數目變動與修正後之移動率項可完整描述伸張應力矽元件介面特性。

研究項目適用領域

1. 半導體元件微縮技術應用
2. 元件電路模型
3. 記憶體元件

主要具體貢獻

1. 以應力形變提升 CMOS 元件效能
2. 建立低頻雜訊檢測奈米元件技術
3. 完成 strained-Si MOSFET 低頻雜訊模型
4. 2009 年發表 SCI 論文共 11 篇

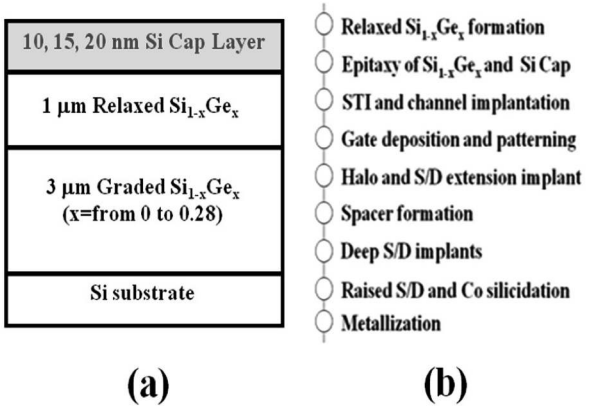


圖 1 計畫元件結構

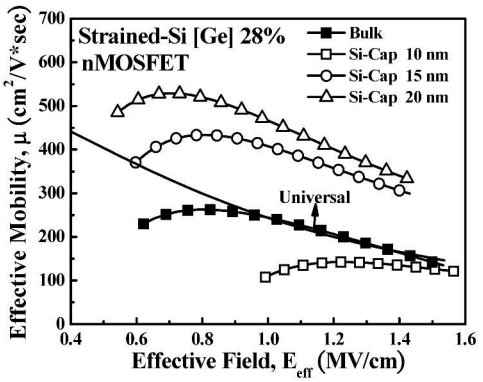


圖 2 元件移動率分析

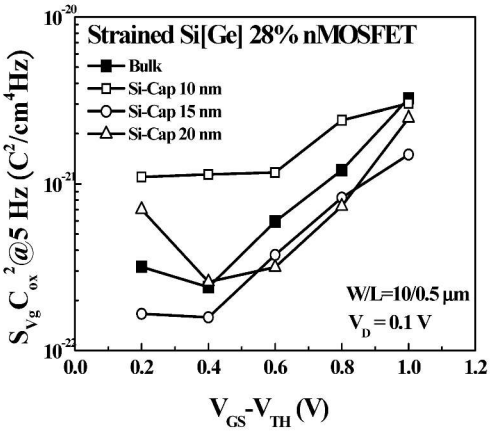


圖 3 元件雜訊分析

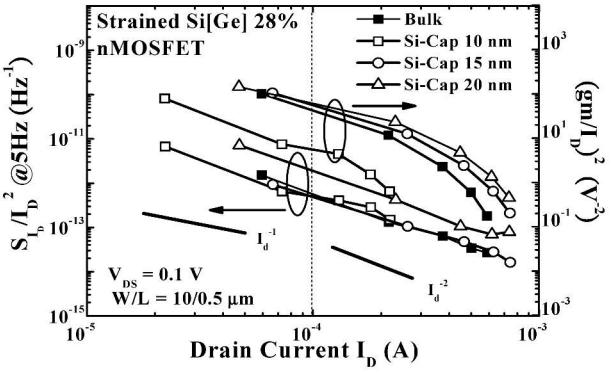


圖 4 元件雜訊模型建立

在奈米尺度之動態應力下薄閘極氧化層之退化與崩潰

計畫編號：NSC 97-2221-E-260-024

主持人：吳幼麟　　單位：國立暨南國際大學電機工程學系
E-mail: ylwu@ncnu.edu.tw 電話:(049)-2910960 ext 4805

計畫簡介

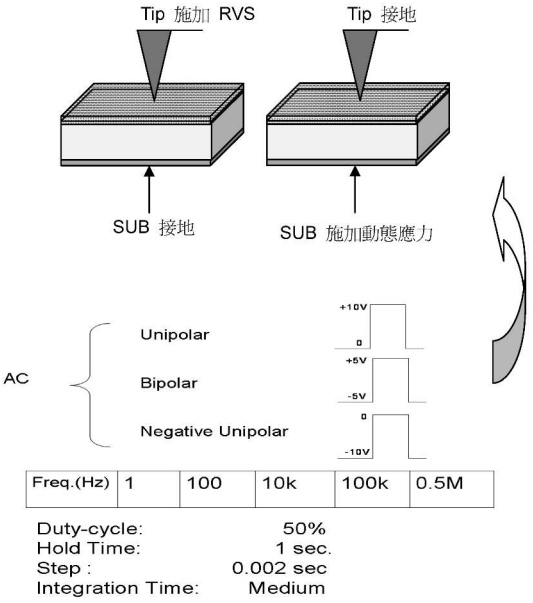
本計畫之主要目的在於嘗試瞭解薄閘極氧化層於奈米尺度動態應力作用下之退化及崩潰特性。透過原子力顯微鏡與半導體參數量測儀對薄閘極氧化層施加單極性及雙極性方形脈波並觀測閘極氧化層之崩潰特性。我們改變所施加方波的頻率及 duty cycle 以瞭解動態應力對氧化層奈米尺度下可靠度的影響。

研究項目適用領域

1. 原子力顯微鏡
2. 金氧半元件可靠度
3. 薄閘極氧化層奈米尺度特性

主要具體貢獻

1. 瞭解薄閘極氧化層於奈米尺度動態應力作用下之退化及崩潰特性。
2. 相較於直流應力，動態應力作用下之閘極氧化層較不容易崩潰。
3. 薄閘極氧化層隨動態應力作用之時間增加，奈米尺度 I-V 特性之臨限電壓逐漸降低，流過閘極氧化層之漏電電流逐漸增加。
4. 閘極氧化層在產生硬崩潰前會產生漏電流振幅的不規則變化。
5. 氧化層的崩潰時間一開始是隨所施加方波的頻率增加而增加，但當頻率超過 10KHz 時，氧化層的崩潰時間反而隨頻率增加而降低。



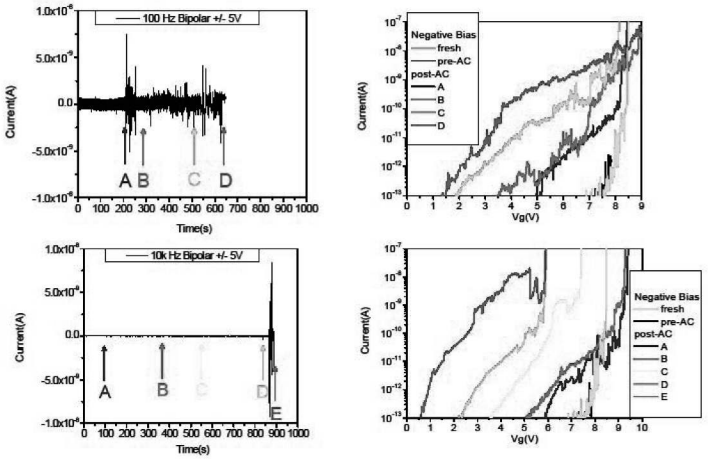


圖 1 不同頻率之交流應力作用下，氧化層 I-t 及各時間點之 I-V 變化

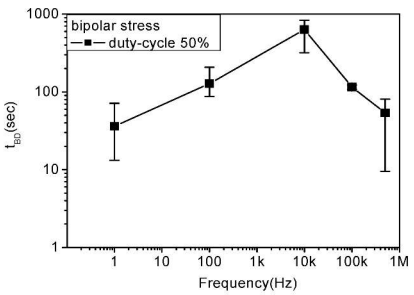


圖 2 氧化層崩潰時間與所施加雙極性方波應力頻率之關係圖。

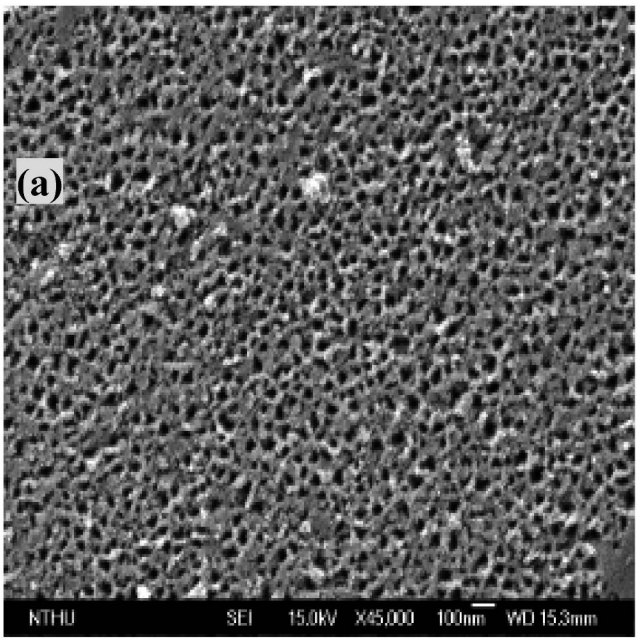
多孔矽為應力源製作絕緣層應變矽材料製作之研究

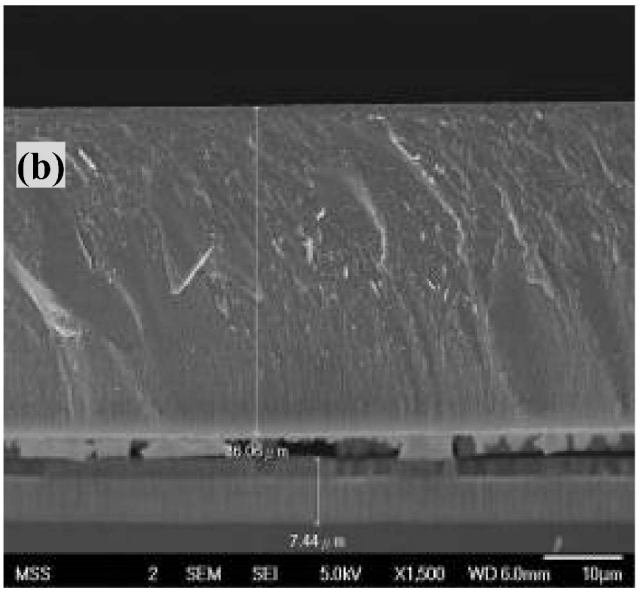
計畫編號：NSC 97-2221-E-008-092

主持人：李天錫　　單位：國立中央大學機械工程學系
E-mail:benlee@ncu.edu.tw　　電話: (03) 426-7302

計畫簡介

本計畫使用電化學蝕刻方式製作深埋多孔裂縫之矽晶層，以供薄膜轉移使用。以 143mA/cm^2 定電流密度在氫氟酸（49%）與乙醇（99.5%）以體積比 1：1 混合之蝕刻溶液中，對電阻率 0.008-0.020 歐姆-公分之 P 型(100)矽晶圓，進行 15 分鐘電化學蝕刻。透過溶解反應，可於表面矽晶層下一定深度形成裂縫，得到深埋多孔矽裂縫之矽晶層。在該矽晶層底部，因多孔矽層的脆性產生裂縫，故於上層之薄膜施加小應力後，即可將薄膜沿裂縫進行剝離，此技術可供作薄膜轉移之使用。結果顯示，所剝離之薄膜厚度約為 36um，實驗薄膜所佔面積約為試片之百分之七十五左右。若配合晶圓鍵合技術，未來可應用在 SOI 材料之製作。





143mA/cm^2 定電流參數蝕刻之表面形貌
(a)45000 倍表面圖 (b)1500 倍側面圖

研究項目適用領域

1. 電化學蝕刻
2. 多孔矽製作
3. 薄膜轉移

主要具體貢獻

1. 電化學蝕刻產生厚膜矽晶層
2. 厚膜矽晶層薄膜剝離
3. 厚膜 SOI 製作方法

矽鍺基奈米點之製作及應用性質之研究(I)

計畫編號：NSC 97-2218-E-008-003

主持人：李勝偉　單位：國立中央大學 材料科學與工程研究所
E-mail: swlee@ncu.edu.tw　　電話：(03)42227151 ext.34905

計畫簡介

本計劃主要研究目的為利用高密度鍺量子點於矽基材上作為奈米遮罩，進行選擇性化學濕式蝕刻，製備出大面積矽基奈米尖端結構。蝕刻過程中，鍺奈米遮罩緩慢地被縮小為富鍺核心(Ge-rich core)結構，而其尺寸也決定所製備出之矽基奈米尖端結構之頂端尖度(apex sharpness)，所製備出之矽基奈米尖端具有改善的抗反射性質及優異之電子場發射性質，其起始電場僅 2.6V/μm，且矽奈米尖端之場發射增強因子高達 3642。

研究項目適用領域

1. 矽電子場發射源
2. 矽基光偵測器及光伏元件
3. 金屬-氧化層-矽發光二極體

主要具體貢獻

成功利用低成本、高效率之簡單濕式蝕刻搭配自組裝成長鍺量子點奈米遮罩，製作出大面積矽基奈米尖端結構。

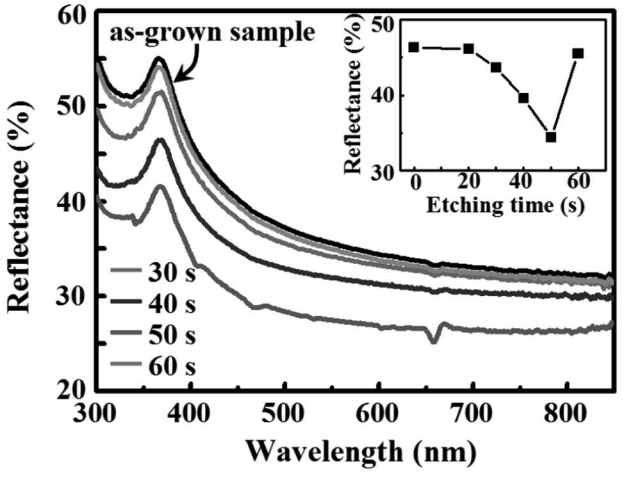


圖 3 鍺奈米點經過不同時間 TMAH 溶液選擇性化學蝕刻下之反射率對波長關係圖。

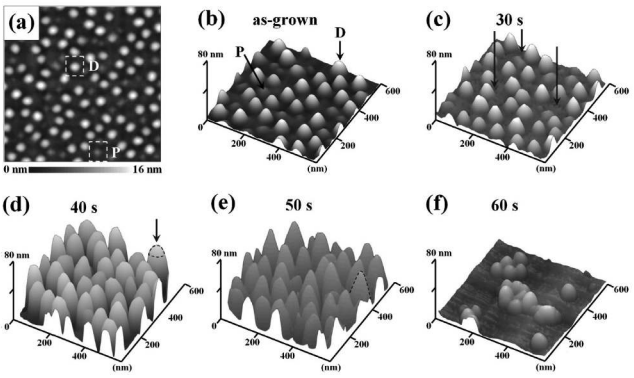


圖 1 鍺奈米點遮罩經過不同時間之 TMAH 溶液選擇性蝕刻下的原子力顯微鏡影像。

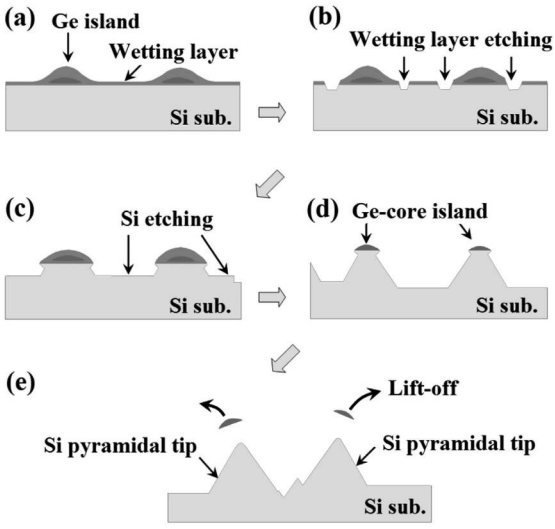


圖 2 利用鍺量子點奈米遮罩結合選擇性化學濕式蝕刻製備出矽基奈米尖端示意圖。

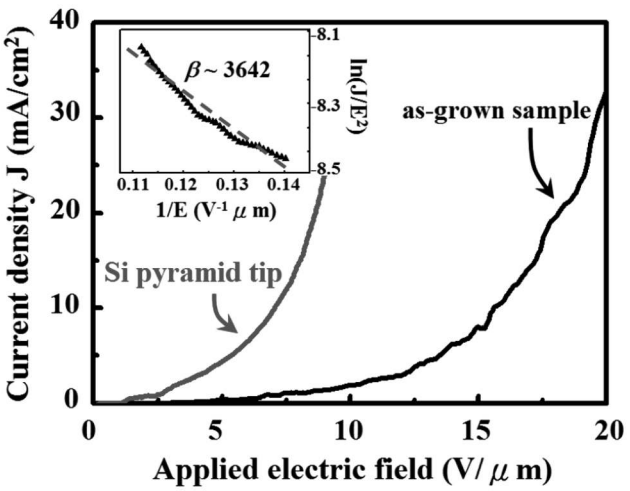


圖 4 矽基奈米尖端之場發射電流對電場關係。

16 奈米矽多重閘極電晶體中隨機摻雜導致之特性擾動及其抑制方法
Characteristic Fluctuation and Its Suppression in 16 nm FinFETs and Multi-Gate Transistors

計畫編號：NSC-97-2221-E-009-154-MY2

主持人：李義明 教授　　單位：國立交通大學電機工程學系
E-mail: ymli@faculty.nctu.edu.tw　　電話: 03-5712121 ext. 52974

計畫簡介

延續摩爾定律而獲得高性能矽晶片以及高密度元件之觀點，新材料、新製程與新結構的開發是半導體製造上繼續微縮元件的尺寸最有效的策略方案；其中，20 奈米之後電晶體結構的改變儼然已成為非常前瞻與重要的趨勢，因此研究隨機摻雜問題在多重閘極場效電晶體特性之影響已為重要且急迫之課題之一。本計劃將完整研究隨機摻雜在 16 奈米等級多閘極立體場效應電晶體導致的擾動問題及其抑制方法，結合實驗與理論研究含平面以及各種多閘極立體電晶體隨機摻雜導致的電特性擾動。

研究項目適用領域

1. 可靠性問題分析 2. VLSI 可製造性
3.電路可靠性分析 4.三維度元件模擬技術

主要具體貢獻

1. 前瞻技術模擬及評估能力建立
2. 發展 3D 元件模擬使用等效原子層級離散摻雜暨量子傳輸方程的大尺度統計方法
3. 奈米元件校準與擾動模型建立
4. 多重閘極立體電晶體特性擾動模擬分析
5. 結構相依的隨機摻雜擾動量機制分析

以上成果對電晶體擾動壓抑之推估以及下世代電晶體特性擾動分析極有助益

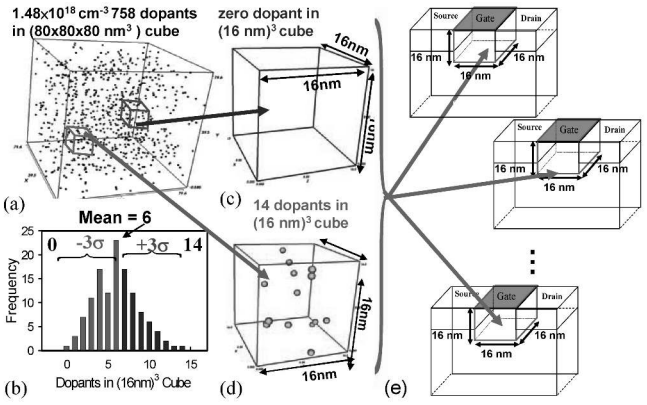
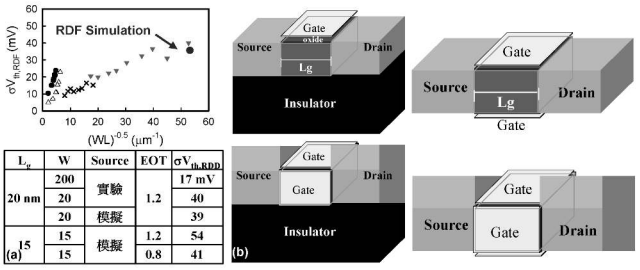


圖 1、 大尺度統計模擬示意圖



L_g	W	Source	EOT	$\sigma V_{th,RDD}$
20 nm	200	實驗	1.2	17 mV
	20			40
	20	模擬		39
15	15	模擬	1.2	54
	15		0.8	41

(a)　(b)

圖 2、(a)模擬與實驗量測結果之校準，此模擬技術進一步應用於(b)多閘極電晶體，如：單閘極、雙閘極、三閘極以及全閘極電晶體。

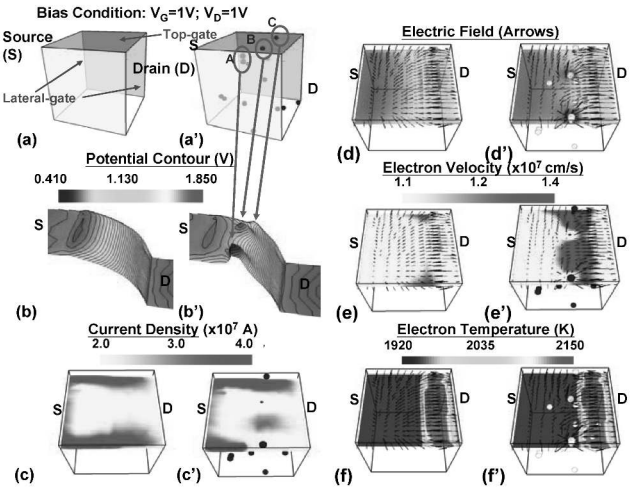


圖 3、預期之三閘極電晶體(通道摻雜為連續型摻雜)與有離散摻雜擾動三閘極電晶體之模擬比較。所分析特性有電位分布、電流分布、電場分布、電子速度分布與電子溫度分布。

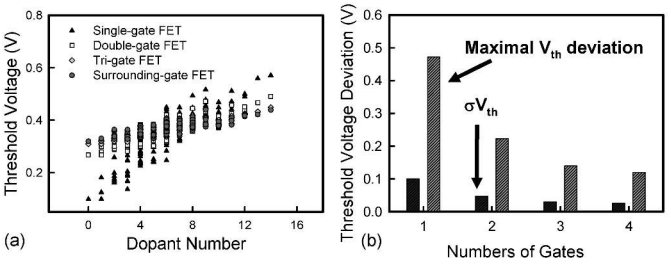


圖 4、16 奈米多閘極電晶體下(a)臨界電壓分布與(b)臨界電壓擾動之比較。單閘極、雙閘極、三閘極與全閘極的臨界電壓擾動分別為 102、46.2、30.9 與 25.5 mV。

計畫名稱：高介電薄膜在積體電路元件的可靠度與界面特性研究

計畫編號：NSC 97-2221-E-130-020
主持人：邱福千　　單位：銘傳大學電子工程學系
E-mail: fcchiu@mail.mcu.edu.tw　電話: (03)3507001-3753

計畫簡介

本計畫的目的是針對未來超大型積體電路元件中介電薄膜相關特性的研究。由於漏電流等因素，使得積體電路元件的尺寸縮小時，未來將不可避免得使用高介電常數薄膜來製作電晶體的閘極氧化層和記憶元件中的電容器，以應付未來奈米級元件的需求。我們製作二氧化鉿(HfO_2)高介電常數薄膜作為金氧半元件的閘極氧化層，並利用奈秒級(~100 ns)傳輸線脈波(TLP)來研究這些元件在靜電放電(ESD)情形下產生的陷阱電荷及其空間分佈與介電崩潰等可靠度問題。

研究項目適用領域

1. 奈米介電材料
2. 半導體製程與元件

主要具體貢獻

1. 二氧化鉿薄膜在靜電放電情形下的可靠度評估。
2. 靜電放電應力下的界面及本體陷阱電荷暨其空間分佈。

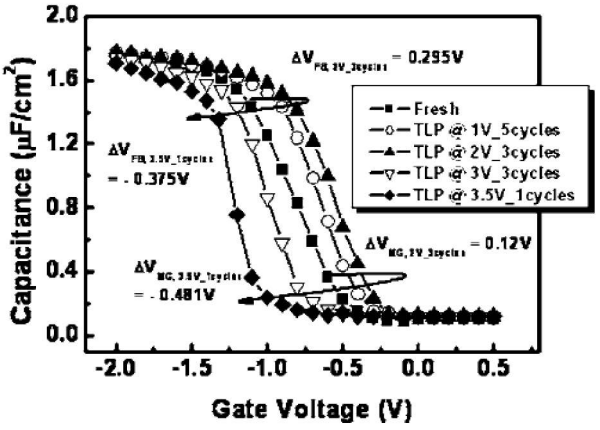


圖 1、傳輸線脈波在不同電壓應力下 C-V 特性曲線的迴轉特性量測。

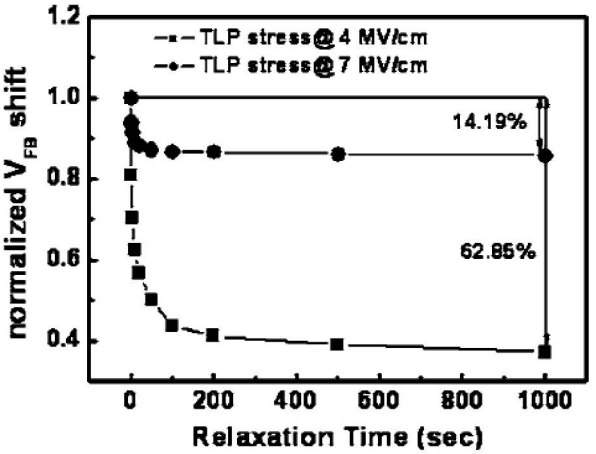


圖 2、不同傳輸線脈波電場應力(4 與 7 MV/cm)下的平能帶電壓鬆弛(即平能帶電壓回復)量測。

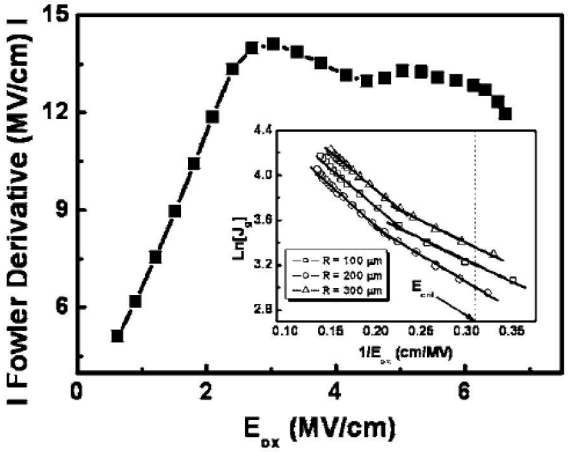


圖 3、富勒導函數的電場分佈圖，以分析不同電場應力下產生的陷阱數量及空間分佈。

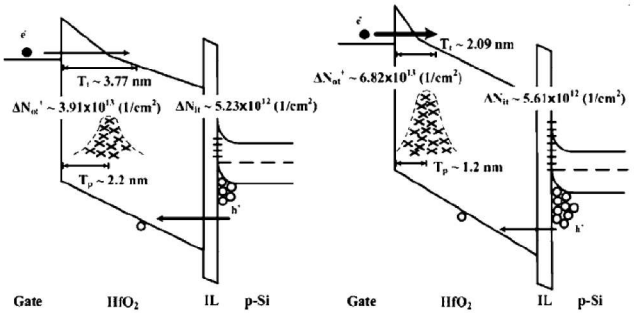


圖 4、界面及本體陷阱電荷暨其空間分佈。

氮化鋁鎵/氮化銦鎵/氮化鎵系列材料金氧半異質接面場效電晶體之研製

計畫編號：NSC 97-2221-E-244-013

主持人：施博文　　單位：私立高苑科技大學
E-mail: pwsze@cc.kyu.edu.tw　　電話: (07)607-7777-2058

計畫簡介

本團隊將利用液相沉積法成長 $SrTiO_3$、Al_2O_3 等氧化層應用為閘極介電層，研製氮化鎵系列金氧半異質接面場效電晶體，以獲得更小的閘極漏電流、更大的崩潰電壓與閘極電壓擺幅、較寬的最大轉導值。此外，藉由成長 $SrTiO_3$、Al_2O_3 等薄膜於元件表面上形成鈍化(passivation)，亦可改善電流衰退(current collapse)效應，並比較探討不同氧化層之效果。最後則是建立元件高頻模型，並應用於高頻、低雜訊、高功率積體電路(MMIC)。

研究項目適用領域

1. 高介電閘極介電層沉積
2. AlGaN/GaN 金氧半異質接面場效電晶體研製
3. Stress 可靠度分析

主要具體貢獻

1. GaN 上 LPD 方式成長 $SrTiO_3$ 特性分析
2. $SrTiO_3$/AlGaN/GaN 金氧半異質接面場效電晶體製作
3. Al_2O_3/AlGaN/GaN 金氧半異質接面場效電晶體製作與可靠度分析
3. GaN 上陽極氧化 GaO_x 特性分析

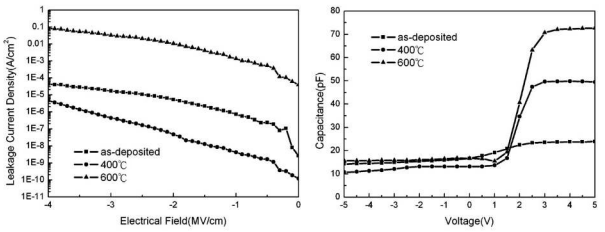


圖 1、$SrTiO_3$ 漏電流與 C-V 特性

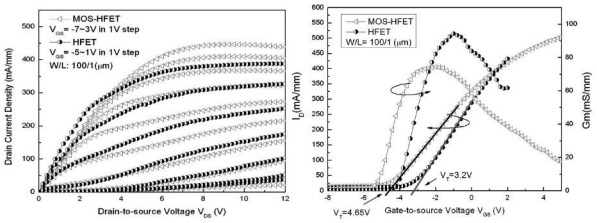


圖 2、$SrTiO_3$/AlGaN/GaN MOSHFET 特性

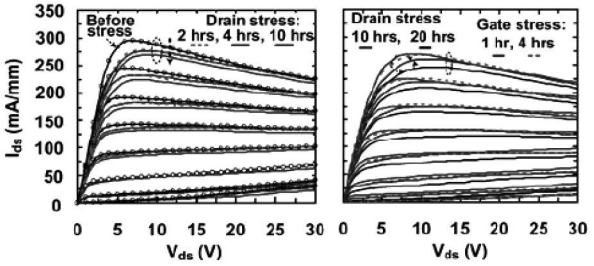


圖 3、Al_2O_3/AlGaN/GaN MOSHFET DC stress 量測特性

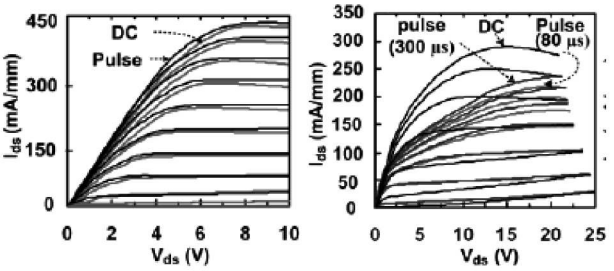


圖 4、Al_2O_3/AlGaN/GaN MOSHFET 與 AlGaN/GaN HFET pulse 量測特性

CMOS 製程於高頻時 Low k 層介電效應偏移對被動元件影響之研究(I)

計畫編號：**97-2221-E-006-239-MY2**

主持人：洪茂峰教授　　單位：成功大學微電子所
E-mail: mphoung@eembox.ncku.edu.tw 電話: (06)2757575-62342

計畫簡介

本計畫主要分成三大部分：（a）Low k 材料之微波介電量測；應用下探針針方式量側傳輸線法，利用一種近似去埋藏法的量測技術，先量測到整體的參數 (b) 介電層介電參數對被動元件特性影響之探討與改進；在量測出精確 CMOS 製程中 Low k 層的介電參數後，可藉由微帶線之理論計算，來補償實際設計時電氣長度，可使設計的頻率不會因高頻時的介電係數之漂移而受到影響。由於 Low k 層的介電損失主導了整個衰減常數，總衰減常數主要的來源是介電材料所產生的損失。在 CMOS 製程中設計整合被動微波元件時，克服 Low k 層不佳的介電損失將是設計上的一大挑戰，在本計劃中提出了以步階阻抗諧振器與共平面波導(CPW)來減少介電損所造成的損失。(c) 高頻微波濾波元件之設計；藉由前二個部分的成果，針對 60 GHz 系統設計一低損耗高頻濾波器，再藉由台積電 CMOS 製程製作元件，量測實際電路後，比對模擬與量測結果，來證實萃取出 Low K 基版介電參數之準確性與所提出之電氣長度補償與低損耗設計準則之實用性。

研究項目適用領域

1.VLSI 製程
2.材料
3.高頻量測

主要具體貢獻

1. 在矽基材上成功沉積低介電常數之碳化矽玻璃 (Organosilicate Glass；OSG)
2. 建立高頻微波量測技術
3. IC 製程中量測出精確的低介電層之介電常數，提供高頻被動電路之設計使用

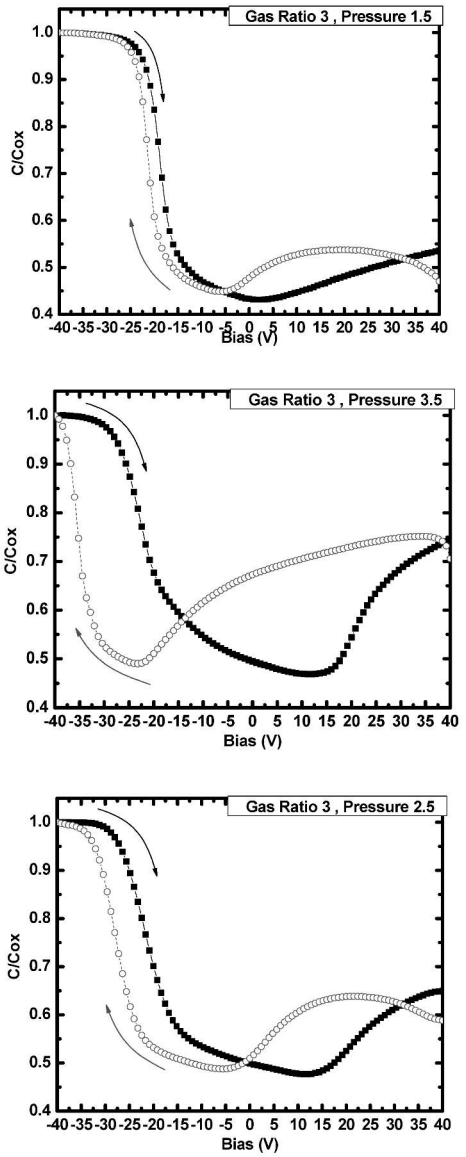


圖 1 Gas Ratio 3 沉積壓力不同時的 C-V 的磁滯曲線。

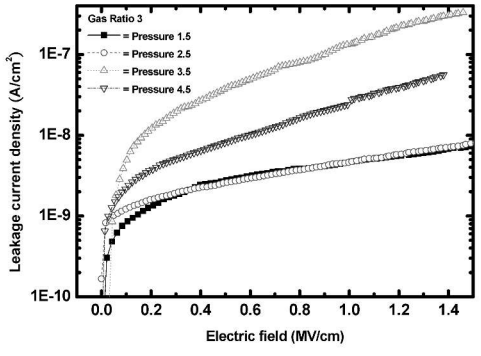


圖 2 Gas Ratio 3 時，不同沉積壓力的 I-V 圖

超薄絕緣層新穎製程開發及其在矽金氧半元件之應用(2/3)

計畫編號：NSC 96-2628-E-002-246-MY3
主持人：胡振國　　單位：台大電子工程學研究所
E-mail: hwu@cc.ee.ntu.edu.tw　　電話:02-33663646

計畫簡介

本年度計畫執行的成果分為兩個部份，第一部份為探討低溫下成長之陽極氧化二氧化矽界面層與高介電係數(high-k)氧化鉿整合之雙層堆疊式介電層的特性及穩定度。第二部份為採用直流濺鍍過程中導入氧氣，使濺鍍之金屬原子直接與氧原子結合，形成氧化鋁/氧化鉿/二氧化矽之三層堆疊式介電層，並探討其絕緣層特性、電流傳導機制、抓陷特性，及在低溫製程記憶體元件上之可能應用。

研究項目適用領域

1. MOS 元件閘極絕緣層
2. 堆疊結構絕緣層
3. 記憶體元件

主要具體貢獻

1. 提出傾斜基版濺鍍方式，在室溫下濺鍍金屬鉿，再利用硝酸氧化的方式，形成氧化鉿絕緣層。
2. 比較陽極氧化二氧化矽及熱氧化二氧化矽之 high-k 堆疊層之界面特性。氧化鉿/陽極氧化二氧化矽的界面電荷為 -6.9×10^{12} cm^{-2}，氧化鉿/熱氧化二氧化矽的界面電荷為 -9.92×10^{12} cm^{-2}，顯示陽極氧化製備的界面層的品質比低溫熱氧化成長的界面層為佳。
3. 將二氧化矽/矽基板置於直流濺鍍腔中濺鍍金屬，並導入氧氣，使濺鍍金屬與氧可直接結合，形成氧化鉿及氧化鋁堆疊結構絕緣層，該結構具記憶體特性。

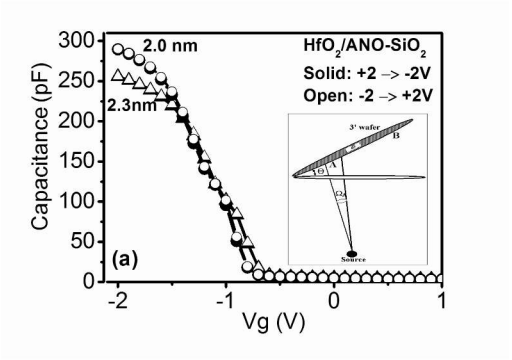


圖 1 傾斜基版濺鍍形成不同厚度

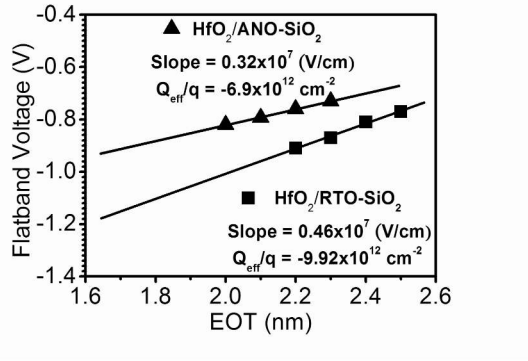


圖 2　HfO_2 在 ANO-與 RTO-SiO_2 之差異

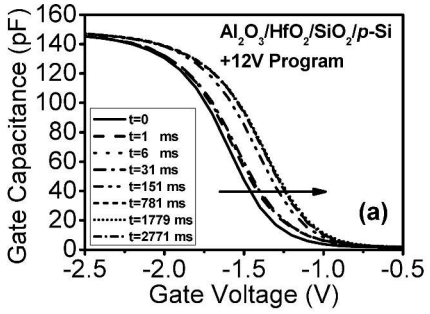


圖 3　$Al_2O_3/HfO_2/SiO_2$/p-Si 之 program 特性

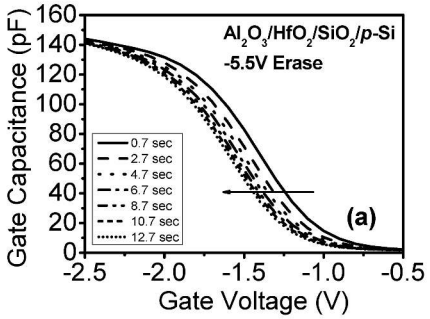


圖 4　$Al_2O_3/HfO_2/SiO_2$/p-Si 之 erase 特性

[主要發表論文:]

1. C.H.Chang and J.G.Hwu*, 2009, "Characteristics and Reliability of Hafnium Oxide Dielectric Stacks with Room Temperature Grown Interfacial Anodic Oxide", *IEEE Transactions on Device and Materials Reliability*, Vo. 9, No.2, June, PP.215-221.
2. C.H.Chang and J.G.Hwu*, 2009, "Trapping Characteristics of $Al_2O_3/HfO_2/SiO_2$ Stack Structure Prepared by Low Temperature In-situ Oxidation in dc-sputtering", *Journal of Applied Physics*, vol. 105, May, PP. 094103-1~094103-6.

金屬閘極及高介電係數介電質材料在奈米電子元件的應用

計畫編號：NSC 95-2221-E-009-298-MY3

主持人：荊鳳德　　單位：國立交通大學電子工程研究所
E-mail: albert_achin@hotmail.com　　電話(03) 5172121 ext 31841

計畫簡介

對於發展先進的金屬閘極與高介電質材料的金氧半場效電晶體是半導界的主流。本研究團隊於第一年成功研發出金屬矽化銥金屬閘極搭配氮氧鋁鉿高介電係數介電層的 p 型金氧半場效電晶體。我們做到的等校氧化層厚度（EOT）為 1.7 奈米，在經過 950℃ 的快速熱退火之後，全金屬矽化銥/氮氧鋁鉿元件之等效金屬功函數為 4.9 電子伏特，電洞的峰值載子移動率為 80cm^2/V-s。有第一年成功的經驗，在第二年我們團隊再進一步的突破，成功研發出金屬矽化鉿金屬閘極搭配氮氧矽鉿高介電係數介電層的 n 型金氧半場效電晶體。我們做到的 EOT 為 1.6 奈米，在經過 1000℃ 的快速熱退火之後，全金屬矽化鉿/氮氧矽鉿元件之等效金屬功函數為 4.27 電子伏特，電子的峰值載子移動率為 217cm^2/V-s，整個製程完全相容於現今的超大型積體電路的製程。

研究項目適用領域

1. 高效能半導體元件
2. 高介電材料運用
3. 互補式場效電晶體的研發

主要具體貢獻

1. Small Equivalent Oxide Thickness
2. Low Threshold Voltage
3. High mobility COMSFETs

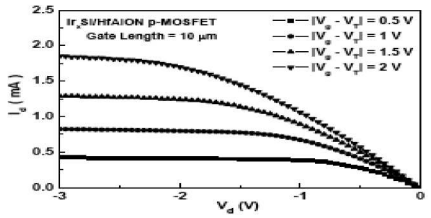


Fig. 1. The I_d-V_d characteristics of Ir_xSi/HfAlON p-MOSFET. The gate length is 10μm.

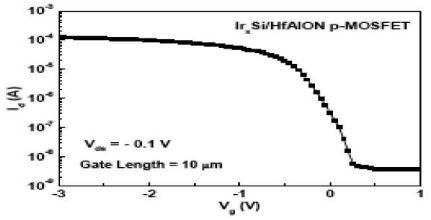


Fig. 2. The I_d-V_g characteristics of IrxSi/HfAlON p-MOSFETs. The gate length is 10μm.

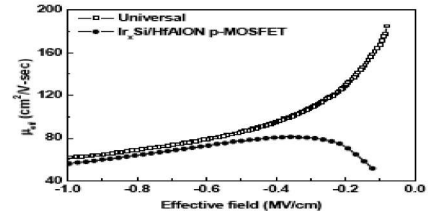


Fig. 3. The extracted hole mobility from I_d-V_g characteristics of Ir_xSi/HfAlON p-MOSFET.

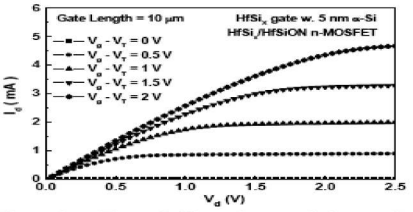


Fig. 1. The I_d-V_d characteristics of Hf_xSi/HfSiON n-MOSFET. The gate length is 10μm.

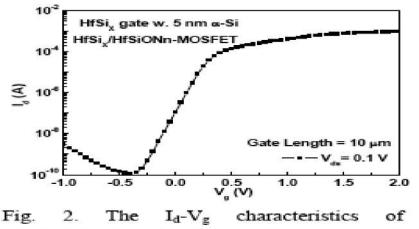


Fig. 2. The I_d-V_g characteristics of HfxSi/HfSiON n-MOSFETs. The gate length is 10μm.

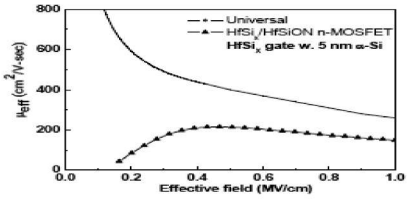


Fig. 3. The extracted electron mobility from I_d-V_g characteristics of Hf_xSi/HfSiON.

高性能多閘極奈米元件技術

計畫編號：NSC 95-2221-E-009-302-MY3

主持人：崔秉鉞　　單位：國立交通大學電子工程學系
E-mail: bytsui@mail.nctu.edu.tw　　電話: 03-5131570

計畫簡介

為了減少寄生電容及改善短通道效應，電晶體結構趨向多閘極結構，並可能進一步製作在絕緣層上矽(SOI)的晶片上面。本年度研究先將離子植入矽化鎳(ITS 技術)，再經過退火後，藉由離子被離析到矽所形成的 MSB 超淺接面(圖 1)，可以得到遠低於矽化鎳蕭基特接面的漏電流(圖 2)。針對其週邊二氧化矽介面造成漏電流的捕獲能態密度進行探討，藉由閘極二極體(gated-diode)及電荷汲取(charge pumping)兩種方法量測介面捕獲能態密度約 1~2x10^{11} cm^{-2}，是漏電流的主要機制。

在矽基板上，經過鍺離子佈值後，矽化鎳對 BF_2^+佈植的接面的接觸阻抗可以低到 10^{-8} Ω-cm^2 的數量級。我們發展出側向凱爾文結構(圖 3)，用以測量在 SOI 上的 MSB 接面的接觸阻抗，可量到 BF_2^+佈植的接面有 1~2x10^{-8} Ω-cm^2 的低接觸電阻率(圖 4)，而 As^+佈值的接面則有偏高的 1.8x10^{-7} Ω-cm^2 的接觸電阻率。

研究項目適用領域

1. 半導體元件
2. 積體電路技術

主要具體貢獻

1. MSB 超淺接面的漏電流遠低於蕭基位障接面，且可以承受高達 800°C 的製程溫度。
2. SOI 上之 MSB 淺接面的漏電流機制是周邊二氧化矽/矽介面的捕獲能態所成。
3. 提出測量 SOI 超淺接面的側向凱爾文結構，並證實 MSB 接面可以得到夠低的 NiSi/Si 接觸阻抗。

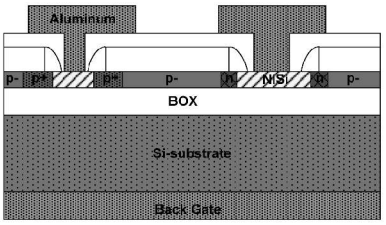


圖 1 SOI 超淺接面剖面示意圖。

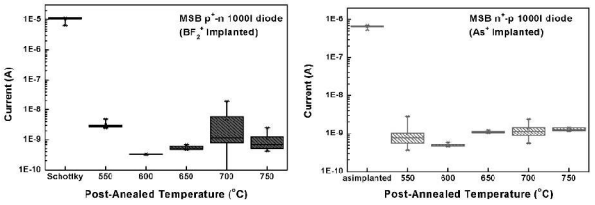


圖 2 SOI 之 MSB 超淺接面漏電流統計圖。(a)p^+-n 接面，(b) n^+-p 接面。

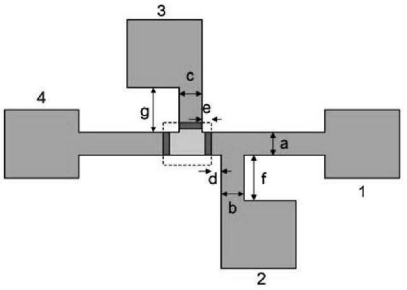


圖 3 側向凱爾文結構之佈局示意圖。

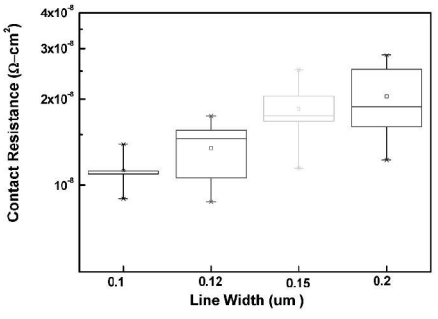


圖 4 SOI 上的 BF_2^+佈植的 MSB 接面的 NiSi/Si 接觸阻抗。

碳摻雜矽奈米線全包覆式閘極元件技術研究

計畫編號：NSC 96-2628-E-009-167-MY3
主持人：崔秉鉞　　單位：國立交通大學電子工程學系
E-mail: bytsui@mail.nctu.edu.tw　　電話: 03-5131570

計畫簡介

本年度延續前一年度以碳離子植入改善鎳化矽(NiSi)熱穩定度的成果，分析碳離子植入對於 NiSi/Si 蕭基接面以及 n^+-p 接面的影響。發現高濃度的碳摻雜，造成蕭基位障高度下降，如圖 1(a)所示。對於 n^+-p 接面，500°C 退火可以得到最低的漏電流，600°C 退火反而因為高濃度碳造成額外的晶格缺陷，加速 Ni 原子擴散至接面附近，使得漏電流增加，如圖 1(b)所示。因此，在高溫穩定性與接面特性之間，必須適當取捨。

本年度也著手全包覆式(GAA)奈米線電晶體製作，近期製作成功通道長度僅 15nm 的全包覆式薄膜電晶體，通道厚度只有 9nm，如圖 2 所示。短通道效應已經被有效控制，如圖 3 所示。因為源極/汲極製程尚未最佳化，導通電流還有改善空間。

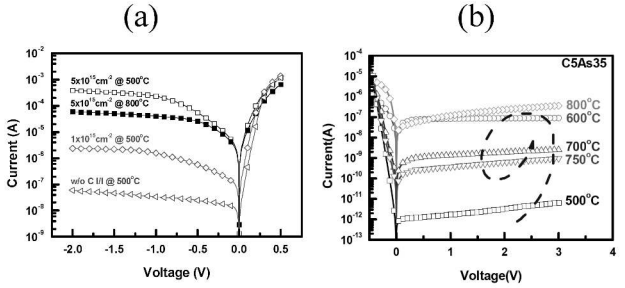


圖 1(a) 不同碳植入條件的 NiSi/Si 蕭基接面的 I-V 特性。(b) 碳植入試片的 n^+-p 淺接面 I-V 特性圖。

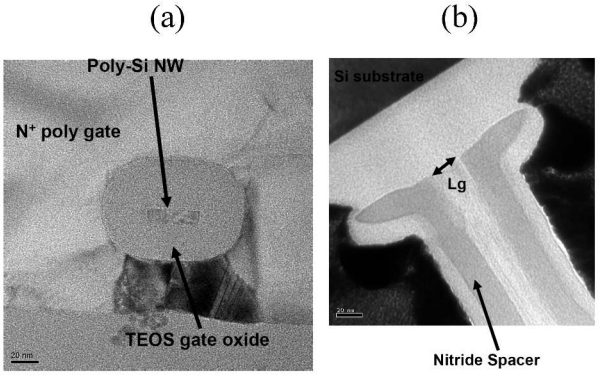


圖 2 GAA 複晶矽奈米線電晶體的 TEM 剖面圖。(a) 通道厚度約 8-9nm，(b) 閘極長度約 15nm。

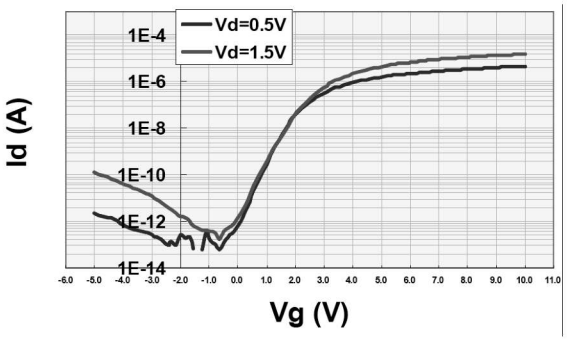


圖 3 GAA 複晶矽奈米線電晶體的典型 I-V 特性圖。

研究項目適用領域

1. 半導體元件 (Semiconductor Devices)
2. 積體電路技術 (IC Technology)
3. 平面顯示器 (Flat Panel Display)
4. 系統面板 (System On a Panel)

主要具體貢獻

1. 以碳植入提高 NiSi 的結塊溫度及晶相轉變溫度。
2. 發現碳植入可降低 NiSi/Si 的蕭基位障高度。
3. 探討碳植入對 p-n 超淺接面漏電流之影響。
4. 製作成功通道長度僅 18 奈米世界最小的薄膜電晶體。

電流截止頻率大於 500GHz 之砷化銦通道高電子遷移率電晶體其製作與高速邏輯應用之評估

計畫編號：NSC97-2221-E-9-156-MY2

主持人：張翼　　單位：國立交通大學材料科學與工程學系(所)
E-mail: edc@cc.nctu.edu.tw　　電話: (03)571-2121 ext52971

高速操作及高資料保存特性SONOS型式快閃記憶體之研究(3/3)

計畫編號：95-2221-E-009-301-MY3
執行期限：97年8月1日至98年7月31日
主持人：莊紹勳 教授　國立交通大學電子工程學系

計畫簡介

我們在前二年的計畫完成高速及低電壓SONOS的操作模式。為了驗證上述結果的優異性，在本計畫第三年的研究中，我們利用前二年法展的獨特二位元操作方式，FBEI，探討它和傳統cheCHE方式的可靠度表現。首先，我們先比較不同寫入方式在二位元P/E cycle endurance上的表現，然後我們將CHEI與FBEI進行資料保存性(data retention)的實驗。實驗證實，FBEI的資料保存性較CHEI為高。

為進一步瞭解這兩種寫入方式的物理行為，我們發展出一種改良的3-level charge pumping方法，藉由觀察CHEI與FBEI在經過不同次數P/E cycle後的charge pumping 電流分佈與P/E cycle 次數的關係，以及透過能帶圖的解釋，確認FBEI的寫入是藉由電子直接越過穿隧氧化層，而不是像CHEI一樣是通過穿隧氧化層，進而造成氧化層的傷害以及元件劣化。由上述實驗結果也可確認FBEI是一種新式且適合用在SONOS記憶體的二位元操作方式。

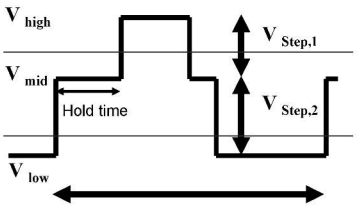


Fig. 1 我們研發一種改良型式之charge pumping 操作方式做為本年的研究方向 (Three-Level CP)。

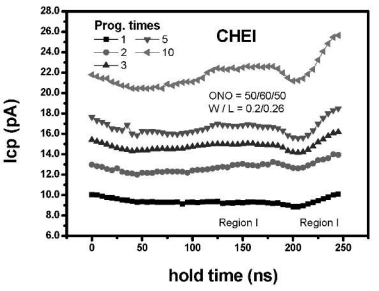


Fig. 2 以CHEI及BBHI分別寫入電子與電洞，並進行不同次數的P/E cycle endurance 後，以新式的charge pumping方法進行量測。可以發現在region1與region2有明顯不同的表現。

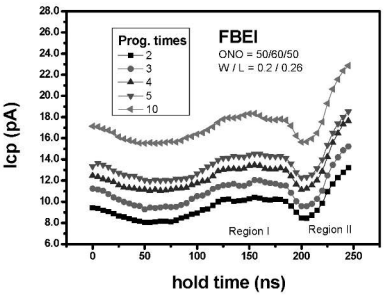


Fig. 3 以FBEI及BBHI分別寫入電子與電洞，並進行不同次數的P/E cycle endurance 後，以新式的charge pumping方法進行量測。可以發現在region1與region2有明顯不同的表現。

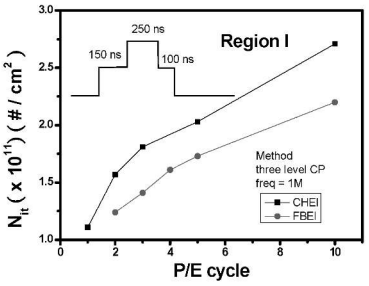


Fig. 4 探討FBEI的注入方向。觀察到電荷注入情形。也同時解釋了為何Fig.2顯示的FBEI比較靠近drain端。

結果說明:

在第三年的計劃，我們發展出一種新式的charge pumping量測方法來探討不同電子注入方式－CHEI以及FBEI的物理機制以及相關的可靠度議題。傳統的記憶體多利用通道熱電子(CHEI:Channel Hot Electron Injection)的寫入機制。但由於離子碰撞產生的電子與電洞對(Electron-Hole Pair)作用，可能導制SONOS穿隧氧化層(Tunneling Oxide)的可靠性問題出現。而順向偏壓輔助電子注入(FBEI:Forward Bias Electron Injection)的寫入機制則是以越過穿隧氧化層的方法來完成。

從實驗結果可以看出，元件以FBEI方式操作對穿隧氧化層所造成的傷害很明顯的比用CHEI方式操作來的小。所以FBEI的電子注入方式在2-bit-per-cell方面的表現較傳統CHEI方法來得理想。最後，經過長時間的寫入及抹除動作,我們也會發現以FBEI來注入電子的方式在retention time方面的表現也優於傳統的以CHEI來注入電子的方式。

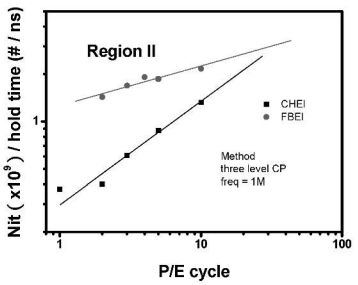


Fig. 5 顯示經過多次寫入和抹除的破壞後，其長時間的電荷保存能力。FBEI的保存力，相較於傳統的CHEI寫入方式要來的好。

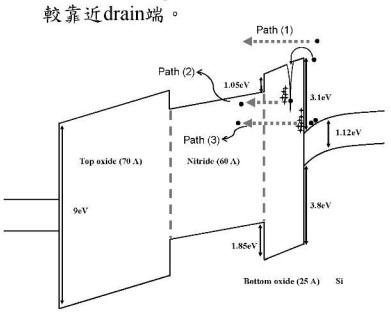


Fig. 6 FBEI與CHEI所利用的三種不同電子穿隧機制。其中FBEI是直接越過穿隧氧化層，所以不會對氧化層造成傷害。而CHEI則是會穿過氧化層造成氧化層的傷害。

[1] S. S. Chung et al., in ***Tech. Dig. IEDM***, pp. 457-460, 2007.
[2] J. H. Kuo, et al., in ***Ext. Abstract SSDM***, pp. 828-829, 2008.
[3] J. H. Kuo et al., reviewed by ***APL***, 2009.
[4] Y. H. Tseng et al., reviewed by EDL, 2009.

研究項目適用領域：

1、SONOS快閃記憶體元件可靠性研究
2、快閃記憶體新操作方法之研究
3、Three-level charge pumping

主要具體貢獻：

1、本計畫前二年成功的一種新型的寫入操作方法，適合低電壓的SONOS操作。在計畫的第三年，更發展改良的charge pumping稱為3-level charge pumping方法來應用於驗證FBEI與CHEI在物理機制上的差異，並透過實驗結果證實這種操作方式在速度及可靠度上有優異的表現。
2、本項研究成果發表在2007IEDM及2008SSDM。 3、相關成果目前正投稿APL, EDL各一篇，審查中。

混合基片奈米 CMOS 元件技術中各種應力效應對傳輸特性及可靠性影響的研究(2/3)

計畫編號：NSC96-2628-E009-168-MY3
主持人：莊紹勳 教授　　單位：國立交通大學電子工程學系
E-mail: schung@cc.nctu.edu.tw 電話: (03)573-1830

計畫簡介

當VLSI元件進入奈米世代之後(<100nm)，元件通道長度將因進入奈米尺度，使載子的彈道傳輸特性越來越重要。在本計劃第二年，吾人研究應變矽工程(strain engineering)，單軸(uniaxial)與雙軸(biaxial)效應對於CMOS元件的趨動電流(driving current)與其彈道傳輸(ballistic transport)特性之關聯與影響。其中的關聯可利用通道載子向後散射率(channel backscattering rate) 及載子入射速度(injection velocity)兩個實驗參數來描述，並以ballistic transport 理論為基礎，此一理論為 I_{dsat} 決定於二重要參數V_{inj}、r_c:

$$I_{dsat} = W*V_{inj}*C_{eff}*(V_G-V_{t,sat})*(1-r_c)/(1+r_c)$$

我們製作了不同應變效應的 nMOSFET 與 pMOSFET 的元件。藉由選擇不同的應變作用力施加於元件上，可以達成減低通道載子向後散射率 (backscattering rate) 以及提高載子入射速度 (injection velocity)。良好的元件設計為 V_{inj} 上升而 r_c 下降。而受應變力作用下的元件，V_{inj} 通常較傳統元件大幅提升；r_c 則是代表載子由源極到達汲極之間反射率的高低。圖 1 為通道載子傳輸的彈道傳輸特性。當載子通過通道時，通道能障會使得部份載子被反射，用 r_c 來描述反射機率。吾人利用溫度差分法，經由實驗可將載子傳輸效率與入射速度萃取出來。

本次計劃，我們提供一項CMOS元件應變技術的設計準則: (1) 對於 nMOSFETs而言，施加接觸孔蝕刻停止層(CESL)之單軸伸張應力(uniaxial tensile-stress)較應變矽鍺(strained- SiGe)之雙軸應力(biaxial stress)更加提高驅動電流。此外，(2) 對於 pMOSFETs而言，施加壓縮應力(compressive strain) 且同時使用CESL與雙軸應力時，可同時提高載子入射速度及降低載子向後散射率。

研究項目適用領域

1. Strained silicon CMOS devices
2. Ballistic Transport Theory
3. Reliability for nano CMOS devices

結果說明

1. Uniaxial 和 Biaxial Strained nMOSFET: 第一組探討的元件為 nMOSFET 之 tensile-cap layer 和 control sample。吾人將此二種元件與不同通道長度的 r_c 與 V_{inj} 利用*溫度差分法*量測結果表示於圖 2。圖 3 則表示由計算而得之彈道傳輸效率(Ballistic efficiency)。為了研究*單軸*與*雙軸應力*的不同效應，吾人準備了另一組 nMOSFET 包含 bulk-Si 與 biaxial strained-Si/SiGe 元件，同樣的將此組元件之不同通道長度的 r_c 與 V_{inj} 量測結果如圖 4。電流增強與其函數關係圖形表示於圖 5。結果顯示：因 uniaxial-strained 元件對於 biaxial 元件有較大的 B_{sat} 和 V_{inj} 的增強效果，故前者有較大的汲極電流增強，尤其在 V_{inj} 上，uniaxial-strained 有極大的增強效果。

2. 高電流增益 SiGe-Channel pMOSFET： 為了探討矽鍺通道(SiGe-channel) pMOSFET 元件的載子傳輸特性，吾人準備了數種元件：bulk-Si、biaxial strained-Si/SiGe 和加入 strained-cap 之 SiGe-channel。圖 6 與圖 7 分別表示經實驗而得的 r_c、V_{inj} 與電流增強函數關係圖形，結果顯示同時有 SiGe 與 CESL 的元件在 B_{sat} 和 V_{inj} 上均增加，而同時使用雙軸應力與 CESL 之 pMOSFET 元件可以大幅增強 B_{sat} 和 V_{inj}。

3. 高效能 CMOS 元件設計準則： 結果整理如圖 8，nMOSFET 中，使用 CESL 或者 uniaxial strain 對於電流增強有較好的效果而 Strain-Si/SiGe 之雙軸應力技術，對元件效能並無助益。pMOSFET，B_{sat} 在 SiGe-channel 同時有 CESL 的結構下，有顯著的增加。

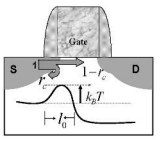


圖1 此一概念圖展示了載子傳輸的機制。

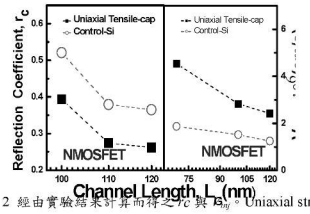


圖 2 經由實驗結果計算而得之 r_c 與 I_{Dsat}。Uniaxial strained 之 V_{inj} 對於 control device 有較大的提升能力。

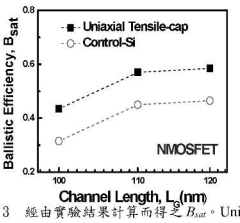


圖 3 經由實驗結果計算而得之 B_{sat}。Uniaxial tensile cap 之 B_{sat} 對於 control device 有相當大的提升

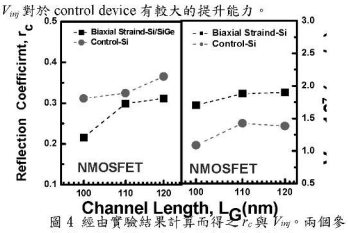


圖 4 經由實驗結果計算而得之 r_c 與 V_{inj}。兩個參數對於 Biaxial strained 均有較大的提升。

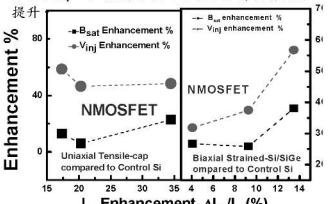


圖 5 nMOSFET 在不同通道長度時之 B_{sat} 與 V_{inj} 為電流增強之函數。 V_{inj} 為決定 I_{on} 大小之關鍵參數。

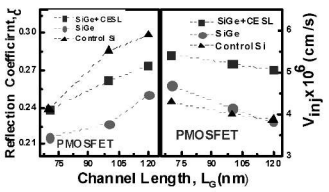


圖 6 經由實驗結果計算而得之 r_c 與 V_{inj}。Biaxial strained 對於 r_c 有改善，而 uniaxial strain 使 r_c 變差。另外，兩者均可使 V_{inj} 增強。

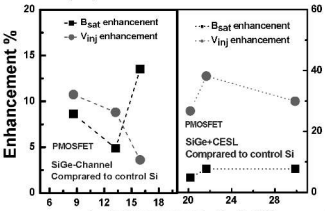


圖 7 nMOSFET 在不同通道長度時之 B_{sat} 與 V_{inj} 為電流增強之函數。

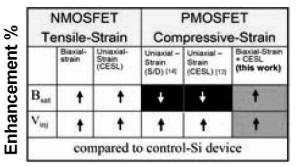


圖 8 不同元件結構對於 V_{inj} 與 B_{sat} 的效果摘要。而 pMOSFET 中，先前的報導結果顯示 B_{sat} 變差效果，而本計劃中之元件有改善效果。

主要具體貢獻

本計劃第二年，研究不同應變矽工程對元件之驅動電流與載子彈道傳輸特性之影響，將其研究成果做為 CMOS 元件採用應力技術要注意的準則。此一研究方向，是目前最為有效能夠實現 CMOS 元件的驅動電流最佳化的主題。且利用載子彈道特性來解釋元件驅動電流與不同應變力之關聯性，亦是一大突破。第三年將研究這些應力技術與可靠性的相關性。相關論文也陸續發表中。研究的成果已發表五篇國際會議論文[1-4]。另外，一篇 APL 期刊也正投稿中；其中二篇是該領域國際頂尖會議 IEDM 論文[4-5]，顯見本研究群在該領域的多年來研究，已受到國際的重視與肯定。

[1] Y. J. Tsai et al., ***Proc. of VLSI-TSA***, pp. 33-34, 2007.
[2] Y. J. Tsai et al., ***Silicon Nanoelectronics Workshop***, pp. 19-20, 2007.
[3] (invited) S. S. Chung et al., ***Proceedings of 9th ICSICT***, session A3.1, 2008.
[4] (invited) S. S. Chung et al., ***in Tech. Dig. IEDM, p. 435,*** 2008.
[5] E. R. Hsieh, S. S. Chung et al., to appear in ***Tech. Dig. IEDM,*** December 2009.

計畫名稱: 考慮淺壕溝隔離之奈米絕緣體上矽金氧半元件之精簡模型

計畫編號：NSC 97-2221-E-002-226
主持人：郭正邦　　單位：台大電機系
E-mail: jbkuo@cc.ee.ntu.edu.tw 電話: 02-33663756

計畫簡介

此計畫-考慮淺壕溝隔離之奈米絕緣體上矽金氧半元件之精簡模型(Compact modeling of SOI CMOS devices considering Shallow Trench Isolation)是用探討於奈米 SOI CMOS 元件之電流特性行為研究並建立精簡模型. 此執行期中,淺壕溝隔離(STI)之 induced 機械張力有關(mechanical stress related)的 kink effect behavior 有仔細探討, 並與 40nm 部分解離(partially-depleted) SOI NMOS 測試元件量測結果數據及二維元件模擬驗證. 我們發現有較小 S/D 長度(0.17)之 40nm PD 元件之飽和區間的 kink effect 行為發生於較大的 drain 電壓(與有較長的 S/D 長度 1.7um 元件比較), 主因 較大的 body-source bandgap narrowing 效應對於寄生雙載子元件的影響, 其來自 the higher STI-induced 機械張力, offset by the impact ionization(撞擊游離) enhanced by the BGN 在靠進 drain 處之高電場.

研究項目適用領域

1. Compact device modeling
2. SPICE modeling

主要具體貢獻

1. Floating body effect of nanometer SOI CMOS devices
2. Current conduction mchanism of SOI CMOS devices

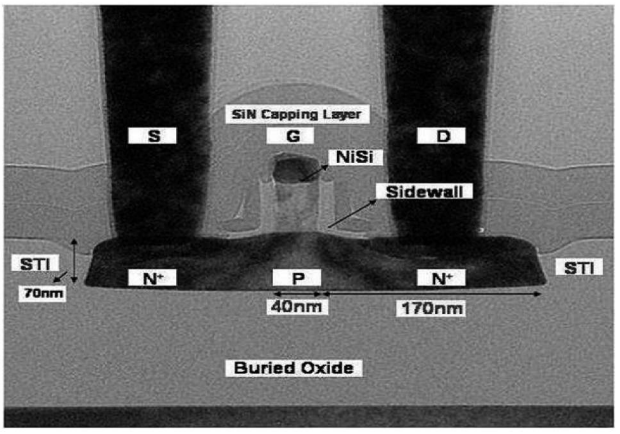


圖 1 SEM cross section of 40nm SOI NMOS device

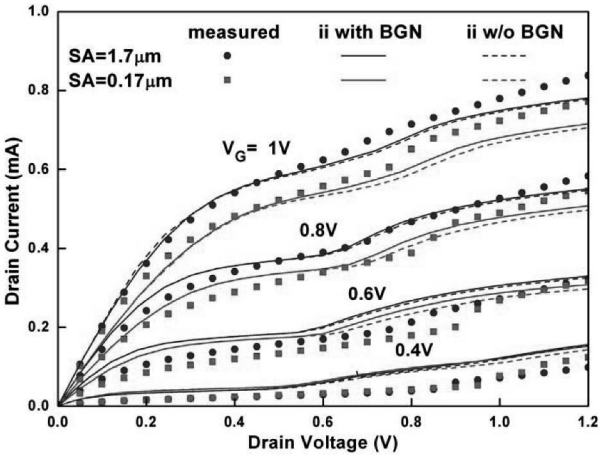


圖 2 Drain current behavior of the 40nm SOI NMOS device

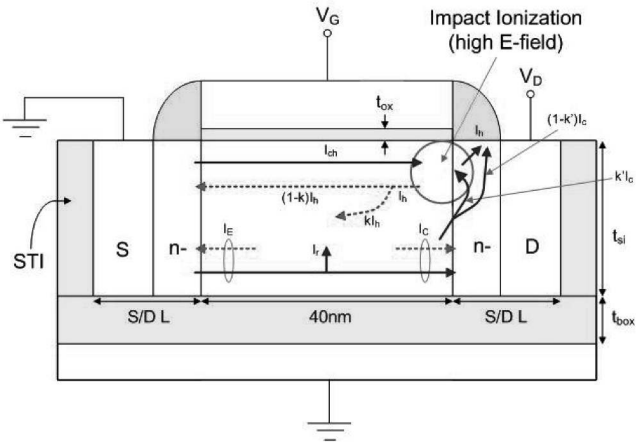


圖 3 Current conduction mechanism of the 40nm SOI NMOS device

非揮發性記憶體奈米尺寸陷阱物理暨相關可靠性物理之嶄新研究

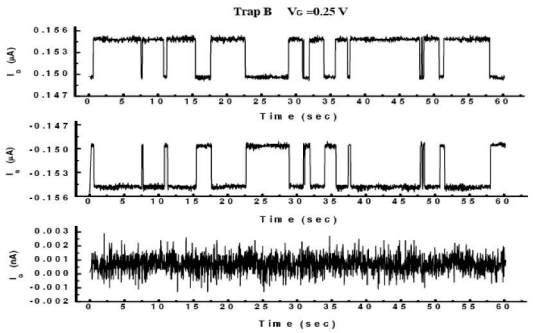
計畫編號：NSC 95-2221-E-009-295-MY3

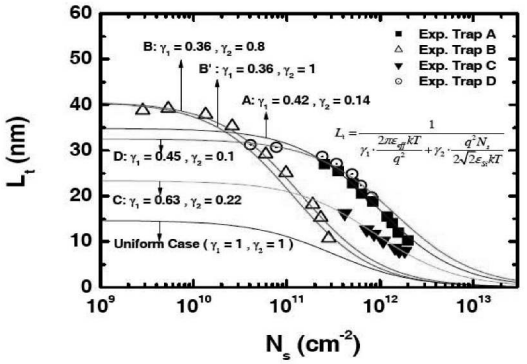
主持人：陳明哲　　單位：**國立交通大學電子工程學系及電子研究所**

E-mail: chenmj@faculty.nctu.edu.tw　　電話: 03-5712121-54217

計畫簡介

本研究群對於攸關非揮發性記憶體次世代領域（奈米尺寸陷阱物理及相關可靠性物理）的相關基礎研究及貢獻，已然有成。延續氧化層奈米尺寸陷阱物理研究，進一步應用於快閃記憶體，並針對氧化層中量子點(Quantum Dot)或量子晶體(Nanocrystal)，利用波函數及能量系統分布的角度來處理，相互比較並將之關聯。針對快閃記憶體，藉由自我量測數據及論文數據比較，提出理論分析並建立物理模型，對於不同尺寸元件進行比較，並對未來元件作一預測，探討量子點在氧化層中位置分布對於整體系統的特性影響，且考慮在高溫操作下，資料保存的正確無誤。藉由計畫培養快閃記憶體方面人才，以厚實國家工業根基並在國際間扮演一舉足輕重之要角。



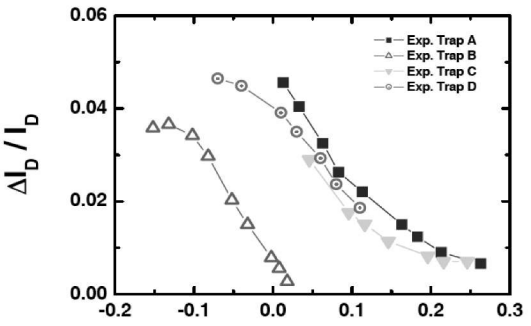


研究項目適用領域

1. Next-Generation Flash Memory
2. Nanometer Trap Physics and Engineering
3. Quantum Dot and Nanocrystal

主要具體貢獻

1. New Flash Memory Cell Structures
2. New Energy System Built for Nanometer Traps, Quantum Dots, and Nanocrystals
3. New Finding of the Percolation Paths in a 2-D Electron Gas System



高度微縮金氧半電晶體應變工程及物理機制之研究

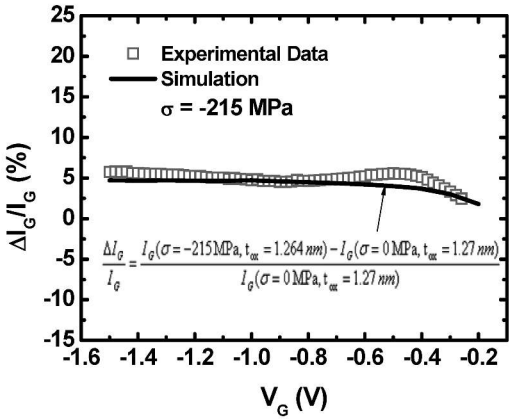
計畫編號：NSC 97-2221-E-009-155-MY3

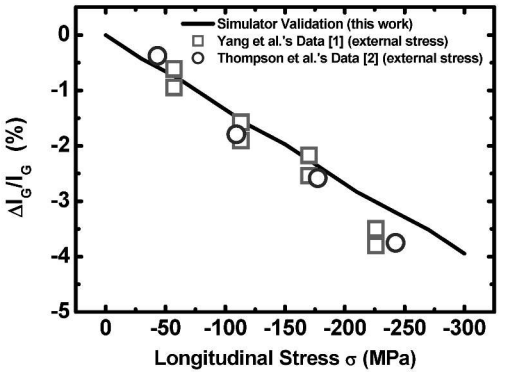
主持人：陳明哲　　單位：**國立交通大學電子工程學系及電子研究所**

E-mail: chenmj@faculty.nctu.edu.tw　　電話: 03-5712121-54217

計畫簡介

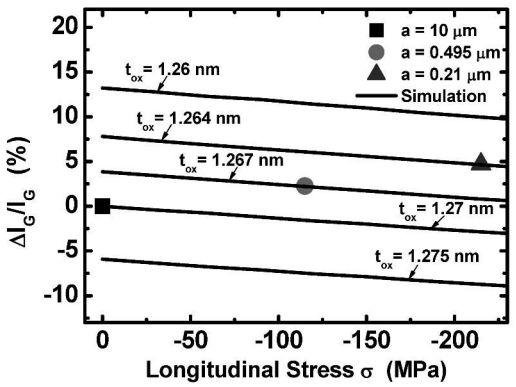
本計畫為期三年，針對應變矽技術重要議題進行研究，如應力量測、雜質擴散、通道背向散射、表面缺陷密度、微觀物理、以及製程演進等。第一年進行下列項目: (1)量測閘極介電層穿隧電流以反推通道內部應力。同一元件上的載子遷移率和臨界電壓將一併萃取，也萃取通道背向散射係數; (2)量測邊緣直接穿隧電流以得到特定應力下所造成的橫向擴散; (3)使用低頻雜訊量測技術萃取出介面缺陷密度，提出並量化物理模式; (4) 運作嶄新串聯電阻萃取方法，並檢驗串聯電阻所造成的影響;以及(5)進行計算電洞能帶結構在不同應力大小及方位下的重要物理參數值。





研究項目適用領域

1. Strain Engineering
2. T-CAD



主要具體貢獻

1. In-Home-Built Quantum Strain Simulator with a Six-Band Hamiltonian.
2. Finding of the Width Corner Effects in Narrow Devices.
3. Finding of the Strain Retarded Oxidation Rate.

應用於矽/鍺奈米尺寸堆疊結構之表面與應力研究

計畫編號：NSC 95-2218-E-002-065-MY3

主持人：劉致為　　單位：國立台灣大學 電機工程學系
E-mail: chee@cc.ee.ntu.edu.tw　電話: 02-23635251 ext. 515

計畫簡介

本計畫主要目的在於研究矽/鍺奈米尺寸堆疊結構表面的形貌以及各部分應力與應變分佈的狀況。由於矽/鍺奈米尺寸結構均較小，在現今用以量測應力與應變的量測儀器中，例如：X光繞射儀、拉曼頻譜量測以及PL/EL 光學量測等方式均僅能測得一平均的應力或應變值。因此，我們希望藉由理論計算的方式，在更先進的量測設備開發出前，先一步的計算奈米尺寸結構中的應力與應變。本計畫已進入最後一年，於三年計畫中我們除成功的模擬了各種矽鍺量子結構內的應力與應變分佈外，也成功的應用我們模擬的結果，架構出了不同的矽鍺奈米環結構的生長機制。對於進一步了解矽鍺磊晶的知識有相當重要的貢獻。

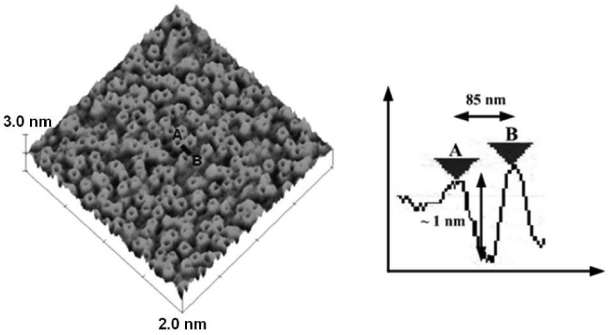


圖 1 計畫成果圖

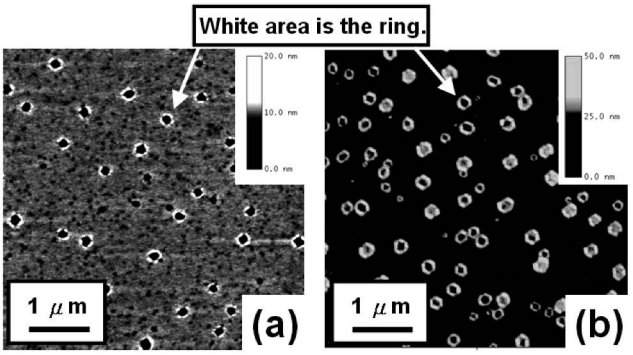


圖 2 計畫成果圖

研究項目適用領域

1. 矽鍺奈米結構之生長與材料分析。
2. 光電元件的開發。
3. 微尺寸結構之應力與應變分析。

主要具體貢獻

1. 計算出單一矽鍺奈米尺寸結構內應力與應變分佈。
2. 架構矽鍺奈米尺寸結構生長機制。
3. 開發出新式矽鍺奈米尺寸結構（矽鍺奈米環）。

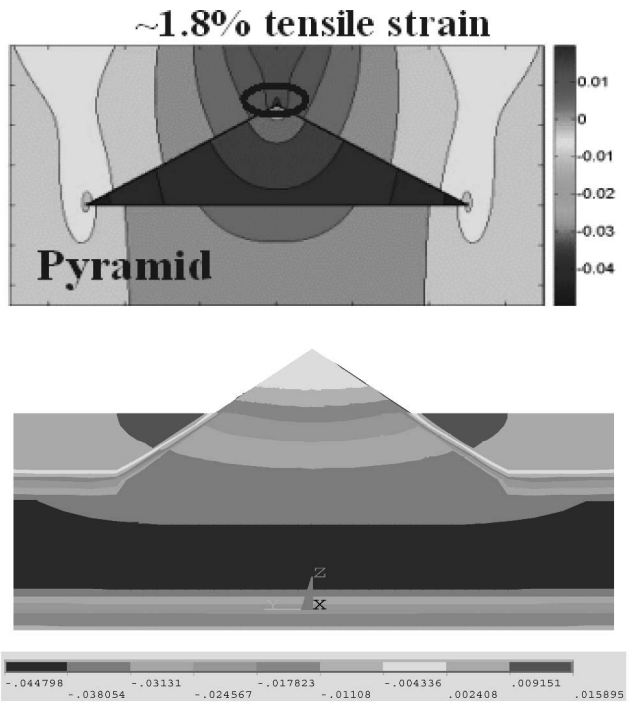


圖 3 計畫成果圖